

対話型アナログレイアウトLSI設計システムの

5 J-1

評価報告

近藤和仁、佐々木尚

東芝マイクロエレクトロニクス㈱、(株)東芝

1 はじめに

本報告では対話型アナログ・レイアウト・システムを製品に適用した経験について述べ、本システムがアナログLSI設計に有効であることを示す。

本CADシステムは[1]で述べられているように(1)コンパクタを利用できることにより修正の際、精密な位置合わせが不要(2)自動配線が配線幅や最小間隔を考慮しないので高速処理ができ、アルミ1層優先で、100%配線ができることが特徴である。

アナログLSI自動設計のツールも幾つか提案されているが、アナログ制約と高集積度を共に満足させることはできず、最終的には人手による修正が必要となっているのが現状である。本ツールはこの様な観点から提案されたものであり、フルカスタム的なアプローチを目指すものである。

2 設計フロー

スキマテック図(以下スキマと省略)をブロックに分割し、その分割されたブロックを単位にレイアウトする設計で本ツールを用いた。これらブロックのレイアウトをチップ・レベルにまとめ上げるときには通常のレイアウト・エディタを用いた。これは現在ブロック内部でのレイアウト・ツールのみが支援されているためである。

図1に本ツールを用いた場合の設計フローを示す。スキマ回路の分割は一度分割したものを基に戻す機能もあり、フロアプラン的な意味でのレイアウトの都合で変更が容易にできる。素子はスキマの位置をもとに初期配置され、これを基にして実際のレイアウトを行う。このとき、スキマ上またはレイアウト上どちらでも素子をセレクトして、レイアウトすることができる。これはただスキマとの対応が分かり易いだけでなく、素子をペアにして(バランスを取って)並べるときに便利である。またペア性や対称性を取り扱うために特別に素子を一纏にして移動させるコマンドも用意されている。

人手での素子配置が終了すると次に自動配線を行う。このとき、余りにも素子間隔が狭いと100%の配線率が得られないので、素子間隔を均等に広げる必要がある。このコマンドはレイアウト全体に様に掛かるが、後でコンパクションを行うので問題はない。自動配線を行なう時、ペアになるなどのアナログ制約の強い配線を特に前もって指定して人手で配線してしまうことも可能である。このような既配線は指定後に自動配線を動作させても変わることがない。また配線後に特定の配線のみを残して他を再び配線し直すという使い方も可能である。

コンパクションは基本としてはX方向Y方向の1次元コンパクタであるが、インサクションや疑似2次元コンパクションの機能があり、対話性に富んでいる。最後に接続チェックを行う。このコンパクションの結果がアナログ制約または密度の観点から不満があるとき、配線を外し再度人手による素子配置を行う。なおこのときすべての配線を外してしまうことが多い。またDRCやスキマとレイアウトの対応は何時のフェーズでも実行することができる。

3 製品適用

50素子程度が実製品対応として一度に取り扱えた。これは60素子以上になると、コンパクション時に詰めようとして端にいく程歪みがおおくなり、旨くブロックの形を制御できないためである。現実にはこれ以上のものを分割して、別々のブロックとしてレイアウトし、最終的にブロックを接合することで対応できることを確かめた。また、素子がコンパクション時にこの歪みを起こさないように素子の移動をブロックするために、フェンスに相当する仮想的なデータをレイアウト上で入力することが有効であることも確かめた。

個々のコマンドも十分に即応性があることを確認した。自動配線では、1層アルミが優先され人手に近い経路をとる。ただし未配線はないが、配線やスルーホールを面積を持たない線と点で取り扱うために、配線ショートが発生する場

Evaluation report on an interactive analog LSI layout design system.

Kazuhito KONDOU, Hisashi SASAKI

Toshiba Microelectronics Corp. Toshiba Corp.

合がある。配置や配線接続にもよるが、40素子レベルで1~2か所起きた。この配線ショートや配線引き回しの修正をエディタで行なう。

1回のコンパクションでは集積度が低いので、結果を見ながら配置配線を修正してコンパクションを繰り返す。40素子程度では10回程度の繰り返して満足いく結果が得られた。コンパクションの実行時間は数秒程度で特に煩わしさを感じなかった。

設計に掛かった全体時間の内訳を図2に示す。

ライブラリに設計途中で追加変更があったこと、全体図レイアウト結果にデッド・スペースが多いことにより、2回のやり直しを行なった。従来の手法に比較して2.5倍(人・時間)の効率化および2.1倍(カレンダー日数)の期間短縮を達成できた。チップ面積は手書き設計と同程度であった。

4 おわりに

実際の製品をとおして本ツールの有効さを確かめることができた。今後は使用環境の整備を行ない、設計者に普及をはかる予定である。またブロック間のツールについては今後検討していく予定である。

【参考文献】

【1】 美馬他：「バイポーラアナログLSIのブロック内レイアウトCADシステム」、信学技報VDL90-23、1990年6月

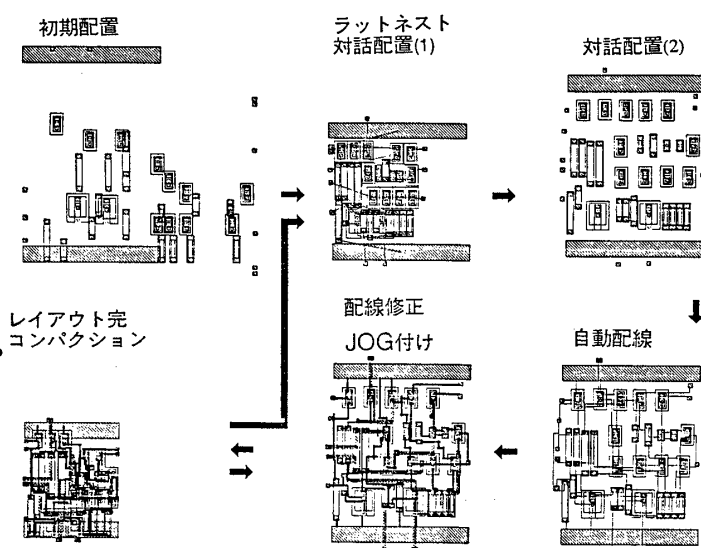


図1 ブロック内設計フロー

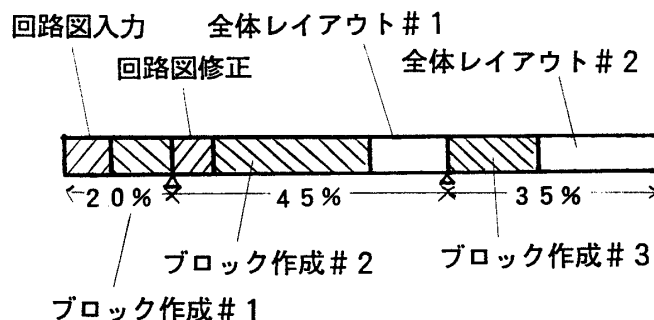


図2 設計時間内訳

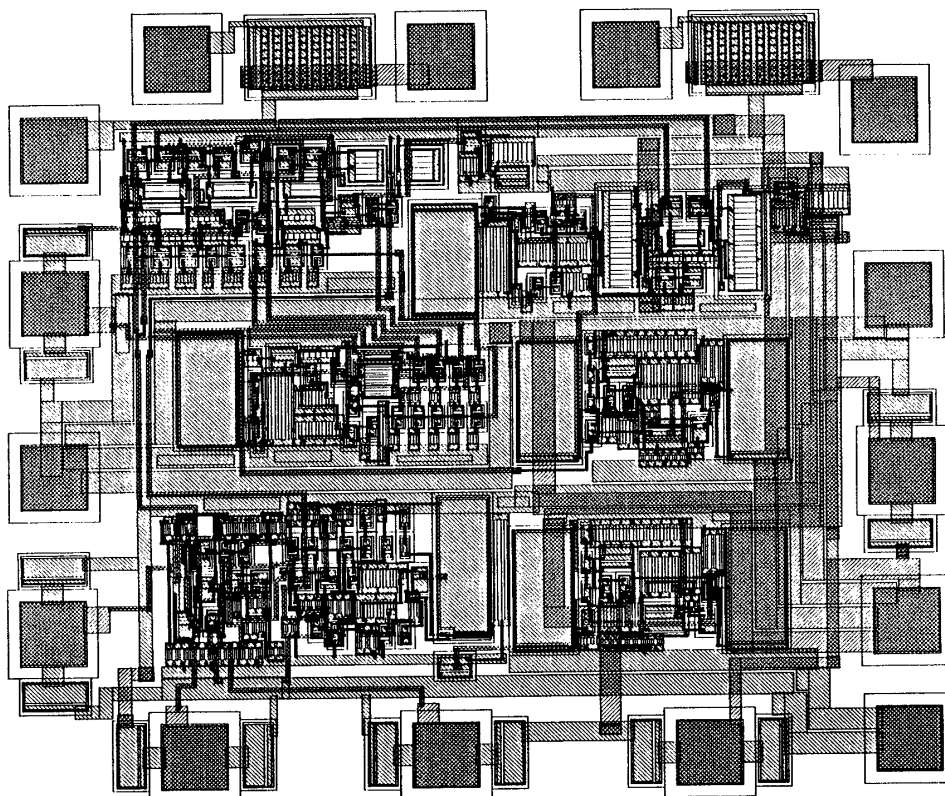


図3 全体レイアウト結果