

確率的符号化時間記号シミュレーションによる タイミングエラー確率の解析

3 J-9

出口豊 石浦菜岐佐 矢島脩三

京都大学工学部

1 はじめに

非同期回路の設計検証では、ハザード、発振などの有無の検出において微妙なタイミングが問題となるため、遅延の不確定性を考慮したタイミング検証に関する手法が数多く提案されている[1]。これらの手法は、エラーの有無の判定だけを問題にする検証には有効であるが、実際には遅延のばらつきによるタイミングエラーは歩留まりと深い関連があるので、エラーの有無のみならずエラーの起こる確率を考慮することも重要な問題であると考えられる。従来のタイミングエラー確率の近似計算手法では、回路に再収れんが存在する場合には不正確な結果を出力することが知られている。本稿ではタイミングエラー確率を正確に求める手法として、確率的符号化時間記号シミュレーション(probabilistic CTSS)を提案する。本手法はタイミング検証の一手法である符号化時間記号シミュレーション(CTSS)[1]に基づくものである。

2 タイミングエラー確率の近似計算手法とその問題点

タイミングエラーの確率を計算する一つの手法として、信号値確率(信号線において信号値が1をとる確率)を計算する方法が知られている。この方法は、近似的な信号値確率を効率良く求めるものである。

遅延値0のゲート f の出力信号線 y の信号値確率は以下のように計算される。なお、信号線 a の時刻 t における信号値確率を $P_a[t]$ と表記し、ゲート f の入力信号線を x_1, x_2, \dots, x_n と表記する。

$$\begin{aligned} f \text{ が AND ゲートの時 } P_y[t] &= P_{x_1}[t] \times \dots \times P_{x_n}[t] \\ f \text{ が NOT ゲートの時 } P_y[t] &= 1 - P_{x_1}[t] \end{aligned}$$

上式の計算の結果は、回路中に再収れんが存在しなければ正確である。

遅延素子 g の出力信号線 y の信号値確率 $P_y[t]$ は以下のように計算できる。なお、 d_{max} および d_{min} を g の遅延の最大値および最小値、 Δ を遅延のとりうる場合の数($= d_{max} - d_{min} + 1$)、 x を g の入力信号線とする。また、遅延の値の分布として正規分布を仮定している。

$$P_y[t] = \sum_{i=0}^{\Delta-1} \frac{\Delta-1 C_i}{2^{\Delta-1}} P_x[t - d_{min} - i].$$

しかし、この近似計算方法には次の二つの重大な問題が存在している。

- 1) 信号線間の信号値確率の依存関係を把握することができないため、回路中に再収れんが存在する際には、正確な信号値確率を求めることができない。
- 2) 時刻間での信号値確率の依存関係を把握できないため、正確なエラー確率を計算することができない。

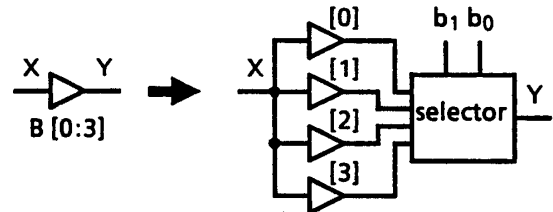


図1 CTSSにおける遅延のモデル化

3 確率的符号化時間記号シミュレーション

確率的符号化時間記号シミュレーションは、記号シミュレーションによって正確な信号値確率および正確なタイミングエラー確率を計算する。本手法では通常の論理シミュレーションと同様に離散時間を扱い、遅延は指定された上下限の間の任意の値をとるが値は変化しないものとする。本手法は遅延の不確定性を考慮した検証手法であるCTSS[1]に基づくものである。

CTSSでは、回路中の不確定性を持つ遅延を全て、図1のような入力パターンに独立な論理変数 b_1, b_0 によって遅延の値を選択する回路に置き換える。この回路に対して記号シミュレーションを行うことにより遅延の全組合せを考慮した正確な結果を得ることができる。確率的符号化時間記号シミュレーションにおいては、不確定性を持つ遅延の扱いを図2のように拡張する。本手法では1つの遅延の出力を複数のデータ入力の割り当てることを許し、データ入力の重複を遅延値の分布に対応させている。図2の例では、遅延値0, 1, 2, 3における重複度は、それぞれ1, 3, 3, 1であり、その遅延値をとる確率はそれぞれ1/8, 3/8, 3/8, 1/8であることを表現している。このような回路に対して記号シミュレーションを行うと、シミュレーションの結果として出力される、信号値を表現する論理関数の真理値表密度が信号値確率を表すようになる。確率的符号化時間記号シミュレーションは、信号値を表現する論理関数により、回路中の再収れんによる信号線の依存関係に関する情報を保持しているため、回路中に再収れんが存在しても正確な信号値確率を計算することができる。

前節の問題点2)で述べた通り、時刻間での信号値確率には依存関係が存在するので、たとえ正確な信号値確率が求められても、それらの値から単純に正確なタイミングエラー確率を計算することはできない。しかし、信号値を表現している論理関数は、これらの確率の間に存在する依存関係に関する情報を保持しているため、これらの論理関数からタイミングエラー確率を正確に求めることができる。組織的な方法としては、有限オートマトン

Analysis of Timing Error Probability Using Probabilistic Coded Time-Symbolic Simulation

Yutaka DEGUCHI, Nagisa ISHIURA, Shuzo YAJIMA

Kyoto University

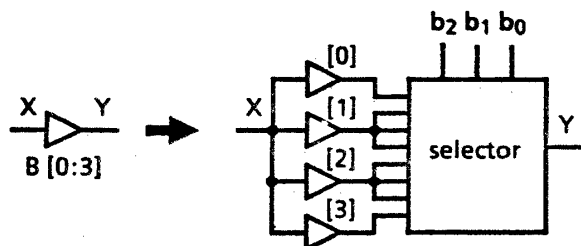
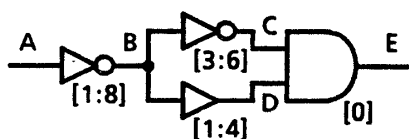


図2 Probabilistic CTSSにおける遅延のモデル化



t	$P_A[t]$	$P_E[t]$	
		Conv.	PCTSS
0	1	0	0
1	0	0	0
2	0	0	0
3	0	0	0
4	0	0	0
5	0	0.001	0
6	0	0.009	0.001
7	0	0.034	0.003
8	0	0.065	0.004
9	0	0.065	0.004
10	0	0.034	0.003
11	0	0.009	0.001
12	0	0.001	0
13	0	0	0
エラー確率		0.201	0.032

図3 エラー確率の解析結果

の記号シミュレーションによりシミュレーション結果と設計者の期待値とを照合する結果解析手法 [1] をそのまま適用することができる。

4 考察および性能評価

4.1 近似計算手法による信号値確率の誤差

近似計算手法によって求めた信号値確率の誤差が大きい例を図3に示す。表中の欄 conv. が近似計算手法によって求めた信号値確率を、PCTSS が確率的符号化時間記号シミュレーションによって求めた正確な信号値確率を表している。近似計算手法で計算された回路出力の信号値確率は、正確な値に比べて約10倍となっている。この悲観性は、再取れんによって生じる信号線 C と信号線 D の間の依存関係を考慮できないことに原因がある。

4.2 近似計算手法によるエラー確率の誤差

エラー確率の計算においては、近似計算手法によって求めた値の誤差はさらに大きくなる。図3のエラー確率の欄は、回路の出力信号線 E にハザードが発生する確率を表している。確率的符号化時間記号シミュレーションでは、3.2% という値を計算するのに対して、近似計算手法では、出力信号値が1をとる時刻が存在する確率とみなして計算するので、20.1% と計算される。

表1 実験結果

回路	N	Δ	CTSS		PCTSS	
			ノード数	CPU (秒)	ノード数	CPU (秒)
adder1	6	4	12	0.2	23	0.9
adder2	12	4	56	0.6	89	1.0
adder4	24	4	293	2.3	445	3.9
adder8	48	4	1794	17.9	2698	22.6
adder16	96	4	12703	137.4	18118	246.2
adder4	24	8	988	12.9	2332	28.3
adder4	24	16	2779	74.3	10498	1650.3

4.3 性能評価

プログラムは Sun3/60 上の C 言語で実現した。n ビット桁上げ加算器において、初期値をあるパターンに設定した後、1時刻めに全ての信号値が反転した際のシミュレーションを、回路中の信号値の変化が存在なくなる時刻まで行った。ゲートの遅延は全て [1: Δ] とした。様々な Δ や回路の規模でシミュレーションした結果を表1に示す。表中の N は回路のゲート数を、ノード数はシミュレーションに要した共有二分決定グラフ [2] のノード数を表している。1ノードあたりの記憶量は約20バイトである。CTSS の欄は符号化時間記号シミュレーションによる結果を、PCTSS は、確率的符号化時間記号シミュレーションによる結果を表している。

この表から、確率的符号化時間記号シミュレーションの必要な記憶量はシミュレーションに必要な変数の数に比例していることがわかる。一般に、SBDD の計算量は記憶量に比例することが知られている [2] が、本手法の実行時間は予想されるものより大きい。これは、SBDD の演算結果テーブルが効果的に作用していないためであると考えられるので、イベント駆動方式を採用するなどの実現上の工夫で短縮は可能であると思われる。

5 おわりに

本稿ではエラー確率を正確に求める手法として、確率的符号化時間記号シミュレーションを提案した。本手法は、符号化時間記号シミュレーションを基にしており、再取れんの存在にかかわらず正確な結果を得ることができる。今後の課題としては近似記号シミュレーションを導入し、近似計算手法と本手法を組み合わせることで、効率の良いシミュレーションを行うことや、動的遅延モデル (遅延の値がシミュレーション中に変化することを可能とするモデル) への適応などが挙げられる。

最後に、共有二分決定グラフに基づく論理関数処理プログラムを提供して頂いた湊真一氏 (現在 NTT) に感謝します。

参考文献

- [1] N. Ishiura, Y. Deguchi and S. Yajima: Coded Time-Symbolic Simulation Using Shared Binary Decision Diagram, Proc. 27th DAC, pp. 130-135 (1990).
- [2] 湊, 石浦, 矢島: 論理回路の共有二分決定グラフによる表現とその効率的処理手法, 情報論文, Vol. 32, No. 1 (1991).
- [3] 出口, 石浦, 矢島: 符号化時間記号シミュレーションに基づくタイミングエラー確率の解析, VLD90-89, pp. 65-72 (1989).