

高レベル自動設計システムA²DL-DAを用いた ハードウェアソータの設計

山崎 哲矢

日本電気(株) 研究開発技術本部

高橋 隆一

日本電気(株) C&Cシステム研究所

高レベル自動設計システムA²DL-DAの初版を用いて、ソーティングを行うハードウェアを設計したので報告する。

1. はじめに

半導体技術が進歩し、機能、性能、信頼性等の点で高度な論理装置実現が要求される中で、設計における上流工程の自動化は、きわめて重要な意義を持つようになった。従来は図面を用いた設計では品質、TATの点で限界があり、これに代わる上位レベルの新しい設計手法が要求される。

自動設計システム：A²DL-DA (An Automaton Description Language-D.A.)は、デバイステクノロジーに依存しない範囲の設計上流工程完全自動化を指向したシステムであり、工数の削減、代替案探索能力強化、つくり込み品質の向上などが期待される。今回はA²DL-DAを用いて、アルゴリズム(ソフトウェア)をハードウェア化することが、実際に可能であることと、その有効性の実証を試みた。

2. A²DLの概要

仕様の表現に用いる言語：A²DLはきわめて基本的な要素のみからなるコンパクトな、階層性あるオートマトンをモデルとする言語である。予約語65個のうち39個はオペレータであり、文法は僅か72個の非終端記号で定義されている。素子の宣言はすべてローカルに限られており、モジュール間の通信は①記法" use "によって、素子宣言のスコプルルールを破るか、②記法" net "によって接続関係を示すかで表現される。コントロールフローは状態単位で厳密に表現される⁽⁵⁾。

2つのプッシュダウンメモリを持つ決定性有限状態機械(狭義のオートマトン)は、チューリングマシンと等価であることが知られている⁽¹⁾。従ってA²DLは明らかに、原理的には、任意のアルゴリズムを表現できる。

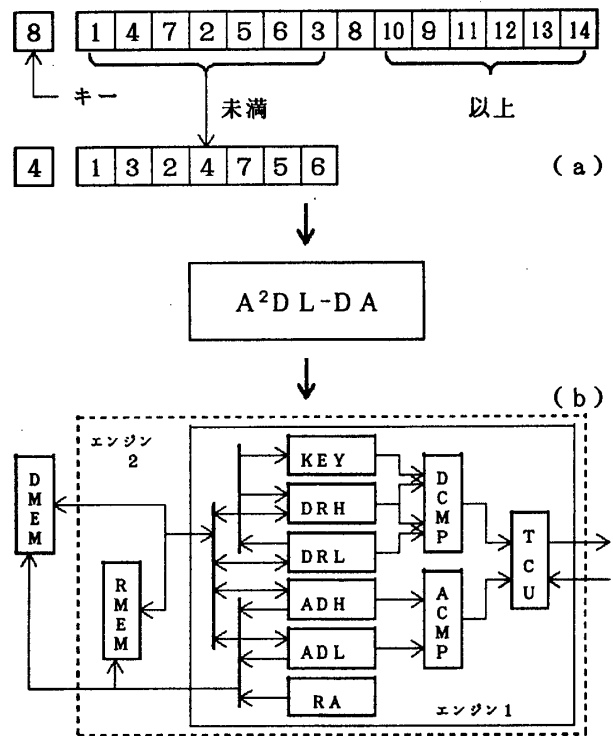


図1. A²DL-DAを用いてアルゴリズムをハードウェア化する方法

3. 試行内容

図1にA²DL-DAを用いて、アルゴリズムをハードウェア化する方法を示す。

3.1 ハードウェア化したアルゴリズム

今回は、ハードウェア化の対象にクイックソートを選んだ【図1.(a)】。クイックソートにおいては、キーとなるデータを基にして、それ以外のデータをキー以上、キー未満に分割する。この手続きは再帰的に呼び出される。ランダムなデータに対する実行時間は $N \log N$ であることが知られている。

3.2 ハードウェア化の手法

実現方法としてエンジン1とエンジン2の2通りを考えた【図1.(b)】。再帰アドレスが格納されるメモリ(RMEM)を含まないタイプをエンジン1、含むタイプをエンジン2とした。ソーティングの対象となるデータが格納されるメモリ(DMEM)は、外部に接続することにした。

Hardware Sorter Design

by using a High-level DA system A²DL-DA

Tetsuya Yamazaki, Ryuichi Takahashi

NEC Corporation

3.3 シミュレーション

性能評価、正当性検証、テストパターン生成という3つの目的で、A²DL-DAのシミュレーションサブシステムを用いた。テストパターン生成にも用いたことが、今回の設計において特徴的である。評価及び検証終了後、再度シミュレーションサブシステムを起動し、環境設定を変えて様々なトレース結果を得る。トレースの対象として、下位レベルのシミュレーションにおける入力ピンを指定すると、テストパターンの入力が生成され、出力ピンを指定すると、期待値が生成される。

3.4 シンセシス

下位レベルの仕様生成には、A²DL-DAのシンセシスサブシステムを用いた。A²DL-DAの初版においてはカウンタ、比較器等のデータバス系の演算回路は既存であるとし、制御系の合成が行なわれる。合成結果は社内的に広く使用されている言語FDLで出力される。この合成結果にもとづく回路設計には、EWS4800上の設計ツールPROCEEDを用いた。

3.5 評価方法

表1に、エンジン1の諸元を示す。評価にはPC-9801(以下PC98)を用いた。PC98の1バンク(128kバイト)に、ソーティングの対象となるデータを格納するメモリ(DMEM)を割り当てた。ソーティング範囲はPC98による再帰アドレスの指定で可変とした。

4. 試行結果

4.1 作業実績

システム分析を行い、A²DLでソーティングのアルゴリズムを表現し、性能評価、正当性検証、下位レベルの仕様合成を完了するまでの所要工数は通常の約1/3だった。設計、検証だけでなくテストパターン作成における工数の削減も顕著であった。

4.2 ハードウェア化の効果

表2に性能の比較を示す。メモリの遅延に関する制約から、動作周波数は7MHzを用いた。比較の対象としたソフトウェア(C言語)によるソーティング時間は、EWS4800(7MIPS)で実測した。ソフトウェアに対しエンジン1は約20倍、エンジン2は約28倍速いことがわかる。

表1. エンジン1の諸元

プロセス		CMOS 2層 1.2μm
使用端子	入力	6ピン
	出力	22ピン
	双方向	16ピン
回路規模		1752セル (2625ゲート)
消費電力		280mW
最高動作周波数		10MHz

表2. 性能の比較

データ タイプ	ソーティング対象となるデータ数	
	100個	1000個
エンジン1	0.399mS	5.14mS
エンジン2	0.285mS	3.67mS
ソフトウェア	8mS	100mS

5. おわりに

今回の試みにより以下のことが実証できた。

- ① A²DL-DAを用いてアルゴリズムをハードウェア化することが可能であること。
- ② 高レベル自動設計システムがテストパターン生成を含む工数削減に有効であること。
- ③ アルゴリズムのハードウェア化によって数十倍程度の高速化が期待できること。

参考文献

- (1) Z.Manna.:Mathematical Theory of Computation,McGraw-Hill,Inc.(1974)
- (2) A.V.Aho,J.E.Hopcroft and J.D.Ullman 著 野崎昭弘、野下浩平 共訳:アルゴリズムの設計と解析I、サイエンス社。(1977)
- (3) 高橋:「論理装置の設計上流工程支援システム A²DL-DAの構成と実現」第40回情処全大(1990)
- (4) 村岡、赤川、江尻、林:「A²DL-DAを用いた論理装置用LSIの上流設計」第40回情処全大(1990)
- (5) 高橋、村岡、江尻、林:「ハードウェア記述言語A²DL」情処研報 vol.90,No100,55-1(1990)