

## ラップトップEWS SPARC LT

7H-5

## (5) 拡張バス制御方式

佐藤 善幸 山上 宣彦

\*(株)東芝 情報通信システム技術研究所

## 1. はじめに

小型、高性能化を実現したラップトップEWSに、さらに、広い拡張性を持たすため、1スロットの拡張バスを装備した。このバスは、Sun Microsystems社の提唱する高速、低消費電力、小型化にむくSBUSでVME、ATバス等に次ぐ世の中の標準となりつつあるバスである。

## 2. システムバスと拡張バス

図1にSPARC LTのブロック構成を示す。Mbusは64ビットの高速なバスのため、外部の拡張バスとしては不向きなため、ラップトップに向く、高性能、小型のバスとして、64ビットのMbusから32ビットのSBUSに変換している。この結果、Sunのワークステーション上で動作する多くのSBUSボードがこのSPARC LT上で利用することができる。次にMbus、SBUSの特徴を簡単に示す。

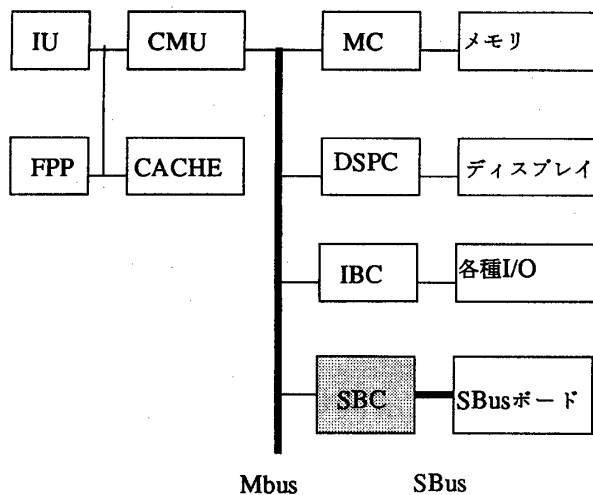


図1 SPARC LT ブロック構成

## 2.1 Mbusの特徴

- 完全同期バス
- 64ビットマルチプレクス アドレス/データ
- 転送サイズ 1、2、4、8、32(バースト) バイト
- 64Gバイト物理アドレス空間

## 2.2 SBUSの特徴

- 32ビットデータ
- 32ビット仮想アドレス
- 28ビット物理アドレス
- 動作周波数 16.67~25MHz
- 完全同期バス
- 転送サイズ 1、2、4、32(バースト) バイト
- SBUSボードサイズ(シングル) 146.70x83.82 mm
- SBUSボードサイズ(ダブル) 146.70x170.28 mm
- 消費電流(5V) 最大 2 A

## 3. SBUS制御の特徴

SBUSに接続されるボードを高速動作させ、SPARC LTのシステム性能を上げるためには、バス変換を高速に効率良く行なうことが必要である。今回、開発したSBUSコントローラ(以下SBC)は、バス変換の高速化、システム性能の向上に重点を置いた設計を行い、ゲートアレイにより実現している。図2にSBCのブロック図を示す。

## 3.1 バス変換

SBUSは、仮想アドレスを扱うことが可能であり、UNIXマシンのシステムバスとして使用でき、コンパクトなシステムを構築できる。一方、SPARC LTのMbusは物理アドレスを扱うため、IUから出力される仮想アドレスはCMUにより、高速に物理アドレスに変換される。また、Mbusはデータ転送速度が速いため、システムの性能向上につながる。

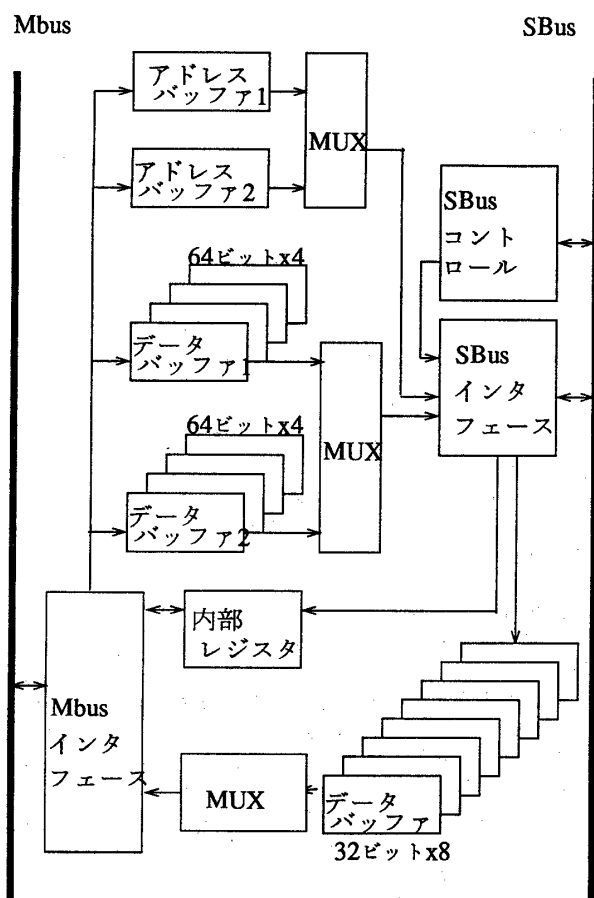


図2 SBC ブロック図

### 3.2 データ転送の高速化

#### (1) WRITE時の動作

SBC内にアドレスバッファ(4バイト)、データバッファ(32バイト)を持ち、Mbusからの1度のデータ転送をSBC内のバッファに記憶し、即座にMbusを解放する。その後、SBusにアドレス及びデータを出し、WRITE動作を実行する。SBC内のMbusインタフェース部とSBusインタフェース部を独立に動作させ、Mbusを即座に解放することでバスの占有時間を減らし、他のMbusマスタのデータ転送を可能にすることで、バスの使用率を上げることが可能となる。

#### (2) READ時の動作

MbusからのアドレスをSBC内のバッファに記憶する。SBCはMbusマスタに対し、命令の再実行要求を出し、Mbusを解放することで、他のMbusマスタのバス使用を可能とする。SBCは、Mbusの動作とは無関係にSBusへデータREADを実行し、再び、MbusからのREADが実行されるのを待つ。SBCがSBusからデー

タ獲得後、MbusからのREADに対し、そのデータを即座に返すことにより、Mbusの占有時間を減らし、Mbusの使用率を高める。しかし、最初にMbusからREADが実行されてから、SBusボードよりデータを読み、Mbusマスタにデータ転送するまでに、かなりのクロック数が必要である。システムバスにSBusを使用した場合のデータREADと比較し、多くのクロック数を必要とすることが考えられる。この場合、SBCを変更することで、改善することには限界があり、多くを期待することは出来ない。ソフトウェアにより、1度の転送サイズを可能な限り大きくすることで、READ命令の数を減らし、また、SBusボードよりデータを得るまでの間、他のMbusマスタの命令を実行させ、システム性能を上げるように、最適に処理を行うことが必要である。

#### (3) ダブルバッファ

SBC内のアドレスバッファ、データバッファを2組持つことにより、SBusアクセス中に、Mbusからのアクセスを受け付けることが可能となり、システム性能の向上をはかる。ただし、READ動作時には、SBCはまず最初に、Mbusマスタに対し、再実行要求を行うので、SBCには、同じマスタからREAD動作が行われるため、READ動作後は、次の命令をバッファ内に読みこむことはできない。WRITE動作とそれに続く命令に関して、効果は期待できる。

### 4. おわりに

SBus制御方法として、システムバスの占有時間を減らすことで、バスの使用率を上げ、またSBC内にバッファを持たせることで、処理の多重化をはかり、システム性能の向上を試みているが、今後、アーキテクチャの改善、LSIの高速化によりEWSの性能は向上し、また実装技術、冷却技術の向上により、より一層小型化も可能となるであろう。

#### 参考文献

- [1] The SBus Specification Revision A.1  
Sun Microsystems ,1990
- [2] SPARC Mbus Interface Specification Revision 1.1  
CYPRESS SEMICONDUCTOR ,1990

\*SPARCは米国におけるSun Microsystems社の商標です。

\*UNIXはAT&Tが開発し、ライセンスしているオペレーティングシステムです。