

データ駆動計算機 E D D E N の 3 H-6 要素プロセッサ L S I

三浦 宏喜 大橋 秀紀 清水 雅久
三洋電機(株) 情報通信システム研究所

1. はじめに

我々は実用的な並列処理計算機の実現に向け、データ駆動計算機 E D D E N (Enhanced Data Driven Engine)を開発中であり、要素プロセッサを最大1024台結合した高並列データ駆動計算機の稼働を目指している^[1]。本稿では、今回開発を行った E D D E N の要素プロセッサ L S I の概要について報告する。

2. L S I の構成と特徴

本 L S I は、トーラス/メッシュ網に基づくセルフルーティング機能をもつ通信ユニットと循環パイプライン構造のデータ駆動プロセッサユニットを、当社の CMOS 1.2 μ m スタンダードセル方式を用いて、1チップに集積化したものである。図1に機能ブロック図を示す。

通信制御部は、東西南北4系統の双方向平行通信ポートを備え、各ポートに入出力各々1パケット分のバッファ、及びルーティング制御回路を内蔵し、トーラス状に結合されるプロセッサ間の通信を司る。

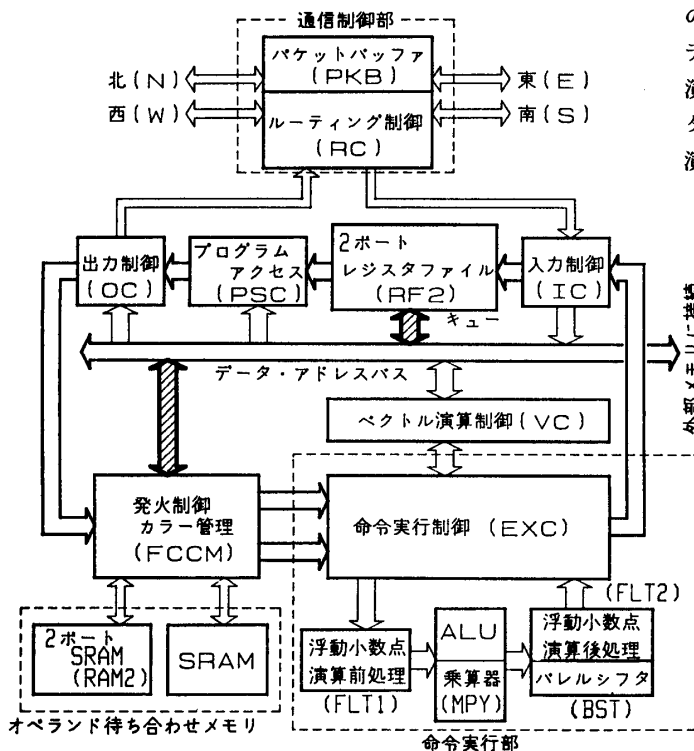


図1. L S I の機能ブロック図

入力制御、キュー、プログラムアクセス、出力制御、発火制御・カラー管理、及び命令実行制御部によって、循環パイプラインを形成し、データ駆動方式のプログラム実行を行う。キューは、2ポートレジスタファイルで構成している。更に、オペランド待ち合わせメモリとして、SRAM及び2ポートSRAMを内蔵し、命令実行部には32ビット浮動小数点演算器(ALU,乗算器,パレルシフトなど)を備えている。

図2に L S I の内部構成を、表1に各部のハードウェア規模を示す。チップは合計16ブロックで構成されており、表1の◎は自動配線によるランダムブロック、☆はフルカスタムブロック(メガセル)である。

本プロセッサにおけるオペランドの待ち合わせは、ハッシュ&チェイン^[1]と呼ぶ方式で行い、これにより、256オペランド分の内蔵RAMを高効率に使用できる。

また、各プロセッサの外部メモリに、プログラム及びデータの両方を格納する方式であるが、プログラムアクセスとデータアクセスの競合をできる限り回避し、両者の分離を図っている^[1]。更に、外部メモリ上のベクトルデータを連続的に読み出して演算器に供給するベクトル演算制御機構^[1,2]を備え、循環パイプラインによるデータ駆動演算(スカラー演算)とこのベクトル演算が同一の演算器を時分割で共用できる。これによって両者の多重

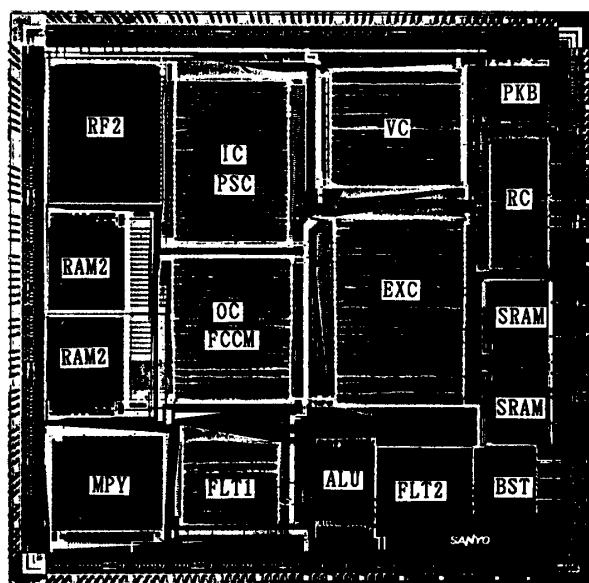


図2. L S I の構成

A Processor Element LSI for Data Driven Computer "E D D E N"

Hiroki MIURA, Hideki OHASHI, Masahisa SHIMIZU,

SANYO Electric Co.,Ltd.

実行を可能にし、演算パイプライン充足率を向上させることができる^[3]。

キュー（2ポートレジスタファイル）は、32パケット分の容量であるが、これがオーバフローした時は外部メモリ上にキューを拡張し、デッドロックを防ぐ。

また、通信パケットの優先度付き合流制御により通信デッドロックの回避方式を簡略化し^[1]、通信制御回路の小規模化を図っている。本LSIの諸元は、表2に示す通りである。

表1. ハードウェア規模

[通信制御部]		
◎ RC	1,696	ゲート
☆ PKB	2,040	ゲート
[実行制御部]		
◎ IC, PSC	4,154	ゲート
◎ OC, FCCM	3,348	ゲート
☆ RF2 (54ビット×32語)	12,096	ゲート
☆ RAM2	16ビット×256語×2	
☆ SRAM	16ビット×256語×2	
[ベクトル演算制御]		
◎ VC	3,442	ゲート
[命令実行部]		
◎ EXC	4,951	ゲート
◎ FLT1	1,670	ゲート
◎ FLT2	1,512	ゲート
☆ ALU (32ビット)	2,182	ゲート
☆ MPY (32×32ビット)	8,383	ゲート
☆ BST	995	ゲート
計		
	46,469	ゲート
	+ SRAM 16Kビット	

表2. 要素プロセッサLSIの諸元

プロセス	: CMOS 1.2 μ m スタンダードセル
チップ外形	: 11.73 mm × 11.83 mm
パッケージ	: 208ピンQFP (外形: 3cm×3cm)
クロック	: 10 MHz 2相
数値の型	: 32ビット整数, 32ビット浮動小数
通信性能	: 16ビット幅の双方向通信ポートを 4系統(20MB/秒/ポート)備える。
結合網	: トーラス/メッシュ (セルフルーティング機能内蔵)
外部メモリ	: SRAM, 最大 1M語×32ビット (アクセスタイムは約35ns)
演算性能	: 最大 10 MFLOPS (スカラー演算: 5 MFLOPS + ベクトル演算: 5 MFLOPS)

3. テスト方式

本プロセッサのような循環パイプライン構造のプロセッサにおいては、チップテスト時に各機能ブロック単独のテストをいかにして行うかが問題になる。本プロセッサでは、図1のデータバス、アドレスバスを介して各部

へのテストデータの投入と結果データの収集を行うことにより、これを実現している。図1の斜線のバスはチップテストのために付加したものである。

4. エラー処理機能

本LSIには、キューのデータ滞在量や各種エラーの発生を示すステータスレジスタがあり、これを読み出すことにより内部状態を知ることができる。また、エラーの発生を外部に知らせるエラー出力、及び結合網、循環パイプラインの各々におけるパケットの存在を示す2つのビジー出力信号を備えている。これら3信号はオープンドレイン出力であり、ワイアードオアが可能である。エラーの種類は、各種演算エラー、通信エラー、及び外部メモリ上の拡張キューのオーバフローなどである。更に本LSIは、エラーの発生に応じ待避要求信号を入力することにより、循環パイプライン上のパケットを全て外部メモリの待避領域に待避する機能をもつ。これらの機能を用いてプロセッサの状態を解析することにより、ハードウェア、ソフトウェアのデバッグが可能である。

5. LSIの実装

本LSIは、208ピンのクオード・フラット・パッケージ(3cm角)を採用しており、多数のプロセッサの高密度実装が可能である。しかしながら、初期のシステムにおいては保守の容易性を考慮し、名刺大(5.8cm×8.1cm)のボードに、本LSIと外部メモリ(データ幅4ビットのSRAM8個)、及びコネクタを実装し、これを1プロセッサモジュールとしている。そして、33cm×40cmのボードにプロセッサモジュールを16枚実装して16プロセッサのシステムを構成し、これを更に複数枚マザーボードに実装する方式としている。これによって、プロセッサ数および結合網のサイズを柔軟に変更することができるため、種々の評価実験が可能である。

6. おわりに

以上述べたように本LSIは、データ駆動アーキテクチャを基本とし、実現性、ハードウェア資源の有効利用及びデッドロック回避を重視して開発したものである。現在、64プロセッサを搭載し、演算結果の即時表示機能を付加した中規模並列システムp-EDDENを開発中である。ソフトウェアとしてはシミュレータ、アセンブラ、C言語コンパイラ第1版の開発を終了している。今後はアプリケーションソフト開発と実機上での評価を行いたい。

参考文献

- [1] 三浦他：データ駆動計算機EDDENのアーキテクチャ，並列処理シンポジウム(JSPP'90), pp.169-176.
- [2] 大橋他：データ駆動計算機EDDENの演算機構，情報処理学会第40回全国大会論文集, 3L-6.
- [3] 川口他：データ駆動計算機EDDENの予備性能評価，情報処理学会第41回全国大会論文集, 7P-5.