

RT レベルパーシャルスキャン 設計システム：REPS

吉村正義[†] 細川利典[†] 太田光保[†]

LSIの回路規模の増大により、フルスキャン設計方法のテスト実行時間が重要な問題となっている。本論文では、RTレベルでのパーシャルスキャン設計システムREPSを提案し、その詳細を述べる。REPSは設計期間とテスト実行時間の短縮を目指し(1)RTレベルで、スキャン化すべきレジスタを選択する(2)DFTデータベースに、各ブロックに対する複数のDFTライブラリが存在する、さらにテスト実行時間削減のため(3)各ブロックのDFT方法を選択し、LSIのテスト長を推定する、という特徴を持つ。REPSを実際のLSIのRTレベルにおけるテスト設計で使用したところ、推定したLSIのテスト長は、ゲートレベルの回路のテスト長に比べて、誤差+9~+20%と精度良く推定できた。またREPSの適用により、得られたパーシャルスキャン設計LSIのテスト長は、フルスキャン設計LSIのテスト長に比べて、18~37%短縮することができた。

RTL Partial Scan Design System: REPS

MASAYOSHI YOSHIMURA,[†] TOSHINORI HOSOKAWA[†]
and MITSUYASU OHTA[†]

According to increase of circuitry numbers of LSI, the test application time of a full scan design method becomes one of the bottleneck problems for the LSI productivity. The test application time is corresponding to the test length, thus the reduction of the test length in a scan design is strongly required. In this paper, we propose a partial scan design system at RT level design, named REPS, to reduce the test application time. REPS has the following new features, (1) a scan register selection method at RT level, (2) a DFT database is prepared to estimate test length of blocks, and (3) a DFT strategy generation for the shortest test length. We applied REPS to some test designs for a practical LSI that described at RT level. It is found that REPS estimates an accurate test length for an LSI at RTL, i.e. the error of the length is from +9% to 20% in comparison with that at the gate level. As a result, the test length generated by the partial scan design method was from 18% to 37% shorter than that by the conventional full scan design method.

1. はじめに

近年の半導体集積技術の進歩により、LSIの回路規模が増大し、テスト設計の工数が増大し、その自動化技術が重要になってきている。一般の順序回路の自動テストパターン生成(ATPG)技術は困難な問題であり、高い故障検出効率を得るテストパターンを生成するにはスキャン設計方法に代表されるテスト容易化設計(DFT)が必要である。スキャン設計方法には、回路中のすべてのフリップフロップ(FF)をスキャンFFで構成するフルスキャン設計^{1),2)}と一部のFFのみをスキャンFFで構成するパーシャルスキャン設計

方法^{3)~9)}がある。

スキャン設計方法では、スキャンFFを等価的に外部入出力と見なせるので、スキャンFFを取り除いた残りの回路(核回路)に対してATPGを行えばよい。よって、フルスキャン設計方法では、核回路が組合せ回路になるので、組合せATPGアルゴリズムでATPG可能となり、高い故障検出効率を得られるが、面積、性能劣化、消費電力のオーバーヘッドが大きくなる。一方、パーシャルスキャン設計方法はフルスキャン設計方法に比べて前述のオーバーヘッドを削減できるが、核回路が順序回路になるので、一般には組合せATPG不可能であり、順序ATPGを必要とする。

したがって、パーシャルスキャン設計方法では、高い故障検出効率の達成はスキャンFFに置き換えるFFの同定方法に大きく依存する。近年、組合せATPG

[†] 松下電器産業株式会社半導体開発本部
Corporate Semiconductor Development Division,
Matsushita Electric Industrial Co., Ltd.

アルゴリズムで ATPG 可能である順序回路の構造に基づくパーシャルスキャン設計方法^{6)~9)}とそのテスト系列生成方法^{6)~8)}が提案され、フルスキャン設計方法と同等の高い故障検出効率が得られている。

文献 6)~9) のパーシャルスキャン設計方法では、核回路がフィードバックループをいっさい含まない無閉路順序回路である。このため 1 つの故障に対して生成されるテストパターン数は、回路の順序深度²⁾ +1 以下になるという性質²⁾がある。これに対してフルスキャン設計方法では、核回路が組合せ回路であるので、1 つの故障に対して生成されるテストパターン数は、1 である。よって、核回路が無閉路順序回路であるとき(文献 6)~9) のパーシャルスキャン設計回路)、組合せ ATPG アルゴリズムが適用可能であるが、生成されるテストパターン数は、核回路が組合せ回路である場合(フルスキャン設計回路)に比べて大きくなる。

ITRS のロードマップ¹⁰⁾によると、ゲート数は年率約 40% の割合で増加し、外部ピン数は年率約 10% の割合で増加すると予測されている。FF 数はゲート数に比例し、スキャンパス数は外部ピン数に比例することから、FF 数の増加に比べてスキャンパス数の増加が鈍いことが分かる。つまり、フルスキャン設計方法では、すべての FF は、いずれかのスキャンパスに属するので、各スキャンパスに属する FF 数が増加する傾向にあることが分かる。スキャン設計方法では、テスト実行時間は、式 (1) のテスト長 (TL) とテスト動作のクロック周期との積から計算できる。ただし、核回路に対して生成された ATPG パターン数を CT 、各スキャンパスに属するスキャンレジスタ数の最大値を MSP とする。

$$TL = (CT + 1) \times MSP + CT. \quad (1)$$

式 (1) によれば、1 チップに搭載されるゲート数の増加により、フルスキャン設計回路のテスト実行時間が増加することが分かる。以後の議論で、式 (1) で用いた核回路に対するテストパターン数を ATPG パターン数、各スキャンパスに属するスキャンレジスタ数の最大値を最大スキャンパス長とそれぞれ呼ぶことにする。

以上、考察したようにフルスキャン設計方法では、今後テスト実行時間の増加が予想されるため、最大スキャンパス長の短縮によって、テスト実行時間を短縮することが可能であるパーシャルスキャン設計方法の適用が期待される。しかし、現状のゲートレベルパーシャルスキャン設計方法には、以下のような問題点がある。

問題点 1 スキャン化すべき FF の選択とスキャンパ

ス挿入が論理合成後に行われるため、論理合成で考慮した最適なタイミングが保証されなくなる。
問題点 2 核回路が順序回路であるために、ATPG パターン数が大きくなり、式 (1) よりテスト実行時間がフルスキャン設計方法よりも長くなる可能性がある。

問題点 3 パーシャルスキャン設計では、テスト実行時間が膨大になったとき、テスト実行時間短縮のために必要となる設計手戻りが発生し、結果として設計期間が長期化する。

本論文では、レジスタトランスファ (RT) レベル設計から大規模 LSI のテスト設計を支援する REPS を提案する。REPS には次の 2 つの機能がある。

機能 1 RT レベルでのパーシャルスキャン設計
機能 2 RT レベルでテスト長を最適にする DFT 方法の選択

なお、機能 1 は REPS 特有のものでなく、機能 2 は REPS 特有のものである。REPS では、問題点 1 を機能 1 により、問題点 2, 3 は機能 2 によって、それぞれ解決をはかる。

本論文は以下のような構成になっている。2 章で REPS の提案を行い、3 章でテスト実行時間を最適化するための各ブロックの DFT 選択方法を提案する。4 章では実際の LSI で、REPS の評価を行い、その有効性を示す。最後に、5 章で本研究の結論と今後の課題について述べる。

2. RT レベルパーシャルスキャンシステム：REPS

前章で述べた現状のパーシャルスキャン設計方法の問題点を解決するために、以下に示すような特徴を持つ REPS を提案する。

特徴 1 RT レベルで、スキャン化すべきレジスタを選択する。

特徴 2 データベース(以後、DFT データベース)中に、各ブロックに対して複数の DFT を適用したときの情報(以後、DFT ライブラリ)を持つ。

特徴 3 LSI のテスト長を短縮するため、LSI のテスト長を推定しながら、DFT データベースから各ブロックの DFT 方法を選択する。

図 1 に REPS のシステム構成図を示す。REPS は大きく DFT データベース登録部とテスト長最適化 DFT 選択部に分かれる。DFT データベース登録部は、各ブロックごとに適用可能な複数の DFT ライブラリを DFT データベースに登録する処理部であり、テスト長最適化 DFT 選択部は、テスト長最短化を目的とし

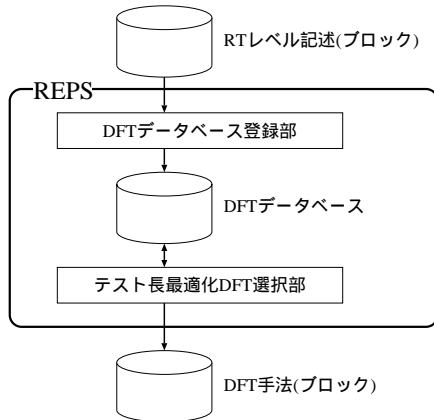


図1 REPSシステム構成図

Fig. 1 Figure of system structure of REPS.

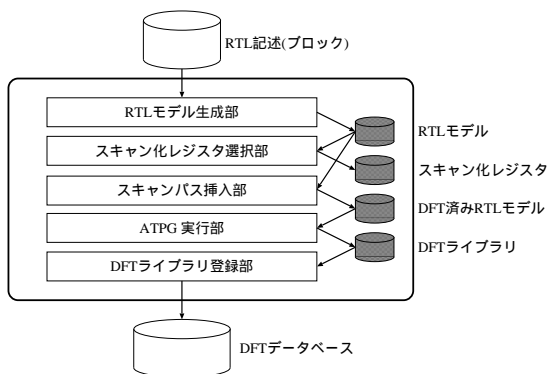


図2 DFTデータベース登録部

Fig. 2 DFT database registration part.

て、DFTデータベースから各ブロックのDFT方法を選択する処理部である。

図2にREPSのDFTデータベース登録部の詳細を示す。以下図2に示す各処理部と各入出力データの説明を行う。

RTL記述 REPSは、階層設計されたLSIを前提とする。下位の階層(ブロック)は、RTLレベルのVerilog-HDLで記述されるものとする。このブロックはDFTを行う単位で、設計者がブロック分割している。

RTLモデル生成部 RTLレベル記述のブロック回路を入力とし、半導体テクノロジーに依存しないプリミティブ(AND, OR, レジスタなどの論理マクロ)にマッピングしたRTLモデルを出力する。

RTLモデル 半導体テクノロジーに依存しないプリミティブとその接続関係を記述したVerilog-HDL形式のネットリストである。

スキャン化レジスタ選択部 RTLモデルを入力とし、

RTLモデルの核回路の回路構造がフィードバックループを含まない無閉路構造^{2),8)}で、かつ一定の順序深度(d)^{9),4)}以下になるようにスキャン化レジスタを決定⁹⁾し、出力する。順序深度は、RTLモデルの核回路の最大のレジスタ数を持つ経路のレジスタ数である。1つの故障に対するATPGパターン数は順序深度+1以下であるという性質²⁾から、順序深度が小さいほどATPGパターン数は小さくなると考えられる。ATPGパターン数をさらに小さくしたい場合は、 d をさらに小さく設定する。なお d の設定は人手で行っている。また、3.1節で詳細に述べるが、ブロックでのATPG結果を有効なものにするために、各ブロックの出力から入力方向に組合せ回路のみを通して到達可能なそのブロック内のレジスタ(出力レジスタ)は必ずスキャン化するレジスタとする。

スキャン化レジスタ スキャン化すべきレジスタのインスタンス名が記述されたリストである。

スキャンパス挿入部 スキャン化レジスタとRTLモデルを入力とし、スキャンパス挿入を行い、DFT済RTLモデルを出力する。

DFT済RTLモデル スキャンパス挿入されたRTLモデルであり、Verilog-HDL形式のネットリストである。

ATPG実行部 DFT済RTLモデルを入力とし、パースカルスキャンまたはフルスキャンATPGを行い、各DFT方法に対する故障検出効率とATPGパターン数を算出する。

DFTライブラリ DFTライブラリは、DFT済RTLモデルのスキャンレジスタ数とATPG実行部で算出したATPGパターン数から構成される情報である。

DFTライブラリ登録部 次の条件を満たしたとき、DFTライブラリをDFTデータベースに登録する。

条件1 各ブロックのDFTデータベースに登録されているDFTライブラリが所定の種類以下である(EX:5種類以下)。

条件2 故障検出効率率が所定の値以上である(EX:99.5%以上)。

条件3 ATPGパターン数が、前回登録した当該ブロックのDFTライブラリのATPGパターン数から所定の値以上変化している(EX:10%以上)。

DFTデータベース DFTデータベースのデータ構造を図3に示す。図3に示すように、各ブロックは、複数のDFTライブラリを持つ。

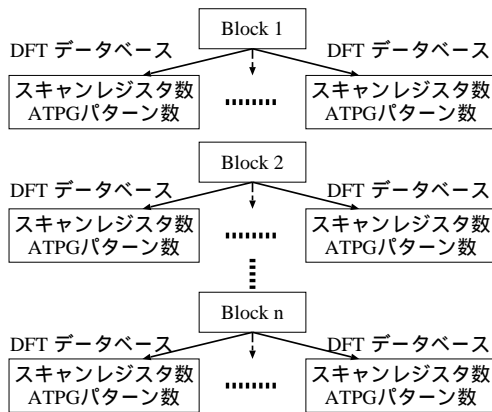


図3 DFT データベースのデータ構造

Fig. 3 Data structure of DFT database.

3. テスト長最適化のための DFT 選択方法

本章では、テスト長最適化によるテストでのテスト実行時間の削減を目的としたブロックの DFT 選択方法を説明する。

3.1 テスト長最適化の基本概念

LSI を構成するブロック数を m 、 i 番目ブロックを B_i ($1 \leq i \leq m$ の整数)、 B_i の入力を外部入力、出力を外部出力として B_i に対して ATPG (ブロック ATPG) を実行して得られた B_i の ATPG パターン数を CT_i とする。

ここで理想 LSI モデルを定義する。理想 LSI モデルでは、「すべてのブロックのブロック出力は直接入力方向のスキャンレジスタと接続し、かつ、すべてのブロック出力のファンアウト数は 1 である」とする。

理想 LSI モデルでは、図 4 に示すように、 B_i の出力レジスタをスキャン化することで、 B_i の ATPG パターンに対する期待値を観測できる。ここで、 B_i の出力を観測できるスキャンレジスタを含む外部出力の集合を OS_i とする。また B_i の入力と接続している他のブロックの出力レジスタをスキャン化することで、 B_i の ATPG パターンを制御できる。ここで、 B_i の入力を直接制御できるスキャンレジスタを含む外部入力の集合を CS_i とする。

図 4 の例で、 B_1 について考えると、 B_1 の出力レジスタ (OS_1) をスキャン化することで、 B_1 の ATPG パターンに対する期待値を観測でき、 B_1 の入力と接続している他のブロック (B_2, B_3) の出力レジスタ (CS_1) をスキャン化することで、 B_1 の ATPG パターンに対する入力値を制御できる。

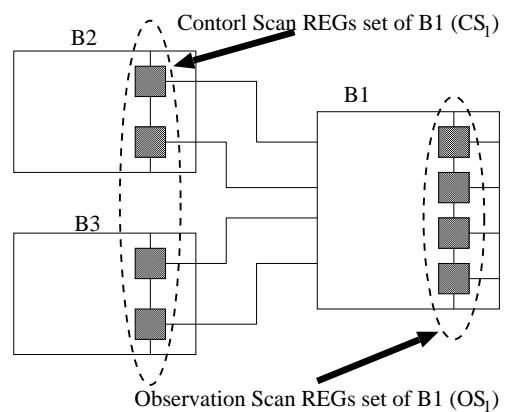


図4 理想 LSI モデル

Fig. 4 Ideal LSI model.

$$CS_j \cap CS_k = \phi$$

$$\text{for } (j \neq k, \text{ integer of } 1 \leq j, k \leq m). \quad (2)$$

$$OS_j \cap OS_k = \phi$$

$$\text{for } (j \neq k, \text{ integer of } 1 \leq j, k \leq m). \quad (3)$$

理想 LSI モデルは式 (2), (3) を満たす。よってすべての B_i に対する ATPG パターンは、同時に各 CS_i の外部入力およびスキャンレジスタに値を設定でき、その期待値を同時に各 OS_i の外部出力およびスキャンレジスタで観測することができる。ここで CT を LSI の ATPG パターン数、 CT_i をブロック B_i の ATPG パターン数とすると、理想 LSI モデルでは、 $\max(CT_i) = CT$ となる。

実際の LSI では、理想 LSI モデルと異なる構造である場合があるが、経験的にかなり似た構造を持つと考えられる。本論文では以下の仮定が成り立つとして、議論を進める。

仮定 1 LSI の ATPG パターン数はブロックの最大 ATPG パターンとほぼ等しくなる。

仮定 2 全ブロックの故障検出効率が高ければ、LSI の故障検出率も高くなる。

3.2 DFT ライブラリ選択問題

図 1 に示したように、REPS には LSI のテスト長を最短にするために、DFT データベースから各ブロックに対して適用する DFT ライブラリを選択する機能を持つ。以下にこの DFT ライブラリ選択問題について述べる。

3.2.1 テスト長最適化 DFT ライブラリ選択問題

DFT データベースを DB 、LSI を構成するブロックの個数を m (m は正の整数)、ブロックを B_i ($1 \leq i \leq m$ の整数)、 B_i の DFT ライブラリの個数を NL_i (NL_i は正の整数)、 B_i の DFT ライブラリを L_{ij} ($1 \leq j \leq NL_i$ の整数)、 L_{ij} のスキャンレジスタ数を

NS_{ij} (NS_{ij} は非負の整数), L_{ij} の ATPG パターン数を CT_{ij} (CT_{ij} は正の整数) とする. また各 B_i に対して 1 つの DFT ライブラリを選択したとき, 選択した DFT ライブラリを L_{ic} , L_{ic} を適用したブロック B_i の ATPG パターン数を CT_{ic} , L_{ic} のスキャンレジスタ数を NS_{ic} で表す.

入力 DB.

出力 評価関数 F が最小となる m 個の L_{ic} (ただし, 各ブロックにつきただ 1 つの DFT ライブラリを選択) と LSI のテスト長の推定値である評価関数 F の値.

$$F = \max(CT_{ic}) \times \sum_{i=1}^m NS_{ic}. \quad (4)$$

評価関数 F は LSI のテスト長の推定値を表している. 3.1 節で述べたブロックの ATPG パターン数の最大値が LSI の ATPG パターン数とほぼ等しくなる仮定と式 (4) から LSI のテスト長は評価関数 F で近似できる. この段階で LSI のスキャンパスの本数 k は考慮してない. 各スキャンパスはほぼ等しいスキャンレジスタ数を持つと仮定すると, LSI のテスト長の推定値は F/k で表される.

評価関数 F の最小値を求める計算量は, $\prod_{i=1}^m NL_i$ である. しかし式 (4) の性質により, 計算量は $\sum_{i=1}^m NL_i$ となる.

これは次の手順で評価関数 F を最適にする DFT ライブラリの組合せを求めた場合の計算量である.

まず, 全体 ($\sum_{i=1}^m NL_i$ 個) の DFT ライブラリから, ある 1 つのライブラリを選択し, 選択したライブラリの ATPG パターン数が $\max(CT_{ic})$ となるように他のブロックの DFT ライブラリを求める.

ここで $\max(CT_{ic})$ の値が決定している場合では, 評価関数 F を最小にするには, 他のブロックの DFT ライブラリは, 各ブロックの DFT ライブラリ中で $\max(CT_{ic})$ を超えない最もスキャンレジスタ数の少ない DFT ライブラリである. この各ブロック DFT ライブラリは一意に求めることができる.

この探索を $\sum_{i=1}^m NL_i$ 回繰り返すことで, 最小な F を求めるためのすべての DFT ライブラリの組合せを探索したことになる.

よって評価関数 F を最小にする各ブロックの DFT ライブラリを求める計算量は, 現実的なものとなり, 最適な F となる DFT ライブラリを DFT データベースより選択することができる.

問題例

図 5 に DFT データベースの例を示す. ブロック数

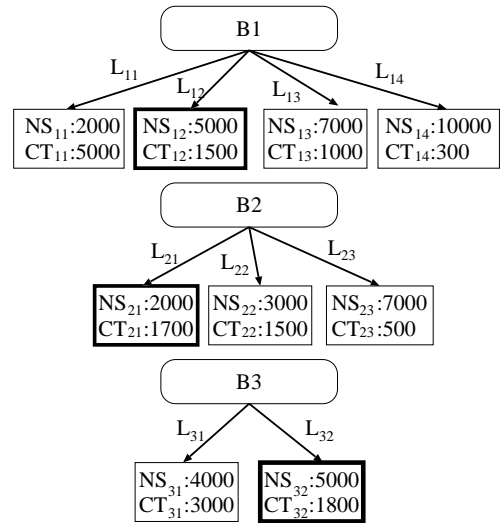


図 5 DFT データベース例

Fig. 5 Example of DFT database.

$m = 3$ であり, ブロック B_1 は, レジスタ数 10000, 4 つの DFT ライブラリ, ブロック B_2 はレジスタ数 7000, 3 つの DFT ライブラリ, ブロック B_3 はレジスタ数 5000, 2 つの DFT ライブラリを持つ. DFT ライブラリ中の NS_{ij} はスキャンレジスタ数, CT_{ij} は ATPG パターン数を表す. 評価関数 F の最小値を求めると, L_{12}, L_{21}, L_{32} の DFT ライブラリがそれぞれ, B_1, B_2, B_3 に対して選択される. この場合, 評価関数 F は $1800 \times (5000 + 2000 + 5000) = 21.6 \text{ M}$ (M は 10 の 6 乗) となり, LSI のスキャンパスの本数を 5 本とすると, テスト長は 4.32 M と推定できる. フルスキャン設計 (L_{14}, L_{23}, L_{32} を選択) の場合のテスト長は, 7.92 M と推定され, REPS で DFT 方法の選択を行うことにより, LSI のテスト長を約 45% 短縮することができる.

4. 実験結果

本章では実際の LSI に REPS を適用した実験結果について述べる. 実験の実行環境は以下のとおりである.
CPU Ultra SPARC II
Frequency 450 MHz
SPECint 19.7

4.1 回路特性

表 1 に適用した LSI の特性を示す. 表 1 において, Cir は回路名, #PI は外部入力数, #PO は外部出力数, #PIO は外部入出力数, #GATE はゲート数 (ATPG ツールのプリミティブ数), #FF は FF 数, #BLK は LSI を構成するブロック数, #SP はスキャンパスの本数を表す.

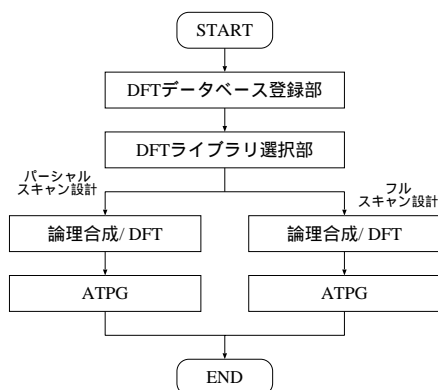


図6 REPS評価フロー

Fig. 6 Evaluation flow of REPS.

4.2 評価フロー

図6にREPSの評価フローを示す。以下に各処理内容について述べる。

DFTデータベース登録部 各ブロックごとに、RTLモデル生成、DFT、スキャンパス挿入、ATPGを行い、以下のすべての条件を満たしたらDFTライブラリとしてDFTデータベースへ登録する。まず順序深度を#1は20、#2は10(パラメータ*d*)からDFTを行った。以後、順序深度を1つずつデクリメントした。ただし各ブロックの出力レジスタは、すべてスキャン化している。

条件1 DFTデータベースに登録されているDFTライブラリは4種類以下。

条件2 故障検出効率99.5%以上。

条件3 ATPGパターン数が前回登録したDFTライブラリのATPGパターン数の10%以上減少。

最後に、フルスキャン設計を行ったときのDFTライブラリを登録する。

DFTライブラリ選択部 DFTデータベースからテスト長を最短にするために、LSIのテスト長の推定値を評価することによって、各ブロックに適用するDFTライブラリを選択する。

論理合成/DFT まず選択したDFTライブラリに基づいて、各ブロックの論理合成/DFTを行い、パーシャルスキャン設計LSIのゲートレベルのネットリストの生成を行う。次にフルスキャン設計方法に基づいて、各ブロックの論理合成/DFTを行い、フルスキャン設計LSIのゲートレベルのネットリストの生成を行う。

ATPG パーシャルスキャン設計LSIとフルスキャン設計LSIに対してそれぞれATPGを実行し、

故障検出効率とテスト長を算出する。

4.3 DFTライブラリ選択結果

表2, 3に評価LSIのDFTライブラリを示す。表2, 表3において、NSはDFTライブラリ中のスキャンレジスタ数、CTはATPGパターン数、DFTは選択したDFT方法、FSはフルスキャン設計、PSはパーシャルスキャン設計を表す。

選択したDFTライブラリを適用し、ATPGを行った結果を表4に示す。表4のTL-PSはテスト長最適化を指向したパーシャルスキャン設計、FSはフルスキャン設計、AR-PSはスキャン化率の最小化を指向したパーシャルスキャン設計の結果を示している。また#SFFはスキャンレジスタ数、SRはスキャン化率(%), FEは故障検出効率(%), #MAX-CTは選択したDFTライブラリ中で最も大きいATPGパターン数、#EST-TLはDFTライブラリからのテスト長の推定値、#REAL-ATPGは実際のLSIでのATPGパターン数、#REAL-TLは実際にATPGを適用したテスト長の実測値、ERRはテスト長の推定値と実測値の誤差率(%), RRはフルスキャン設計からのテスト長の削減率、CPUはATPG時間を示す。

4.4 考察

表4の結果から、REPSを適用して設計したパーシャルスキャン設計LSIはフルスキャン設計LSIとほぼ同等の故障検出効率を保ちながら、テスト長を18~37%短縮することができた。またDFTライブラリからのテスト長の推定値の誤差を8~20%と実用的な範囲であることが確認できた。

各LSIのDFTデータベース登録部では、各ブロックごとに順序深度*d*を変化させ、ATPGパターン数とスキャンレジスタ数を調べた。DFTライブラリ数の回数分、DFTとATPGを繰り返して行ったが、DFTライブラリ登録部の工数は、LSI全体のテスト設計工数の1割程度であった。従来生じていたゲートレベルの段階からの手戻りがいっさいないため、設計期間の短縮の見通しがたった。

#1のTL-PSでは、ATPGパターン数の大きい2つのブロック B_7 と B_{10} がある。 B_7 はパーシャルスキャン設計で、 B_{10} はフルスキャン設計である。まず CS_7 は、 B_{11} の出力レジスタであり、かつ、 B_{11} のブロック出力のファンアウト数はすべて1であった。また B_{10} はフルスキャン設計であるため、 B_{10} のブロック入力から出力方向へ組合せ回路のみをたどって到着できるレジスタ(入力レジスタ)はすべてスキャンレジスタである。ブロック B_i のすべての入力レジスタがスキャンレジスタである場合、経験的に「 CS_i

表 1 LSI 特性

Table 1 Characteristics of LSI.

Cir	#PI	#PO	#PIO	#GATE	#FF	#BLK	#SP
#1	11	10	114	433469	30930	11	31
#2	4	1	125	855142	52583	19	32

表 2 DFT ライブラリ選択結果 #1

Table 2 Selection results of DFT libraries: #1.

DFT lib	B1	B2	B3	B4	B5	B6	B7	B8	B9	B10	B11
NS	100	681	899	1032	1088	1235	2462	2147	2310	4569	2823
CT	16	533	898	921	1063	846	2227	1385	1511	2602	514
DFT	FS	PS	PS	PS	PS	PS	PS	PS	PS	FS	PS

表 3 DFT ライブラリ選択結果 #2

Table 3 Selection results of DFT libraries: #2.

DFT lib	B1	B2	B3	B4	B5	B6	B7	B8	B9	B10
NS	31	49	129	101	313	355	506	617	1994	1533
CT	23	21	34	397	219	459	446	382	1010	1203
DFT	PS	FS	FS	PS	PS	PS	PS	PS	FS	PS
DFT lib	B11	B12	B13	B14	B15	B16	B17	B18	B19	
NS	2225	3244	2457	2684	4001	4024	4061	4061	5883	
CT	751	1132	1172	1260	1074	1263	1276	1276	777	
DFT	PS	PS	PS	PS	FS	FS	PS	PS	PS	

表 4 テスト長推定と実際の ATPG 結果

Table 4 Estimated test lengths & ATPG results.

Cir	DFT	#SFF	SR (%)	FE (%)	#MAX-CT	#EST-TL	#REAL-ATPG	#REAL-TL	ERR (%)	RR (%)	CPU (s)
#1	TL-PS	19346	62.55	99.36	2602	1.623 M	2828	1.771 M	8.36	37.29	62189
	FS	30930	100	99.62	2602	2.596 M	2826	2.824 M	8.07	—	14599
	AR-PS	18259	59.03	—	4096	2.413 M	—	—	—	—	—
#2	TL-PS	37518	71.35	99.48	1276	1.496 M	1576	1.851 M	19.18	18.53	126256
	FS	52583	100	99.72	1263	2.075 M	1382	2.272 M	8.67	—	24375
	AR-PS	36313	69.96	—	2894	3.284 M	—	—	—	—	—

と B_i の入力レジスタ間の組合せ回路規模」は小さいので、 B_i の大部分の故障は、 CS_i を制御することなく、 B_i 内のスキャンレジスタのみを制御、観測することで検出が可能となり、 B_i の入力と接続しているブロックの出力のファンアウト数にかかわらず、理想 LSI モデルに近くなる。よって #1 のテスト長に大きな影響を与えている B_7 と B_{10} の周辺の回路構造は、理想 LSI モデルに似通った構造となっている。また B_7 、 B_{10} の ATPG パターン数とその他のブロックの ATPG パターン数には大きな差があり、その他のブロック周辺の回路構造が理想 LSI モデルと似通った構造でなくてもテスト長の推定精度に大きな影響を与えないと考えられる。よって #1 の TL-PS は精度良くテスト長を推定できたと考えられる。

しかし #2 ではテスト長の推定値と実測値の誤差が 19.18% と比較的大きかった。この原因は次のように考えられる。#2 の TL-PS では ATPG パターン数の大きいブロック B_9 、 B_{10} 、 B_{12} 、 B_{13} 、 B_{14} 、 B_{15} 、 B_{16} 、 B_{17} 、 B_{18} と数多い。これらのブロックの CS が、各々複数の ATPG パターン数の多いブロックへファンアウトしている。よって理想 LSI モデルとは、回路構造が似ておらず、テスト長の推定値と実測値との誤差が

生じたものと考えられる。

REPS では、式 (4) をもとに、RTL の段階でテスト長を最短にする LSI の DFT 方法を決定している。RTL の段階で LSI の ATPG を実行して、テスト長を見積もる方法を考えた場合、LSI の ATPG 時間(表 4 から #1 は 62189 秒、#2 は 126256 秒)と DFT ライブラリの選択の組合せ数(#1 は 29、#2 は 55)の積の時間(#1 は約 500 時間、#2 は約 1929 時間)を DFT 方法の決定に要する。式 (4) をもとにテスト長を推定し、LSI の DFT 方法を決定するのに要する時間(数秒)は RTL の段階で LSI の ATPG を実行して、テスト長を見積もる方法と比べれば無視できる程度のものであり、大幅に計算時間を短縮することができる。

5. まとめ

テスト長を削減するために、REPS (RTL レベルパースナルスキャンシステム) を提案した。よって RTL の段階でテスト長を最適にする DFT を選択することができる。このため次の課題が解決された。

- RTL でスキャン化すべきレジスタを選択できるため、論理合成後も最適なタイミングを保証する

ことができる。

- フルスキャン設計も含めて、テスト実行時間が短くなる DFT 方法を選択するため、テスト実行時間がフルスキャン設計方法よりも長くなることはない。
- テスト実行時間が RTL の段階で推定できるため、テスト実行時間短縮に関して、設計の手戻りが発生せず、設計期間の短縮をはかれた。

また実際の LSI に適用することで、フルスキャン設計方法と比較して、テスト長を 18~37%削減できることを示した。また DFT ライブラリを選択した時点でのテスト長の見積りと、実際のテスト長の誤差を 9~20%にすることができた。

今後の課題としては次のことがあげられる。

- DFT データベースへの DFT ライブラリの登録を自動化する。
- テストポイント挿入や、BIST などの新しい DFT 方法も考慮に入れる。
- テスト長の推定精度を向上させる。

謝辞 本研究に対して貴重なコメントをいただきました松下電子工業の豊永昌彦氏に深く感謝いたします。

参 考 文 献

- 1) Fujiwara, H.: *Logic Testing and Design for Testability*, The MIT Press (1985).
- 2) Abramovici, M., Breuer, M.A. and Friedman, A.D.: *Digital Systems Testing and Testable Design*, Computer Science Press (1990).
- 3) Cheng, K.-T. and Agrawal, V.D.: A partial scan method for sequential circuits with feedback, *IEEE Trans. Comput.*, Vol.39, No4, pp.544-548 (1990).
- 4) Lee, D.H. and Reddy, S.M.: On determining scan flip-flops in partial scan design approach, *Proc. IEEE Int. Conf. Computer-Aided Design*, pp.322-325 (Nov. 1990).
- 5) Chakradhar, S.T., Balakrishnan, A. and Agrawal, V.D.: An exact algorithm for selecting partial scan flip-flops, *Proc. ACM/IEEE Design Automation Conf.*, pp.81-86 (June 1994).
- 6) Gupta, R., Gupta, R. and Breuer, M.A.: The BALLAST methodology for structured partial scan design, *IEEE Trans. Comput.*, Vol.39, No.4, pp.538-544 (1990).
- 7) Takasaki, T., Inoue, T. and Fujiwara, H.: Partial scan design methods based on internally balanced structure, *IEEE Proc. Asia and South Pacific Design Automation Conf.*, pp.211-216 (Feb. 1998).
- 8) Inoue, T., Hosokawa, T., Mihara, T. and Fujiwara, H.: An optimal time expansion model based on combinational ATPG for RT level circuits, *IEEE Proc. Asian Test Symp.*, pp.190-197 (Dec. 1998).
- 9) Hosokawa, T., Hiraoka, T., Ohta, M., Muraoka, M. and Kuninobu, S.: A partial scan design method based on n-fold line-up structures, *IEEE Proc. Asian Test Symp.*, pp.306-311 (Nov. 1997).
- 10) International Technology Roadmap for Semiconductors 1999 Edition.

(平成 12 年 10 月 3 日受付)

(平成 13 年 2 月 1 日採録)



吉村 正義

昭和 48 年生。平成 10 年大阪大学大学院基礎工学研究科物理系専攻システム工学分野修士課程修了。同年松下電器産業(株)入社。テスト容易化設計の研究開発に従事。



細川 利典(正会員)

昭和 39 年生。昭和 62 年明治大学工学部電子通信工学科卒業。同年松下電器産業(株)入社。論理シミュレーションエンジン、テスト容易化設計、テストパターン生成、故障シミュレーション、テスト容易化設計、上流テストの研究開発に従事。平成 12 年より(株)半導体理工学センターへ出向。同社にてシステムテスト、ハードウェア・ソフトウェア協調検証、システム性能解析の研究開発に従事。IEEE 会員。



太田 光保

昭和 37 年生。昭和 61 年広島大学工学部第 2 類卒業。同年松下電器産業(株)入社。IP ベーステスト、テストパターン生成、テスト容易化設計の研究開発に従事。