

入力信号パターンを考慮した低電力算術演算回路の設計手法

室山 真徳[†] 石原 亨^{††}
兵頭 章彦[†] 安浦 寛人[†]

算術演算器はマイクロプロセッサをはじめ、画像処理などの様々な LSI の重要な構成要素である。デジタル信号処理プロセッサ (DSP) や動画画像処理プロセッサでは並列乗算器の性能がシステム性能を左右する。算術演算回路の設計においては 1 ビット全加算器 (FA) やカウンタなどを基本セルとして用いて設計が行われる。本論文では、各基本セルへの入力信号パターンの偏りの影響を考慮して、回路構造の異なる複数の基本セルの中から最も適したセルを選択したり、セルの対称な入力端子への配線を変更したりすることで算術演算回路の消費電力を削減する一手法を提案する。提案する手法により乗算器の消費電力を 32.1%削減できることを示し、回路の最適化手法も提示する。

A Design Method for Low Power Arithmetic Circuits Considering Input Patterns

MASANORI MUROYAMA,[†] TOHRU ISHIHARA,^{††} AKIHIKO HYODO[†]
and HIROTO YASUURA[†]

Arithmetic circuits are important components of micro processors and image processing LSIs. Performance of digital signal processors and motion video processors strongly depends on the performance of multipliers. In the design of arithmetic circuits, 1bit full adders and counters are used as basic cells. In this paper we propose a design method for low power arithmetic circuits in which 1) basic cells are selected from a set of circuits with different structures and 2) connections to the terminals of the basic cells are optimized. Experimental results demonstrates 32.1% power reduction of a parallel multiplier designed by the proposed technique.

1. はじめに

微細加工技術の急速な発達により、現在の LSI 設計では 1 つのチップ上に大規模かつ複雑な回路を実現できるようになった。それにともない、製品の設計期間の短縮や高性能化、低コスト化、低電力化を同時に満たす設計手法の開発はますます難しくなっている。特に消費電力に関しては多様な携帯機器に求められる要求を満足させることは困難である。消費電力の問題は重要性が増しており様々なレベルでの低消費電力化の手法が提案されている^{1)~3)}。本論文では回路レベルでの低消費電力の手法を提案する。

フルカスタムよりも速度性能は落ち消費電力が大き

くなるが、コストや設計期間が重要視されるデジタル回路には、汎用の部品を組み合わせたセルベース設計が広く採用されている。セルベース LSI 設計において基本構成要素となるセルは設計対象となる LSI の性能、電力および面積に対して大きな影響を与える。

算術演算回路はマイクロプロセッサをはじめ様々な LSI の重要な構成要素である。算術演算回路は全加算器やカウンタなどの基本的なセルを組み合わせで構成されることが多い。そのため算術演算回路を構成するセルの選択は重要となる。設計する算術演算回路に適したセルライブラリを用いることで面積、遅延や電力の制約を満たすことができる可能性がある^{4),5)}。本論文では算術演算回路を構成する各セルの入力信号パターンを考慮することにより、(1) 回路構造の異なる複数のセルを用意し、その中から最も適したセルを選択する、(2) セルの入力端子の配線を決定することで算術演算回路の消費電力を削減する一手法を提案する。同時に短いシミュレーション時間で低電力な算術演算回路を設計する手法も示す。

[†] 九州大学大学院システム情報科学府情報工学専攻
Department of Computer Science and Communication
Engineering, Kyushu University

^{††} 東京大学大学院大規模集積システム設計教育研究センター
VSLI Design and Education Center (VDEC), University of Tokyo

2章で準備として CMOS 論理回路における消費電力とセルの入力信号パターンおよび関連研究の説明を行う。3章では従来のセルベースにおける算術演算回路設計手法と問題点を述べ、入力信号パターンを考慮することによる電力削減手法を提案する。4章では算術演算回路の中で特に重要である並列乗算器を実験対象に用いて本手法の有効性を示し、結果と考察を報告する。最後に5章で本論文をまとめる。

2. 準備

2.1 CMOS 論理回路の消費電力

本論文は CMOS 論理回路を対象として議論する。CMOS LSI における消費電力は次の3つの和として考えることができる。(i) リーク電流による消費電力、(ii) 貫通電力による消費電力、(iii) 負荷容量を充放電するための電力である。(i)、(ii)、(iii)の中で(iii)の負荷容量を充放電するための電力が全消費電力において支配的である⁶⁾。負荷容量を充放電するための消費電力は次式で表現することが可能であり、全消費電力は負荷容量を充放電するための消費電力にほぼ等しいので CMOS トランジスタで1サイクルあたりに消費される電力は式(1)で近似できる。

$$P = \sum_{k=1}^N CL_k \cdot Swit_k \cdot V_{DD}^2 \quad (1)$$

ここで N は回路の総ゲート数、 CL_k はゲート k の負荷容量、 $Swit_k$ はゲート k でのスイッチング回数、そして V_{DD} は電源電圧である。消費電力はゲートの総スイッチング回数に比例することを式(1)は示しており、総スイッチング数を削減することで消費電力を削減できる。

2.2 セルの入力信号パターン

算術演算回路中には同じ論理関数を実現するセルが複数存在することが多い。同じ論理関数を実現するセルを基本セルとよび、通常同じ基本セルには同じ回路構造のセルが使用されている。

基本セルの入力端子において入力信号のパターン(連続した入力信号値のペア)を *IPP* (Input Patterns Pair) と定義する。たとえば2入力 NAND では入力 A, B において、時刻 t での入力信号値 (0,1) と時刻 $t+\delta$ での入力信号値 (1,1) のペアが IPP である。IPP は基本セルを構成する回路中のゲートの状態(スイッチングするかしないか)を決定する。2入力 NAND の例では出力の信号値は1から0へとスイッチする。ゲートのスイッチングが消費電力に影響を与えるために IPP を考えることは重要である。IPP の集合はそ

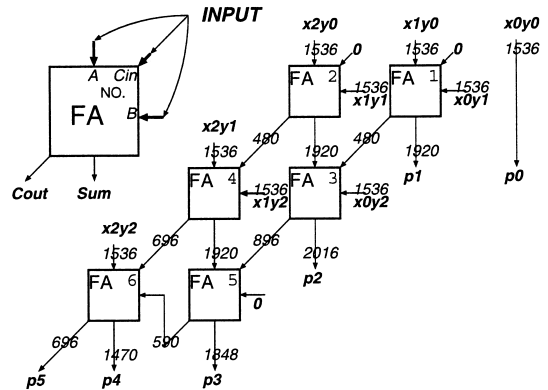


図1 3ビット配列型並列乗算器における各FAセルの入力端子のスイッチング回数の偏り

Fig. 1 The numbers of switching activities of input terminals of FAs in a 3-bit array type multiplier.

の特徴により分類できる。1つは偏りのないIPPの集合 (*uniform IPPs*) である。偏りのないIPPの集合とは対象とする回路の全入力端子に全通りのIPPを与えた場合にIPPの集合に含まれるそれぞれのIPPの発生確率が等しいIPPの集合のことである。2つめは偏りのあるIPPの集合 (*biased IPPs*) であり、回路の全入力端子に全通りのIPPを与えたときに偏りのないIPPの集合以外のIPPの集合とする。

例として3ビットの配列型並列乗算器(図1)を考える。図中の数値は乗算器を構成する1ビット全加算器(1-bit Full Adder: 以下FA)の入力端子および出力端子におけるスイッチング回数を表す。乗算器にはすべてのIPP(4096パターン)を与えた。その際のそれぞれのFAは偏りのあるIPPの集合をとる。たとえば、FA3では入力端子Aは入力端子 C_{in} の4倍スイッチングするようなIPPの集合が与えられている。

2.3 関連研究

式(1)の各パラメータ V_{DD} , CL_k , $Swit_k$ を削減することで電力を削減できる。低消費電力技術の総合的な解説書としては文献1)~3)がある。

V_{DD} を削減する手法には文献7), 8)があり、文献8)はセルベース設計においてセルごとに2種類の電源電圧のうちから最適な電圧を割り当てることで低電力化を実現している。電源電圧の低下は電力削減に与える影響は大きいハードウェアコストがかかる手法である。 CL_k を削減する手法としてよく用いられるのがゲートのサイジング^{9), 10)}である。ゲートのサイジングは、論理式を実際のNANDなどのライブラリにあるセルにより実現(テクノロジマッピング)した後に行われ様々なパラメータを考慮する必要がある。これらの手法に対し我々は $Swit_k$ を削減することで低

電力を実現する．

$Swit_k$ を削減する手法は数多く提案されている^{11)~15)}．もとの回路に新たにセルや配線などの冗長部分を付加することで回路全体のスイッチング回数を削減する手法^{11),14)}や、少ないスイッチング回数となるようにテクノロジマッピングする手法がある¹³⁾．しかし、これらはセルの出力部分のスイッチングを削減する手法でありセル内部のスイッチング回数を考慮していない．また、セルの入力信号パターンも考慮していない．

入力信号のパターンを考慮してセルをマッピングすることで電力を削減する手法は文献 16) にある．この手法もセル内部のスイッチングを削減することは考えていない．

提案する手法は入力信号のパターンを考慮してセル内部のスイッチングを削減する手法である．また、多数のパラメータを考える必要はなく、そのうえ特別なハードウェアコストはかからない．本手法は上記の低電力化の手法と組み合わせることが可能である．

3. 低電力算術演算回路の設計手法

3.1 従来の設計手法と問題点

算術演算回路設計を行う場合、設計者はある基本セルの集合を用いることになる．算術演算回路においては、全加算器、並列カウンタ、マルチプレクサ、シフタなどが基本セルとなる．基本セルを実現する回路は基本的に 1 種類しか用意されていない場合が多い．駆動力が異なる基本セルを複数用意することはあるが基本的な回路構造は同じである．単一の回路構造の基本セルでは算術演算回路に課せられる面積、遅延および消費電力などの厳しい制約を満足させることが難しいことがあると考えられる．

この問題を解決する 1 つの方法として、1 つの基本セルについて複数の回路構造の異なるセルを設計対象の特性を利用して用意しておく方法が考えられる．本論文では基本セルの IPP の集合の特徴が設計される回路ごとに異なることを利用し、IPP の集合の特徴を考慮して複数の回路構造の異なる基本セルを用意することで電力を削減する手法を提案する．算術演算回路のうち配列型並列乗算器を例にとりて具体的に説明する．乗算器はマイクロプロセッサをはじめ、画像処理などの様々な LSI に用いられる重要な回路の 1 つである．デジタル信号処理プロセッサ (DSP) や動画画像処理プロセッサでは主に並列乗算器が使用される．並列乗算器には FA が複数使用されており、FA の回路構成は乗算器の性能や電力に大きく影響する．並列乗

算器中の各 FA の IPP の集合中の各々の IPP が等確率で発生するとは限らず、一部の偏った IPP が頻繁に発生することがある (図 1 参照)．そこで各 FA の IPP の集合の特徴を積極的に利用することにより並列乗算器の電力を削減する手法を示す．

3.2 入力信号パターンを考慮した低電力算術演算回路の設計方法

配列型並列乗算器のように特定の論理関数 (1 ビットの全加算) を実現する基本セル (FA セル) を多数使用して設計を行う論理回路に対しては、各 FA セルの使用される状況を考慮してセルの回路構成を決定することが遅延や電力および面積の削減に有効であると思われる．既存のセルライブラリにある基本セルの回路構造の多くは IPP の集合の特徴を考慮して設計されていない．そこで、偏りのある IPP の集合が与えられる場合に低電力となるセルを用意し、(1) IPP の集合の特徴を考慮して複数の回路構造の違う基本セルの中から適切なセルを用いることと、(2) 論理だけではなく回路構造も同一のセルでも入力端子の接続のつなぎ替えによっては消費電力に違いがあることを利用して乗算器の電力を削減する．

3.2.1 複数の論理セルによる低電力化

1 つの機能に対して 1 つの回路構造のセルを用意するのではなく、1 つの機能に回路構造の異なる複数のセルを用意し乗算器を構成する方が電力を削減できる場合がある．本項では偏りのない IPP の集合の場合に低電力となるセルと、偏りのある IPP の集合の場合に低電力となるセルの一例を説明をする．本論文では IPP の集合の特徴を考慮して適切なセルを構成する手法を提案するのではなく、IPP の集合の特徴を利用して複数の同じ論理を実現するセルを使い分けることで電力を削減する手法を提案する．例として相対的に、偏りのない IPP の集合の場合に低電力となる FA と偏りのある IPP の集合の場合に低電力となる FA を用いる．

FA を表す標準積和形の論理関数を式 (2) と (3) に示す．被加数を A 、加数を B 、そして下位桁からの桁上げを C_{in} とする． S は和出力、 C_{out} は桁上げ出力である．

$$S = \bar{A}\bar{B}C_{in} + \bar{A}B\bar{C}_{in} + ABC_{in} + A\bar{B}\bar{C}_{in} \quad (2)$$

$$C_{out} = AB + BC_{in} + C_{in}A \quad (3)$$

偏りのない IPP の集合の場合に低電力なセルとして既存のセルライブラリに存在する FA (図 2 参照: FA for a set of uniform IPP, 以下 FA_u とする) を使用した．図 2 より FA_u は入力 A, B, C_{in} に対して対称性のある回路構造となっている．

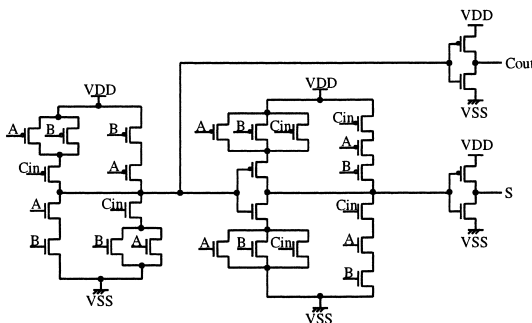


図2 FA_u の回路図 (比較的対称性の強い FA)

Fig. 2 Circuit diagram of FA_u (3 inputs are mostly symmetric).

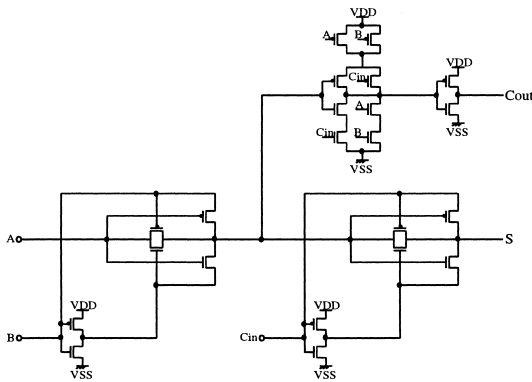


図3 FA_b の回路図 (対称性の低い FA)

Fig. 3 Circuit diagram of FA_b (3 inputs are not symmetric).

FA_u は式 (2) と (3) を次式 (4) と (5) のように変形し、この式 (4) と (5) を基にして図 2 の回路が構成されている。

$$C_{out} = A \cdot B + C_{in} \cdot (A + B) \quad (4)$$

$$S = A \cdot B \cdot C_{in} + (A + B + C_{in}) \cdot \bar{C}_{out} \quad (5)$$

一方、偏りのある IPP の集合の場合に FA_u よりも低電力なセルとしてパストラジスタを用いた FA (図 3 参照: FA for a set of biased IPP, 以下 FA_b とする) を用意した。図 3 から入力 A, B, C_{in} が非対称な構造をとっていることが分かる。式 (2) と (3) を次式 (6) と (7) のように変形し、式 (6) と (7) を基にして図 3 の FA_b の回路が構成されている。パストラジスタとは MOS トランジスタのソース、ドレイン間の信号の伝搬を許すトランジスタである。 FA_b はトランジスタ数最小の実用的な 2XOR を利用して構成されている。

$$S = A \oplus B \oplus C_{in} \quad (6)$$

$$C_{out} = A \cdot B + C_{in}(A \oplus B) \quad (7)$$

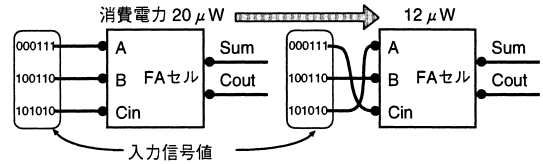


図 4 入力端子のつなぎ替えによる電力削減例

Fig. 4 An example of power reduction by exchanging input terminals.

3.2.2 入力端子のつなぎ替えによる電力削減

式 (2) と (3) より論理関数 S と C_{out} は、ともに対称関数であり、論理関数 S と C_{out} ともに変数 A, B, C_{in} を互換した結果がもとの関数に影響を与えない¹⁷⁾。したがって、 FA セルの入力端子 A, B, C_{in} に接続される 3 つの信号線は交換が可能である。接続によっては電力が異なる場合があることが考えられる (図 4)。信号線のつなぎ替えによってセル出力部分のスイッチング回数は変化しないが、セル内部のスイッチング回数が削減されることが影響し電力が削減されるのである。

4. 実験

4.1 並列乗算器

前章で提案した手法を実際に並列乗算器に適用することで有効性を示す。 n ビットの 2 つの符号なし絶対値表示の 2 進数 X, Y はそれぞれ

$$X = \sum_{i=0}^{n-1} x_i 2^i, \quad Y = \sum_{i=0}^{n-1} y_i 2^i, \quad (x_i, y_i \in \{0, 1\})$$

となり、 X, Y の積 $P (= XY)$ は

$$P = \sum_{i=0}^{2n-1} p_i 2^i, \quad (p_i \in \{0, 1\})$$

$$= XY = \sum_{i=0}^{n-1} \sum_{j=0}^{n-1} (x_i \cdot y_j) 2^{i+j} \quad (8)$$

と表すことができる。この部分積項 $x_i \cdot y_j$ を 2^{i+j} の重みを考慮して表 1 のようにマトリクス状に並べる。並列乗算器は通常我々が行う乗算と同じ仕組みで計算を行う。並列乗算器は以下の 3 つの部分で構成される。

- (1) 部分積を生成する部分積生成部
- (2) 部分積を削減する部分積削減部
- (3) 最終的に積を求める加算部

このうち部分積削減部は大きな面積と遅延時間が必要となることが多いため、本論文では部分積削減部に対して評価を行う。

部分積削減部の構成法としては、桁上げ保存加算器を用いた配列型や Wallace tree 型が知られている。前

表 1 3ビット乗算

Table 1 3-bit multiplication.

	x_2	x_1	x_0			
\times	y_2	y_1	y_0			
	x_2y_0	x_1y_0	x_0y_0			
	x_2y_1	x_1y_1	x_0y_1			
	x_2y_2	x_1y_2	x_0y_2			
	p_5	p_4	p_3	p_2	p_1	p_0

表 2 各 FA の消費電力の比較 (単位 μW)

Table 2 Comparison of power consumption of FA_u and FA_b (unit: μW).

FA の種類	偏りが無い場合	偏りがある場合 $A : B : C_{in} = 4 : 3 : 1$
FA_u	22.4	17.5
FA_b	29.6	15.8

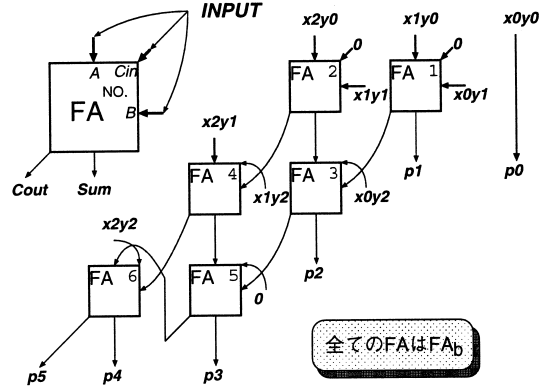


図 5 低電力 3ビット配列型並列乗算器の構成
Fig. 5 A low power 3-bit array type multiplier.

表 3 消費電力 (単位 μW)

Table 3 The power consumption (unit: μW).

乗算器の構成要素	つなぎ替え	
	考慮しない	考慮する
FA_u のみ	72.277	66.735
FA_b のみ	75.222	49.053

者は規則正しいレイアウトができるため面積が小さく、後者は加算の段数が少ないため比較的高速である。

並列乗算器中の各 FA におけるそれぞれの IPP の発生頻度が必ずしも同じではない。そこで、それぞれの FA の IPP の集合の特徴を考慮に入れ、電力が最も小さくなる最適な回路構成を選択する。ただし、遅延時間は考慮に入れていない。すべてのトランジスタサイズは一定とする。プロセステクノロジーには日立北海セミコンダクタの $0.5 \mu m$ を用いた。

4.2 1ビット全加算器の評価

表 2 に FA_u と FA_b の各セルについて偏りのない IPP の集合および偏りのある IPP の集合が与えられた場合の消費電力を示す。図 1 中の FA3 の入力信号パターンの集合を偏りがみられる場合の入力として使用した。FA の入力端子のスイッチング回数の比はおおよそ $A : B : C_{in} = 4 : 3 : 1$ である。消費電力は 1 サイクルの平均電力とし、単位は μW である。回路シミュレータ SPICE を用いて消費電力を測定した。出力負荷容量は $0.3 fF$ 、入力電圧のスイッチング時間は $10 nsec$ である。同様の条件下で以降の実験も行った。

実験結果より FA_u は FA_b と比較し偏りのない IPP の集合の場合に低電力であり、 FA_b は FA_u と比較して偏りのある IPP の集合の場合に低電力となることが分かる。

4.3 3ビット配列型並列乗算器による実験

この章では 3.2 節で提案した方法に基づいて低電力な 3ビット配列型並列乗算器を設計する。並列乗算器には全通りの IPP を与えることにする。各 FA セルと入力端子のつなぎ方すべての組合せに対して 1 パターン分の平均消費電力を回路シミュレータで計算した。全組合せの中で平均消費電力が最小となる各 FA セルとつなぎ方の組合せを決定する。提案手法を用い

て得られた消費電力が最小となる構成を図 5 に示す。また、回路シミュレータ SPICE による乗算器の消費電力の測定結果を表 3 に示す。通常構成法である FA_u のみでかつ入力端子のつなぎ替えを考慮しないときと比べて FA_b のみでかつ入力端子のつなぎ替えを考慮すると消費電力が 32.1%削減できた。ただし、電力が最小となる組合せを決定するのにかかるシミュレーション時間は約 271 時間であった。3ビット配列型並列乗算器を FA セルの入力信号パターンを考慮して低電力となる構成法を決めるのに 271 時間の時間がかかるので 3ビットより大きいビット数の乗算器の構成法の決定にはより時間を必要とし実用的ではない。そこで低電力となる構成法を決定する回路シミュレーション時間を削減する方法を示す。

4.4 回路シミュレーション時間削減方法

4.3 節の実験で低電力となる各 FA セルとつなぎ方の組合せを決定するのに多大な時間がかかった原因は 2 つ考えられる。第 1 に、各組合せに対して乗算器全体の消費電力を毎回回路シミュレータ SPICE で測定していたことがあげられる。毎回乗算器全体の消費電力を測ったのは図 1 において上方の FA の出力信号伝搬が下方の FA の入力信号到着時間に影響し、下方の FA においてハザードが生じる可能性があるからである。正確な消費電力を見積もるためにはハザードを考慮する必要があり乗算器全体で回路シミュレータ SPICE による消費電力の測定した。第 2 の原因は乗算器の全

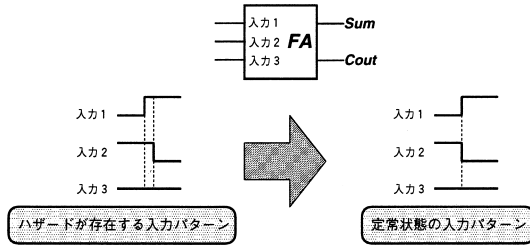


図6 近似回路シミュレーション

Fig. 6 The approximate circuit simulation.

通りの IPP を与えたためにシミュレーションの回数が多くなったことである．乗数と被乗数がそれぞれ n ビットの乗算器において全通りの IPP は 2^{4n} ペア存在する．シミュレーション時間を短縮する方法として以下の2つの方法をとった．

- (1) すべての FA に対する入力として定常状態にある2つの値を用いる．
- (2) 乗算器の入力に全通りの IPP ではなくランダムパターンの IPP を与える．

(1) は各 FA の入力 A, B, C_{in} の信号到着時間が同時刻とし各 FA のハザードを考慮しないことで各 FA ごとに回路シミュレーションを行うことができる方法である(図6参照)．本論文では(1)の方法を近似回路シミュレーションと呼ぶことにする．(2)は乗算器に与える IPP の数を削減するために入力にランダムパターンの IPP を用いる方法である．

近似回路シミュレーションを用いて求めた低電力3ビット配列型並列乗算器の構成を図7に示し、近似回路シミュレーションによる消費電力を表4に、得られた回路構成に対する回路シミュレーションによる消費電力を表5にそれぞれ示す．ただし、ここでは全通りの IPP を乗算器に与えてある．4.3節の構成法と比べるとどちらも用いる FA セルは FA_b のみであったが入力端子の接続が変化した．また、消費電力の点では4.3節の方法を用いた場合の $49.053 \mu\text{W}$ と比べて14.2%大きくなる．しかし通常の FA_u のみでかつつなぎ替えを考慮しない場合の $72.277 \mu\text{W}$ と比べて22.5%の消費電力削減ができた．近似回路シミュレーションを用いて低電力な3ビット配列型並列乗算器の構成を求めるのに要した時間は3.3秒であり、シミュレーション時間は4.3節の方法と比較して約30万倍短縮できた結果となった．

4.4.1 4ビット配列型並列乗算器

3ビット配列型並列乗算器とは異なる乗算器に対して提案手法を試す．ただし、回路シミュレーション時間削減手法の(1)、(2)の両方を用いた．図8に4

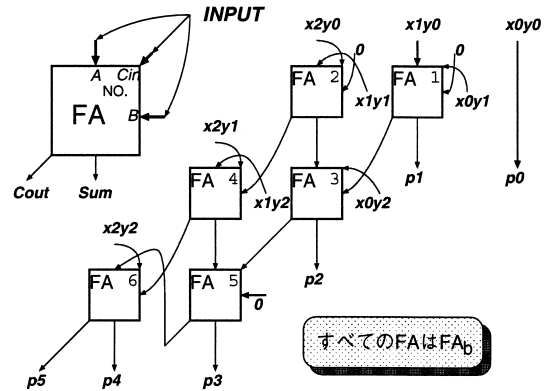


図7 低電力配列型並列乗算器の構成(近似回路シミュレーション)

Fig. 7 A low power 3-bit array type multiplier designed with the approximate circuit simulation.

表4 近似回路シミュレーションによる消費電力(単位 μW)Table 4 The power consumption by the approximate circuit simulation (unit: μW).

乗算器の構成要素	つなぎ替え	
	考慮しない	考慮する
FA_u のみ	83.046	78.550
FA_b のみ	85.449	72.036

表5 得られた回路構成に対する回路シミュレーションによる消費電力(単位 μW)Table 5 The power consumption by precise circuit simulation (unit: μW).

$SPICE$ による測定	56.031
---------------	--------

ビット配列型並列乗算器の構成を示す．図中の数値は乗算器に全通りの IPP を与えたときの各配線のスイッチング回数を表し、各々の FA の入力のスイッチング回数に偏りが存在することが分かる．近似回路シミュレーションを用いてかつランダムパターンの IPP の集合を用いた場合の低電力並列乗算器の構成を図9に示す．IPP の集合は1024通りのランダムパターンを与えた．近似回路シミュレーションによる消費電力の測定結果を表6に示す．従来手法と近似回路シミュレーションによって得られた回路構成に対する消費電力を表7に示す．低電力な乗算器の構成を決定するのにかかる近似回路シミュレーション時間は延べ45秒であった．すべての FA セルに FA_b を用いる場合が低電力となり通常の構成法と比較し31.1%の電力削減ができた．

4.4.2 4ビットWallace型並列乗算器

図10に4ビットWallace型並列乗算器の構成を示す．図中の数値は各配線のスイッチング回数を表し、各々の FA の入力のスイッチング回数に偏りが存在す

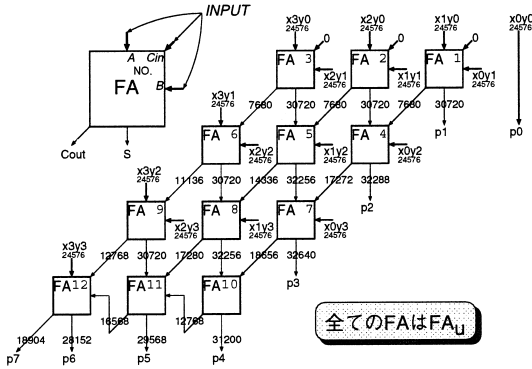


図8 4ビット配列型並列乗算器
Fig. 8 4-bit array type multiplier.

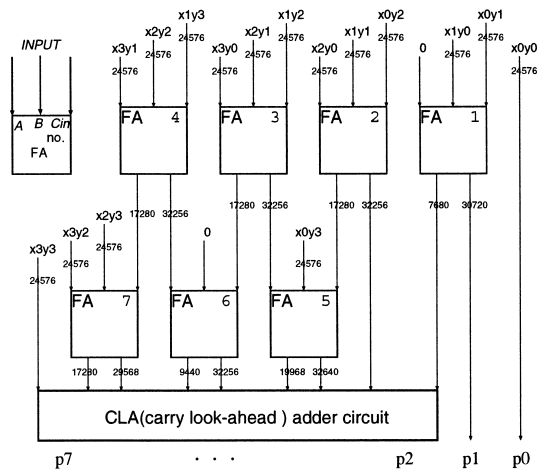


図10 Wallace型並列乗算器
Fig. 10 A Wallace tree type multiplier.

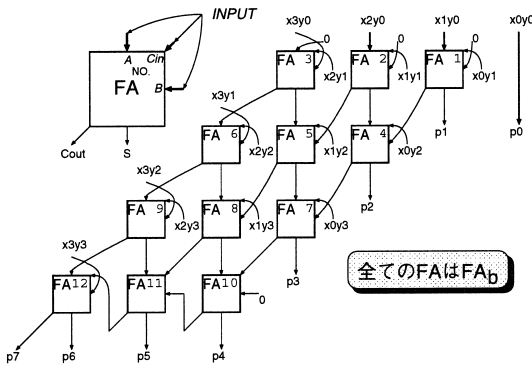


図9 低電力4ビット配列型並列乗算器の構成
Fig. 9 A low power 4-bit array type multiplier.

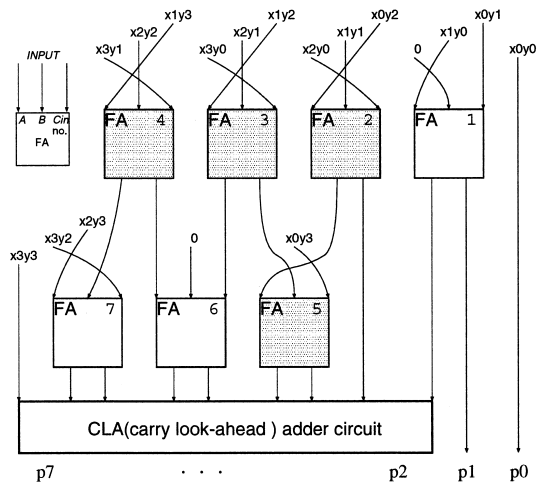


図11 低電力Wallace型並列乗算器の構成
Fig. 11 A low power Wallace tree type multiplier.

表6 近似回路シミュレーションによる消費電力(単位 μW)

Table 6 The power consumption by the approximate circuit simulation (unit: μW).

乗算器の構成要素	つなぎ替え	
	考慮しない	考慮する
FA_u のみ	177.87	165.21
FA_b のみ	185.82	145.31

表7 得られた回路構成に対する回路シミュレーションによる消費電力(単位 μW)

Table 7 The power consumption by precise circuit simulation (unit: μW).

通常の構成	130.50
提案手法による構成	91.250

るFAと存在しないFAがあることが分かる。(1)ハザードを考慮しない近似回路シミュレーションと,(2)乗算器の入力にランダムパターンのIPPの集合を用いて求めた低電力並列乗算器の構成を図11に示す。近似回路シミュレーションによる乗算器の消費電力を表8に示し、通常の構成法と近似回路シミュレーションによって得られた乗算器全体の消費電力を回路シ

ミュレータSPICEで測定した比較表が表9である。乗算器に与えたIPPの集合は1024通りのランダムパターンである。低電力な乗算器の構成を決定するのにかかる近似回路シミュレーション時間は29秒であった。FA_uセルとFA_bを混在させた場合が低電力となり通常の構成法と比較し6.97%の電力削減ができた。

4.5 考察

実験から得られた考察を以下に述べる。

- 3ビットと4ビットの配列型並列乗算器においてFA_bのみでかつ入力端子のつなぎ替えを考慮した場合はFA_uのみでかつつなぎ替えを考慮しな

表8 近似回路シミュレーションによる消費電力(単位 μW)
Table 8 The power consumption by the approximate circuit simulation (unit: μW).

乗算器の 構成要素	つなぎ替え	
	考慮しない	考慮する
FA_u のみ	108.80	105.91
FA_b のみ	110.82	101.26
$FACELL+$ $FAPASS$	—	98.951

表9 得られた回路構成に対する回路シミュレーションによる消費電力(単位 μW)

Table 9 The power consumption by precise circuit simulation (unit: μW).

通常の構成	95.220
提案手法による構成	88.586

い場合と比較し約3分の1の消費電力を削減できた

- Wallace型乗算器では2種類のFAセルを使い分けることにより消費電力を削減できる
- セルの偏りがある場合と偏りがない場合のIPPの集合において、同じ論理関数を実現する回路構造の異なるセルを使い分けることで算術演算回路の電力を削減できる
- ある程度回路シミュレーションの精度を落としても電力の削減が可能

5. おわりに

本論文では、入力信号パターンを考慮することで低電力な算術演算回路を設計する一手法を提案した。(1) 複数の内部構造の異なる同じ論理関数を実現するセルを用いる、(2) 入力端子をつなぎ替える、の2つの方法を用いることで電力を削減できた。実際に並列乗算器を用いて本手法の有効性を示した。あわせて低電力な構成の決定にかかるシミュレーション時間を削減する方法も示した。本論文で提案した近似回路シミュレーションを用いた低電力算術演算器設計の手法よりも電力削減が期待でき、設計期間が短縮できるようなシミュレーションモデルおよび設計手法を開発する必要がある。

今回は入力信号パターンを考慮して消費電力の削減のみを追求した。FAセル単体での遅延時間は FA_u の方が FA_b よりも小さく、通常の構成法と比べて本手法による乗算器の構成法は遅延が大きくなる可能性が大きい。遅延や面積の制約が厳しい回路を設計する場合には制約を考慮しながら適切なセルを選択することが重要となる。

今後はセルベースでの低電力算術演算器を設計する

ためのCADを文献18)などを参考にし本手法を組み合わせて開発したい。

参考文献

- 1) Devadas, S. and Malik, S.: A Survey of Optimization Techniques Targeting Low Power VLSI Circuits, *Proc. Design Automation Conf.*, pp.242-247 (1995).
- 2) 低消費電力高速LSI技術, リアライズ社(1998).
- 3) Pedram, M.: Power Minimization in IC Design - Principles and Applications, *ACM Trans. Design Automation of Electronic Systems*, pp.3-56 (1996).
- 4) 石原 亨, 安浦寛人: 配線における消費電力削減を目的としたセルライブラリの最適化手法, DAシンポジウム'99, pp.231-236 (1999).
- 5) 平田昭夫, 橋本鉄太郎, 小野寺秀俊, 田丸啓吉: 設計対象毎に生成したスタンダードセルライブラリによるLSI設計, 電子情報通信学会総大会講演論文集, p.120 (1999).
- 6) 榎本忠儀: CMOS集積回路, 培風館(1996).
- 7) 石原 亨, 安浦寛人: 可変電源電圧を用いた低消費電力化手法と基本定理, DAシンポジウム'98, pp.287-292 (1998).
- 8) Yeh, C., Kang, Y.-S., Shieh, S.-J. and Wang, J.-S.: Layout Techniques Supporting the Use of Dual Supply Voltages for Cell-Based Designs, *Proc. Design Automation Conf.*, pp.62-67 (1999).
- 9) Hashimoto, M., Onodera, H. and Tamaru, K.: A Practical Gate Resizing Technique Considering Glitch Reduction for Low Power Design, *Proc. Design Automation Conf.*, pp.446-451 (1999).
- 10) Jacobs, E. and Berkelaar, M.: Using Gate Sizing to Reduce Glitch Power, *Proc. ProRISC Workshop on Circuits systems and Signal Processing '96*, pp.183-188 (1996).
- 11) Wang, Q. and Vruthhula, S.B.K.: Multi-level Logic Optimization for Low Power using Local Logic Transformations, *Proc. ICCAD*, pp.270-277 (1996).
- 12) Zhou, H. and Wong, D.F.: An Exact Gate Decomposition Algorithm for Low-Power Technology Mapping, *Proc. ICCAD*, pp.575-580 (1997).
- 13) Rohlfleisch, B., Kölbl, A. and Wurth, B.: Reducing Power Dissipation after Technology Mapping by Structural Transformations, *Proc. Design Automation Conf.*, pp.789-794 (1996).
- 14) Wang, Q. and Vruthhula, S.B.K.: Data Driven Power Optimization of Sequential Circuits, *Proc. DATE*, pp.686-691 (1998).

- 15) Raghunathan, A., Dey, S. and Jha, N.K.: Register Transfer Level Power Optimization with Emphasis on Glitch Analysis and Reduction, *IEEE TRANS. COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS*, pp.1114–1131 (1999).
- 16) Carloni, L.P., McGeer, P.C. and Saldanha, A.: Trace Driven Logic Synthesis-Application to Power Minimization, *Proc. ICCAD*, pp.581–588 (1997).
- 17) 室賀三郎, 茨木俊秀, 北橋忠宏: しきい論理, 産業図書 (1976) .
- 18) Brand, H.-J.: Module Generators for Power Optimized Arithmetic Components Considering Area and Performance Constraints, *Proc. INTERNATIONAL WORKSHOP ON LOGIC AND ARCHITECTURE SYNTHESIS*, pp.178–183 (1996).

(平成 12 年 9 月 18 日受付)

(平成 13 年 2 月 1 日採録)



室山 真徳 (学生会員)

昭和 52 年生。平成 12 年九州大学工学部電気情報工学科卒業。同年同大学院システム情報科学府情報工学専攻修士課程進学。システム LSI の低電力化の研究に従事。



石原 亨 (正会員)

昭和 48 年生。平成 12 年九州大学大学院システム情報科学研究科博士課程 (情報工学専攻) 修了。同年 4 月より東京大学大規模集積システム設計教育研究センター助手。VLSI システムの低電力設計手法と CAD の研究および集積回路設計の研究に従事。平成 10 年本会九州支部奨励賞受賞。電子情報通信学会, IEEE 各会員。



兵頭 章彦

昭和 51 年生。平成 11 年九州大学工学部情報工学科卒業。同年同大学院システム情報科学府情報工学専攻修士課程進学。高性能計算機アーキテクチャの研究に従事。



安浦 寛人 (正会員)

昭和 51 年京都大学工学部情報工学科卒業。昭和 53 年同大学院工学研究科修士課程 (情報工学専攻) 修了。京都大学工学部助手, 同電子工学科助教授を経て, 平成 3 年より九州大学大学院総合理工学研究科情報システム学専攻教授。平成 12 年より九州大学大学院システム情報科学研究院情報工学部門教授。VLSI システムの設計手法と CAD の研究およびハードウェアアルゴリズムの研究に従事。平成 4 年本会論文賞, 平成 5 年本会坂井記念特別賞および Best Author 賞をそれぞれ受賞。情報処理学会理事。電子情報通信学会, IEEE, ACM 等会員。九州システム情報技術研究所非常勤研究室長を兼務。