

ディープサブミクロン LSI 設計における 仮想配線容量見積りの精度向上の一手法

小谷 健[†] 寺井 正幸[†] 高橋 一浩[†]
定兼 利行[†] 堀場 康孝[†] 岡崎 芳[†]

本論文では、ディープサブミクロン LSI のタイミング考慮設計のために、セル配置後に高精度に配線浮遊容量を見積もる手法を提案する。その方法は、注目する配線とシリコン基板との間の容量のみならず、LSI の微細化とともに影響が大きくなる同一配線層上の隣接配線との間のカップリング容量や異なる配線層上の配線間の容量を、配線混雑度評価値に基づいて見積もる。大規模 LSI を用いた実験結果から、提案した方法が精度が高いことを示す。さらに、本方法を用いて生成した特定のブロック対応の“wire load table”による配線容量の見積りが、論理合成ツールの最適化処理において信号伝送路タイミング制約の満足度と生成した回路規模の点で有効であるということを示す。

An Accurate Estimate of Parasitic Wire Capacitance for Deep Submicron LSI Design

KEN KOTANI,[†] MASAYUKI TERAI,[†] KAZUHIRO TAKAHASHI,[†]
TOSHIYUKI SADAKANE,[†] YASUTAKA HORIBA[†] and KAORU OKAZAKI[†]

This paper proposes a new accurate method of estimating wire capacitance after placement for deep submicron LSI design. Based on the wire congestion, the method estimates not only parallel plate and side-wall capacitance to a substrate but also coupling capacitance among intra-layer neighboring wires and inter-layer crossing wires. Experimental results using large scale SOGs are demonstrated that the proposed method is accurate. Furthermore, it is shown that estimation of wire capacitances using accurate block-specific wire load table produced by the proposed method is effective in timing optimization of logic synthesis in terms of satisfaction of timing constraints after layout and the resulting die size.

1. ま え が き

LSI 設計の微細化と大規模化にともない、信号伝播遅延に対する配線遅延の影響が増大している。論理ゲート、フリップフロップ等の機能を持つセルと呼ばれる回路構成要素を LSI チップ上に配置し、セル端子間の接続情報（ネットの集合）に従いセル間を配線するレイアウト方式の高性能システム LSI の設計において、論理設計とレイアウト設計の段階でタイミング制約を考慮することが不可欠となっている。このため、論理設計、フロアプランニング、配置設計、配線設計のそれぞれの工程でレイアウト情報から配線遅延を見積もってタイミング検証とタイミングの最適化を行い、各工程間での設計のやり直しをなくすことを狙いと

た手法が提案されている。配線遅延の見積りは、後の工程に行くほど、集中定数モデルから分布定数モデルへと詳細になる。たとえば、文献 1)、2) は、論理設計の段階で、初期論理合成と配置を実行して配線浮遊容量（以下、配線容量）を見積もり、論理の最適化を行う手法を提案している。また、文献 3)~5) は、セル配置後の配線容量を見積もり、これを基に信号パスの伝播遅延（以下、パス遅延）を最適化するための回路変更手法として、セルの駆動力調整とバッファ挿入を提案している。これらの手法において重要な技術は、文献 1) にあるように、(1) 配線遅延、すなわち配線容量の見積り精度、(2) 遅延最適化のための回路変更、(3) タイミング解析とタイミング制約の生成、(4) タイミング駆動配置配線があげられる。

本論文では、セル配置結果が与えられたとき、上記のようにタイミング考慮設計において重要な配線容量の高精度見積り手法について提案する。配線容量は、

[†] 三菱電機株式会社半導体事業本部
Semiconductor Group, Mitsubishi Electric Corporation

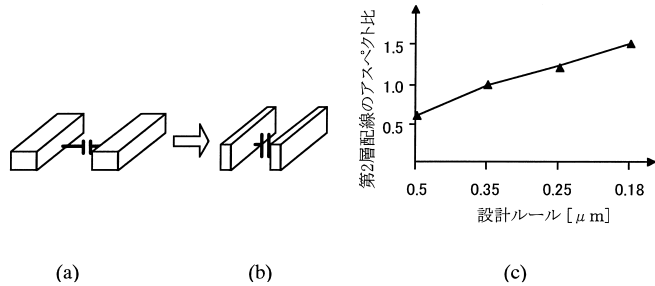


図1 プロセスの微細化による配線断面形状の変化とアスペクト比の変化

Fig. 1 Change of aspect ratio of metal wires by fabrication process shrink.

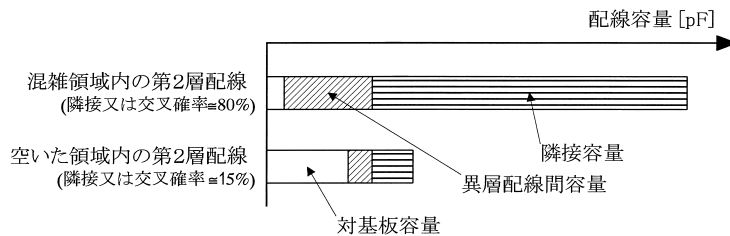


図2 0.25 μm CMOS プロセスの配線容量の解析

Fig. 2 An analysis of wire capacitance in 0.25 μm CMOS process.

注目する配線とシリコン基板との間の平行平板容量とフリンジ容量(対基板容量と呼ぶ),異なる配線層上の交叉/平行配線間の平行平板容量とフリンジ容量(異層配線間容量と呼ぶ)および同一配線層上の隣接配線との間のカップリング容量(隣接容量と呼ぶ)の総和である。

従来の LSI 製造プロセスにおいては,配線の断面は図 1 (a) のように幅に比べて厚さが小さく,配線間隔が大きい。このため,隣接容量の全配線容量への影響は小さく,また,異層配線間容量も交叉配線との重なり合う面積が小さいため,影響は小さい。したがって,対基板容量が全配線容量の大部分を占めている。これに対し,最近のディープサブミクロンプロセスにおいては,配線断面の膜厚の線幅に対する比率,すなわち,アスペクト比⁶⁾が図 1 (b), (c) のように大きくなる。これは,プロセスの微細化とともに配線の幅はシュリンクされるが,配線の厚さ方向には小さな縮小にとどまることによる。この結果,隣接容量の全配線容量に占める割合は高くなり,配線容量は隣接配線の有無あるいは隣接配線との距離に大きく影響を受ける⁶⁾。

図 2 は 0.25 μm CMOS プロセスにおける 2 本の同一線長の第 2 層配線を,それぞれ混雑領域内と空いた領域に置いた場合について,後述の HBAgen の手法で計算した配線容量の要素別の値の比を示している。図中の上側のネットは配線混雑領域内で配線され,隣接容量が大きいいためその配線容量値が大きくなり,下

側のネットは配線が空いた領域内で配線されているので,隣接容量は小さい。一般に,電位差のある導体を互いに近くに置くと,電場が強くなり浮遊容量が増大するので,空いた領域に置かれた配線に比べて,配線混雑領域に置かれた配線の浮遊容量は,隣接容量と異層配線間容量がともに増大する。特に,ディープサブミクロンプロセスにおいては全配線容量に対する隣接容量の占める割合がかなり高くなる。本論文の実験に用いるプロセスにおけるこれらの容量値の比較を 2 章の最後に具体的に示す。

従来は,配線容量の見積り(以下,仮想配線容量)はスタイナー木や最小スパンニング木によって見積もった配線長(以下,仮想配線長⁷⁾)と単位長あたりの容量値の積によって通常計算されていると考えられる。著者らの知る限りでは,配置結果から配線間の容量(すなわち,隣接容量や異層配線間容量)を見積もる試みはまだ提案されていない。以前に設計した LSI 回路の配線の隣接と交叉の確率を蓄積しておき,新たに設計する LSI 回路に対し,何らかの統計的な計算によりこの確率を求め,これと単位長あたりの配線間の容量値および仮想配線長の 3 つの積によって配線間の容量値を計算する方法は容易に思いつく。しかし,実際の LSI のレイアウトでは,レイアウトの領域ごとに配線混雑の度合いは異なり,そのような確率はチップ全面にわたって変動するので,上記の方法では精度があまり良くない。上述の従来手法のように,全ネットの仮

想配線容量計算に対して、1つの単位長あたりの容量値を用いるならば、配線混雑領域内のネットの計算値は実際の値より小さすぎるし、配線が空いている領域内のネットの計算値は悲観的に大きく見積り過ぎる傾向がある。

そこで、本論文では、隣接容量や異層配線間容量を考慮した新しい仮想配線容量の計算方法を提案する。提案する方法は、配線混雑の高い領域ほど、同一配線層上の配線の隣接の確率や相異なる配線層上の2つの配線の交叉/平行の確率は高くなるという事実に基づいている。その提案方法は、従来手法と異なり与えられた配置結果に対して、仮想配線長から対基板容量を見積もるのみならず配線混雑から隣接容量や異層配線間容量も見積もるので精度向上が期待できる。また、提案手法は、(1)上記の「容易に思いつく」手法をLSI回路全体ではなく、階層ブロック(部分回路)ごとに適用するようにし、かつ、(2)その中の「統計的に計算」する処理の一実現手法を提案したものであると考えてよい。

以下、2章ではLSIのレイアウトモデルについて述べる。次に、3章では配線混雑度と仮想配線容量の計算方法を提案する。4章では、実験結果を示し、5章で結論を述べる。

2. LSIのレイアウトモデル

本論文で取り扱うLSIはSOG(sea-of-gates)で、そのレイアウト構造を図3に示す。LSIは中心部分の内部領域と、内部領域を取り囲む周辺領域から構成される。周辺領域にはI/Oパッファセルが、内部領域には1対のp型およびn型トランジスタからなるベーシックセル(basic cell; 以下、BC)が並んでいる。BCを接続する配線パターンである標準セル(以下、セルと記述する)とRAM/ROMのようなメガセルがBC上に配置される。たとえば、2入力NANDのセルはgate isolation技術⁸⁾では3BCで構成できる。

本論文では、設計にフロアプランニングを行う大規模LSI設計を対象としているので、全体のLSI回路はブロックと呼ぶいくつかの部分回路に分割されており、セル配置処理では、各ブロックに属するセルはフロアプランニングで決める矩形の配置領域内にほぼ収まるように配置されているものと仮定する。

セルの端子間の配線要求をネットと呼ぶ。ネットの配線には3層以上の多層金属配線を用いる。各配線層にはあらかじめ垂直(Vと表示)もしくは水平方向(Hと表示)の優先使用方向が決められている。本論文では、最も一般的な、“HVHV”(第1層がH、第2

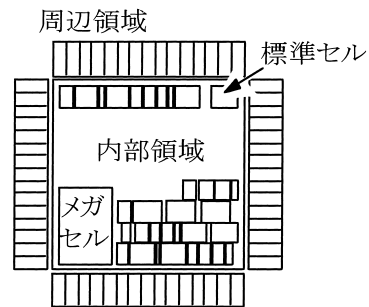


図3 LSIレイアウト
Fig. 3 LSI layout model.

層がV、第3層がH、第4層がV)の層使用方式を採用する。内部領域には垂直および水平方向の配線トラックが定義され、配線は主に優先使用方向の配線トラックの上に置かれる。

配置配線後の実際の配線容量(以下、実配線容量)抽出方式としては、著者らが開発したHBAGENと呼ぶ手法を用いる。これは、文献(6)の分類に従えば、実験的モデルに基づく手法の1種で、さまざまな基本配線パターンの配線容量値をデバイスシミュレーションであらかじめ求めておき、配線容量の抽出の際には、対象となるレイアウトパターンに近い基本配線パターンをあてはめて配線容量を計算する手法である。

以下では、HBAGENの配線容量抽出手法を図4の配線パターン例を用いて説明する。図4(a)で、 w_1 と w_2 は第3層配線、 w_3 は第2層配線であり、 w_1 が容量抽出対象の配線である。HBAGENは、最初に対象となる配線を中心線方向に図4(a)、(b)のように半分に分割し、次に、隣接配線の端点と交叉配線の両辺に合わせて図4(a)、(b)のように分割する。このように分割してできた各要素である図4(a)のa, b, c, ..., gを配線要素と呼ぶ。これ以後、各配線要素がそれぞれ基板や他の配線の影響を受けると仮定して、それぞれ独立に容量を計算する。各配線要素を隣接配線との距離や交叉配線の有無等の条件で分類する。3層配線プロセスでの第3層配線に対する、この分類の仕方とそれぞれの場合の容量係数を図5に示す。次に、各配線要素について図5の容量係수에当該要素の配線長や交叉面積を乗じたものの和をその配線要素の容量とする。図5の容量係数の値は3次元デバイスシミュレーションを行った結果から決定する。図4(c)と(d)は配線要素a, b, c, dの容量を図5の容量係数を用いて計算する方法を説明している。対象配線の配線容量は、各配線要素の容量値を合計して計算する。

次に、後の実験で用いる $0.35\mu\text{m}$ プロセスにおける隣接配線や交叉配線による配線容量の増大について、

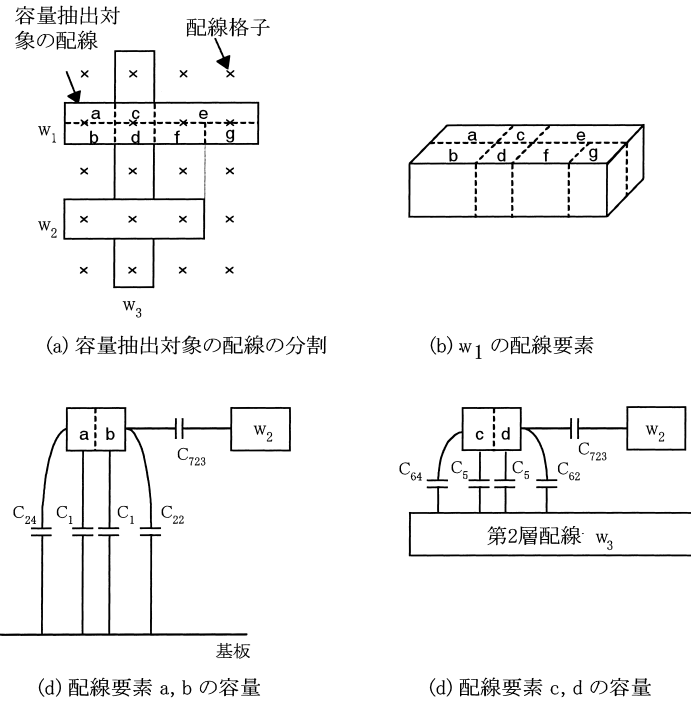


図 4 HBAgen の配線容量計算方法
Fig. 4 Method to calculate wire capacitance employed by HBAgen.

- (1) 第3層配線と基板間平行平板容量 : C_1 (fF/ μm^2)
- (2) 第3層配線と基板間フリンジ容量 : C_{2i} (fF/ μm)

第3層隣接配線間隔	1格子	2格子	3格子	>3格子
C_{2i}	C_{21}	C_{22}	C_{23}	C_{24}

- (3) 第3層配線と第1層配線間平行平板容量 : C_3 (fF/ μm^2)
- (4) 第3層配線と第1層配線間フリンジ容量 : C_{4i} (fF/ μm)

第3層隣接配線間隔	1格子	2格子	3格子	>3格子
C_{4i}	C_{41}	C_{42}	C_{43}	C_{44}

- (5) 第3層配線と第2層配線間平行平板容量 : C_5 (fF/ μm^2)
- (6) 第3層配線と第2層配線間フリンジ容量 : C_{6i} (fF/ μm)

第3層隣接配線間隔	1格子	2格子	3格子	>3格子
C_{6i}	C_{61}	C_{62}	C_{63}	C_{64}

- (7) 第3層配線の隣接容量 : C_{7ij} (fF/ μm)

隣接配線間隔	交叉配線	第2層交叉配線有	第2層交叉配線無、第1層、第2層第1層交叉配線有	第1層、第2層交叉配線共に無
	1格子	C_{711}	C_{712}	C_{713}
2格子		C_{721}	C_{722}	C_{723}
3格子		C_{731}	C_{732}	C_{733}

図 5 第3層配線に対する容量係数の例

Fig. 5 An example of unit capacitances of metal-3 wires used in HBAgen.

図5の容量係数と図6の例を用いて説明する。図6のように、隣接配線と交叉配線がともない場合、隣接配線だけがある場合、隣接配線と交叉配線がともある場合の第3層配線の単位長あたりの配線容量をそれぞれ CP_a , CP_b , CP_c とすると、これらの比は以下のようなになる。

$$CP_a : CP_b : CP_c = 1 : 2.9 : 3.5$$

この比率から、隣接配線や交叉配線があると配線容量がかなり増大すること、および、全配線容量に対する隣接容量の占める割合がかなり高いことが分かる。

本論文では、セル配置結果が与えられたとき、各ネットに対し配線後の実配線容量値がどのようなになるかを見積もる方法について考察する。

3. 配線混雑度を考慮した仮想配線容量見積り方法

3.1 配線混雑度の見積り

与えられた配置結果に対して、配線混雑度を見積もるために LSI の内部領域を垂直・水平方向の分割線で荒く分割する。その結果できた長方形の柵目を G セル⁹⁾と呼ぶ。各 G セルには 1, 2, ..., n と番号を振る。各 G セル r ($1 \leq r \leq n$) に対して配線混雑度 $C(r)$ を次のように定義する。

$$C(r) = (D(r) + B(r))/T(r) \tag{1}$$

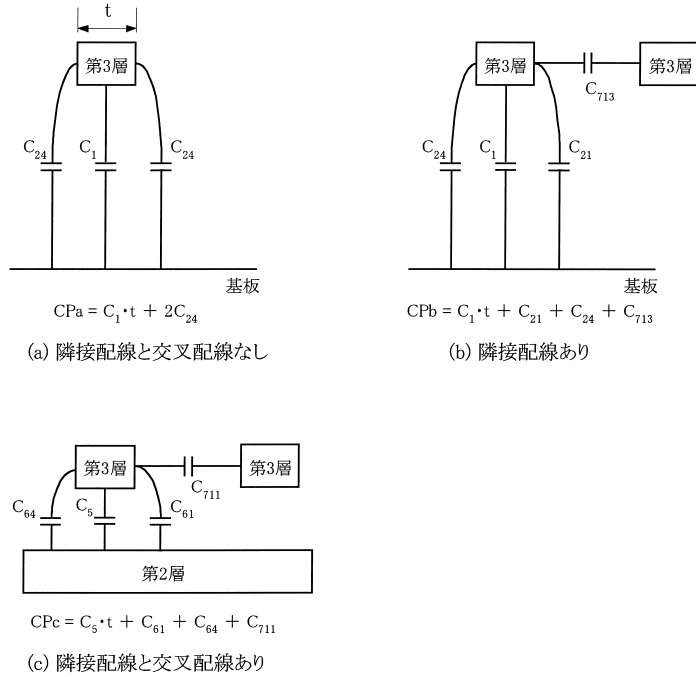


図 6 第 3 層配線の単位長あたりの配線容量 CPa, CPb, CPc の比較

Fig. 6 A comparison of capacitances CPa, CPb, CPc of metal-3 wires of 1 μm.

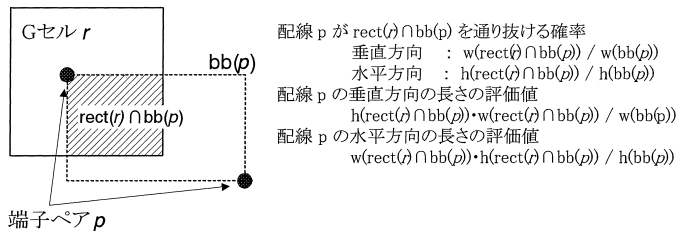


図 7 $D(r, p)$ の計算

Fig. 7 Calculation of $D(r, p)$.

ここで、 $T(r)$ は G セル r 内のトラック長の全配線層に対する総和である。 $B(r)$ は G セル r 内の、セル内配線や電源グランド配線のようなネット配線にとっての障害物により占有されたトラック長である。 $D(r)$ は、G セル r を通過すると予測したセル間配線により占有される r 内部のトラック長の総和である。その定義は式 (2) 以降で定義する。

我々は、ネットの仮想配線長を求めるために、最小スパンニング木を用いる。まず、各ネットに対して、最小スパンニング木を作り、ネットの端子の集合を、最小スパンニング木の枝に対応する端子ペアの集合に分割する。次に、問題のネットの端子ペア p の G セル r 内での仮想配線長 $D(r, p)$ を次式のように定義する。

$$\begin{aligned}
 D(r, p) &= h(rect(r) \cap bb(p)) \\
 &\quad \cdot w(rect(r) \cap bb(p)) / w(bb(p)) \\
 &\quad + w(rect(r) \cap bb(p)) \\
 &\quad \cdot h(rect(r) \cap bb(p)) / h(bb(p)) \quad (2)
 \end{aligned}$$

ここで、 $h(\cdot)$ と $w(\cdot)$ は、それぞれ矩形の高さと横幅を表す。 $rect(r)$ は G セル r の境界で構成される矩形を表す。 $bb(p)$ は p の 2 端子を囲む最小矩形を表し、 $rect(r) \cap bb(p)$ は幾何図形の “and” 演算、すなわち、2 つのオーバーラップした長方形 $rect(r)$ と $bb(p)$ の共通領域を求める操作である。式 (2) の説明を図 7 に示す。図 7 の垂直方向に $rect(r) \cap bb(p)$ を通り抜ける確率は、配線経路が必ず $bb(p)$ の内部に存在する仮定の下で、単純に $bb(p)$ と $rect(r) \cap bb(p)$ の横幅の比に依存するという考え方で計算する。この考え方は必ず

表 1 実験データの仕様

Table 1 Specifications of the circuits used in the experiments.

	回路1	回路2	回路3	回路4	回路5
LSI 製造プロセス	0.35umCMOS	0.35umCMOS	0.35umCMOS	0.35umCMOS	0.35umCMOS
配線層数	4	3	4	4	3
最高クロック周波数 [MHz]	150	100	167	167	120
クロックスキュー [ns]	0.13	0.3	0.1	0.1	0.3
ブロック数	23	8	4	14	9
ゲート数 [gates]	88k	296k	339k	372k	67k
セル数	28,380	130,317	88,058	99,021	21,985
ネット数	33,748	150,496	124,581	132,534	26,657

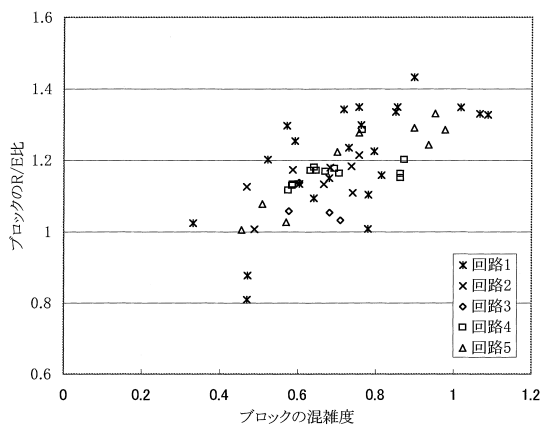


図 8 表 1 の回路 1~5 のブロックの配線混雑度と R/E 比の関係
 Fig. 8 The relation between congestion rates and R/E ratios of blocks in Circuits 1 to 5.

しも正確ではないが、通過確率は領域 $\text{rect}(r) \cap \text{bb}(p)$ の大きさに比例して大きくなるという点で、1つの見積もりとして有効である。この考え方は、既発表の文献 [10], [11] で解析に用いられており、この分野では広く受け入れられている。次に、我々は、配線需要量 $D(r)$ を、 $D(r, p)$ のすべての端子ペアに関する総和として計算する。すなわち、 $D(r) = \sum D(r, p)$ となる。

3.2 配線混雑度を考慮した仮想配線容量見積り方法

配線混雑度が大きい領域では、同層配線間の隣接率、異層配線間の交叉率が高くなると考えられる。ここで隣接率（と交叉率）とは、それぞれ、2章で述べたように、配線を分割してできた配線要素を隣接配線と交叉配線の有無で分類したときの、配線要素の長さの総

和に対する隣接配線（交叉配線）ありの配線要素の長さの総和の比と定義する。そのような領域を通過する配線の配線容量は、隣接容量と異層配線間容量が大きくなる。このため、配線混雑度が大きい領域を通過するネットについては、まえがきで述べた従来手法で算出した仮想配線容量値に対する実配線容量値の比が大きくなると考えられる。

以後、ネットの実配線容量値の仮想配線容量値に対する比率を R/E 比と呼び、LSI 回路のあるブロックに対して、そのブロック内のセル端子につながる全ネットの R/E 比の平均値をそのブロックの R/E 比と呼ぶ。また、あるブロック内の全 G セルの混雑度 C の平均値を、そのブロックの混雑度と呼ぶ。図 8 は表 1 の 5 つの LSI 回路の全ブロックの R/E 比と混雑度の関係を示す。ここで、前節で述べた配線混雑度を見積もる方法と同様に、端子ペアごとに見つけた概略配線経路に基づきネットの擬似スタイナー木を作成し仮想配線長を計算した。この図は、ブロックの配線混雑度が高くなるにつれて、 R/E 比も高くなるという傾向を示している。

この関係に従って、仮想配線長から算出した従来手法による仮想配線容量の精度を改善するため、仮想配線長と配線混雑度から見積もった隣接容量と異層配線間容量による配線容量の増加を補正する方法を以下で提案する。ブロック g の配線混雑度を $C_{\text{avg}}(g)$ とし、図 9 に示すように、ネット N のブロック g 内のサブネット N_g の仮想配線長から算出した従来手法による仮想配線容量値を $C(N_g)$ とする。このとき、配線混雑度から見積もった配線間容量を考慮した高精度な配

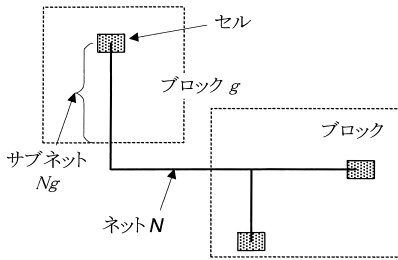


図9 ブロック g 内部のネット N のサブネット N_g
Fig.9 Subnet N_g of net N within the block g .

線容量値 $C'(N_g)$ は、次式で定義される。

$$C'(N_g) = F(\text{Cavg}(g)) \cdot C(N_g) \quad (3)$$

本論文では、補正関数 F として以下の1次関数を選択した。

$$F(x) = a \cdot x + b \quad (a \text{ と } b \text{ は定数}) \quad (4)$$

式(4)の関数 F を採用する妥当性は、図8に示すように5回路で実験して得られた自然な結論、すなわち、配線混雑度が高くなるにつれて R/E 比も高くなるという関係を1次式で近似したことである。1次式で十分であるという理論的根拠はないが、この1次式による容量補正の結果、予測精度は従来法より向上することを4章の実験結果により示す。

次に、配線混雑度を G セルごとに計算しておきながら、ブロック内で平均化して容量補正に用いる理由を以下に示す。

上述のように配線混雑度と R/E 比の関係が単調増加の傾向があることが分かっているが、正確な関係はまだ解析できていない。このため、高精度な容量補正は困難であり、 G セルごとの配線混雑度を用いた容量補正ではなく、 G セルの配線混雑度をブロック内で平均化したブロックごとの配線混雑度を用いた容量補正を採用した。

4. 実験結果

本章では、まず本論文で提案した配線混雑を考慮して仮想配線容量を計算する方法を評価する。次に、まえがきで述べた本方法のタイミング最適化設計への適用の一例として、論理合成のWLT(wire load table)作成への本方法の適用結果を示す。

図10~14は、それぞれ表1の回路1~5に対する、提案した方法と従来法により計算した R/E 比の値ごとのネット数の分布を示している。式(4)の補正関数における定数を $a = 0.48$, $b = 0.73$ と設定した。これらの値は、表1の5回路に対する図8のような関係に対して最小2乗法によって計算したもので、本論文の $0.35 \mu\text{m}$ CMOS プロセスに対して有効である。

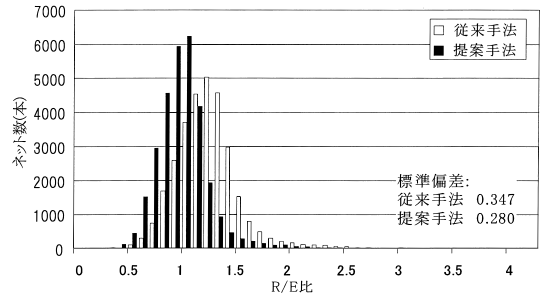


図10 回路1の R/E 比の値に対するネット数の分布
Fig.10 The distribution of nets in terms of R/E ratio in case of Circuit 1.

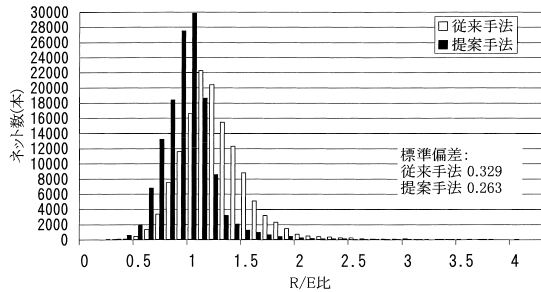


図11 回路2の R/E 比の値に対するネット数の分布
Fig.11 The distribution of nets in terms of R/E ratio in case of Circuit 2.

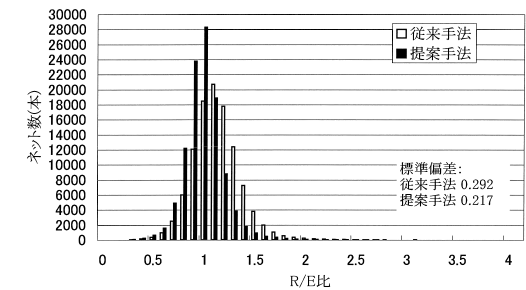


図12 回路3の R/E 比の値に対するネット数の分布
Fig.12 The distribution of nets in terms of R/E ratio in case of Circuit 3.

これらの a と b の値は製造プロセスごとに、実験により計算し直す必要がある。従来手法の単位長あたりの容量値としては、全ネットに対して同層配線間の隣接率と第1層、第2層、第3層、第4層の配線の使用割合は一定値であるとする仮定の下で、計算した値を用いた。また、配線混雑度を計算する際の G セルの横幅は25で、高さは20(単位は配線格子間隔)とした。隣接率と配線層の使用割合は、実際に近い数値で、かつ、回路によらず固定の数値を用いるのが従来手法である。そこで、実際の隣接率の平均値は50%以

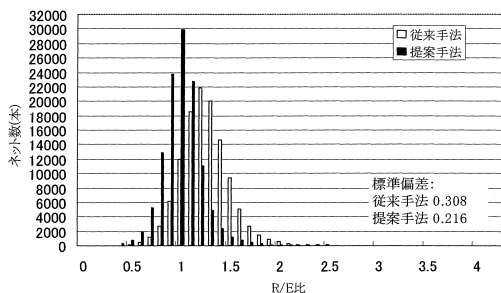


図 13 回路 4 の R/E 比の値に対するネット数の分布

Fig. 13 The distribution of nets in terms of R/E ratio in case of Circuit 4.

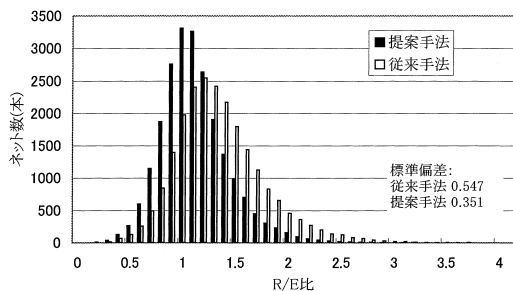


図 14 回路 5 の R/E 比の値に対するネット数の分布

Fig. 14 The distribution of nets in terms of R/E ratio in case of Circuit 5.

下であることから、実験には平均値に近い 30% という値を用いた。また、配線層の使用割合については、水平方向（第 1 層と第 3 層）が 50%，垂直方向（第 2 層と第 4 層）も 50% と近似でき、一般にセル内配線と電源グランド配線のためにセル間配線での第 1 層と第 2 層の使用割合は低くなるので、第 1 層、第 2 層、第 3 層、第 4 層の使用割合をそれぞれ 10%，20%，40%，30%，とした。

図 10～14 から以下のことが分かる。従来手法の場合に R/E 比 1.1～1.2 にピークがあるということから、配線結果には隣接率と交叉率が 30% 以上の配線が多くあると考えられる。一方、提案した方法では 1.0 にピークがある。また、図 10～14 に示した標準偏差の値から分かるように、従来手法は、提案手法に比べて、ネットの R/E 比が広い範囲の値にわたって分散している。以上のことから、提案手法は精度良く仮想配線容量を見積もっていることが示された。その高精度の理由は、配線が通るブロックの配線混雑度に基づいて配線間容量を評価しているからと考えられる。

さらに、提案した方法の有効性を検証するために、我々は図 15 に示された 3 つの設計フローを回路 2 の最も混雑したブロックに適用した。その結果を表 2 に

示す。

図 15 (b) の設計フロー 3 は 5 つの処理、(1) 仮論理合成、(2) フロアプランニングと配置、(3) 特定ブロック対応の WLT 作成、(4) 論理合成、(5) 配置配線からなる。まず、仮論理合成がネットリストを生成する。次に、フロアプランニングが各ブロックに対しチップ上での位置と形状（配置領域の縦横比）を決め、ブロック対応の WLT を作成する。ブロック対応の WLT を使う論理合成が最終的なネットリストを生成する。そのネットリストとフロアプランに基づいて、配置配線を行う。フロアプランニングでは、各ブロックの領域枠を決める際に、(a) 相異なるブロック間に跨るバスのタイミング制約、(b) ブロック間の接続度、(c) ネットの配線可能性を考慮する。WLT の作成では、配置結果から全ネットの仮想配線長と仮想配線容量を算出し、各ファンアウトごとのそれら分布を求める。次に、図 16 に示すように、各ファンアウトごとにネットの 80% をカバーする容量値を求め、WLT の値とする。

実験には、論理合成ツールとしては、業界で広く使われている Synopsys 社製 Design Compiler version 1998.02 (以下、DC と記述する)¹²⁾を用い、フロアプランニングと配置配線には、著者らが開発した HGALOP^{13)～17)}を用いた。DC は 3 つの最適化処理、アーキテクチャの最適化、論理レベルの最適化、ゲートレベル（テクノロジマッピング）の最適化を実行する。DC のゲートレベルの最適化は、WLT のファンアウトベースの配線容量値を使って配線遅延を見積り、タイミングの目標値を満足するようにセルを選択して回路を生成する。WLT に書かれている値が大きくなるにつれて、DC は配線遅延が大きいと評価し、より大きな駆動力のセルを使った回路を生成する。こうしてレイアウトの面積は大きくなる。一方、WLT の値が小さすぎると、DC が生成する回路中のセルの駆動力は小さくなるので、配置配線後にタイミング違反が発生しやすくなる。DC の遅延計算モデルは、Elmore delay¹⁸⁾に基づいている。表 2 の配置配線後のバス遅延値は、HBAGEN により配線容量値と配線抵抗値を計算し、O'Brien と Avario の手法¹⁹⁾によって、遅延計算した値である。

図 15 (a) の設計フロー 1 では、仮論理合成、フロアプランニングと配置は実行しないで、DC は、回路規模ごとに統計的に配線容量値を求めてあらかじめライブラリとして用意されている WLT を使って実行される。この WLT は、通常、タイミング違反を発生しないように、悲観的な見積り値となっている。図 15 (b) の設計フロー 2 では、各ブロックに対して、従来手法

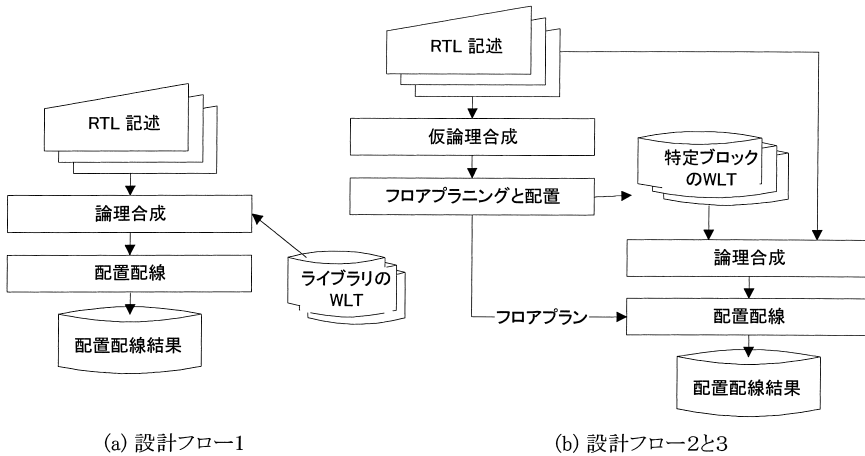


図 15 実験の設計フロー

Fig. 15 Design flows employed in the experiments.

表 2 表 1 の回路 2 のブロックに対する実験結果
Table 2 Experimental results for a block of Circuit 2.

		フロー1	フロー2	フロー3
RTL 行数		28k (w/comments)		
仮論理合成	BC 数	185k		
	CPU 時間 [s]	20,793		
論理合成	BC 数	219,225	198,460	204,129
	負のスラックの合計 [ns]	-288.93	-24.49	-22.86
	CPU 時間 [s]	34,237	28,059	30,137
配置配線	負のスラックの合計 [ns]	0	-15.91	0
	タイミング違反数	0	35	0
	最大パス遅延 [ns]	9.5	10.6	9.8

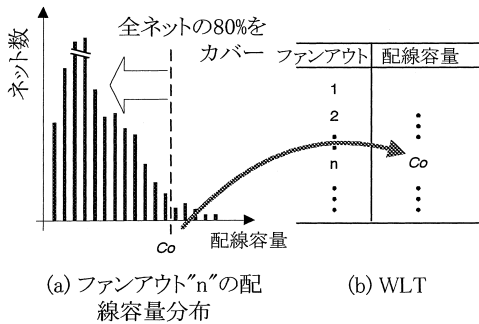


図 16 ネットの 80% をカバーする容量値を WLT で採用
Fig. 16 Wire capacitance C0 in WLT covering 80% of nets.

で計算した仮想配線容量値を基に WLT を作成する。実験に用いたブロックは配線混雑が発生しているので、隣接容量や異層配線間容量を正確に考慮していないフロー 2 の WLT は実際の配線容量値よりも小さい楽観的な値となっている。

表 2 から、以下のことが分かる。

【フロー 1 と 3 の比較】フロー 3 の論理合成後の回路規模である BC 数は、フロー 1 よりも約 7% 小さくなった。配置配線後のタイミング違反はともに発生しなかった。

【フロー 2 と 3 の比較】フロー 2 の論理合成後の BC 数は、フロー 3 よりも約 3% 小さくなった。しかし、配置配線後に 35 パスのタイミング違反が発生した。

この理由は上記で述べたように、フロー 1 の WLT は悲観的な見積り値となっており、フロー 2 の WLT は問題のブロックに対して使用した 30% という値の隣接率と交叉率が小さすぎ、WLT が楽観的な値となっているからである。本章のはじめで述べたように、ここでの従来手法は隣接率を回路によらず一定値として単位長あたりの配線容量を計算するので、回路 2 に対しては 30% という数値は小さすぎたが、30% では大きすぎる回路も存在することは明らかである。ゆえに、従来手法での隣接率が回路によらず一定ということに

無理のあることが分かる。本実験から、本論文で提案した方法を含むフロー 3 は論理合成とその後の配置配線を、回路規模とタイミング制約の満足度の点で、うまく実行できることが示された。

5. む す び

本論文では、ディープサブミクロン設計のために、セル配置後に高精度に配線浮遊容量を見積もる手法を提案した。提案した手法は、セル配置後の配線混雑度の見積り値を用いて、隣接容量や異層配線間容量を考慮するので、従来手法より精度良く配線容量を見積もることができる。実験結果から、本方法は、従来の手法よりも高精度に配線容量を見積もることができ、この見積り結果を用いて論理合成を行うことによりタイミングと回路規模の点で最適化されることを示した。

なお、LSI 回路データの蓄積による式 (4) の一次式の定数の値 $a = 0.48$, $b = 0.73$ の普遍性の検証、さらに補正関数自体の高精度化とそれに基づく G セルごとの配線混雑度を用いた容量補正、配線長予測精度の高度化、配線層使用予測の高精度化、等が今後に残された課題である。

参 考 文 献

- 1) Murakata, M., Murofushi, M., Igarashi, M., Aoki, T., Ishioka, T., Mitsuhashi, T. and Goto, N.: Concurrent Logic and Layout Design System for High Performance LSIs, *Proc. 1995 CICC*, pp.465-468 (1995).
- 2) 小谷 健, 高橋一浩, 定兼利行, 寺井正幸, 井上善雄, 岡崎 芳, 原田輝昭: 高精度配線容量見積りに基づくフロアプランドリブ論理合成設計フロー, 情報処理学会 DA シンポジウム'99, pp.237-242 (1999).
- 3) 石岡 尚: セル配置後のバス遅延最適化のための回路変更処理手法, 情報処理学会 DA シンポジウム'94, pp.177-182 (1994).
- 4) 多和田茂芳, 岡本 匠, 油井信康, 石森彰雄, 田形 充: ディープサブミクロン高速 LSI 設計のためのタイミングドリブレイアウト機能の開発と適用事例, 情報処理学会 DA シンポジウム'96, pp.257-262 (1996).
- 5) Mitsuhashi, T., Aoki, T., Murakata, M. and Yoshida, K.: Physical Design CAD in Deep Sub-micron Era, *Proc. Euro-DAC 96*, pp.350-355 (1996).
- 6) 小林 進, 枝廣正人: ディープサブミクロン LSI 設計のための高速配線容量抽出手法, 情報処理学会論文誌, Vol.41, No.4, pp.863-870 (2000).
- 7) 野田美弥子, 村田尚志, 石塚昭夫: ゲートアレイ/CBIC レイアウトシステム GALET (2) — フロアプラン機能, 第 49 回情報処理学会全国大会論文集, 6-117 (1994).
- 8) Ohkura, I., Noguchi, T., Sakashita, K., Ishida, H., Ichiyama, T. and Enomoto, T.: Gate Isolation - A Novel Basic Cell Configuration for CMOS Gate Arrays, *Proc. 1982 CICC*, pp.307-310 (1982).
- 9) 寺井正幸, 佐藤興二, 松崎日出夫, 高橋一浩: 3 層配線ゲートアレイ用グローバル配線の新手法, 電子情報通信学会論文誌, Vol.J78-A, No.10, pp.1372-1384 (1995).
- 10) Cheng, C.-L.E.: RISA: Accurate and efficient placement routability modeling, *Proc. ICCAD*, pp.690-695 (1994).
- 11) Sadakane, T., Shiota, H., Takahashi, K., Terai, M. and Okazaki, K.: A Congestion - Driven Placement Improvement Algorithm for Large Scale Sea-of-gates Arrays, *Proc. 1991 CICC*, pp.573-576 (1991).
- 12) Synopsys Design Compiler Reference Manual, version1998.02 (1998).
- 13) Terai, M., Takahashi, K. and Sato, K.: A New Algorithm for Timing Assurance Layout Design Meeting Net Length Constraint, *Proc. 27th ACM/IEEE Design Automation Conference*, pp.96-102 (1990).
- 14) Takahashi, K., Nakajima, K., Terai, M. and Sato, K.: Min-Cut Placement with Global Objective Functions for Large Scale Sea-of-Gates Arrays, *IEEE Trans. CAD of ICAS*, Vol.14, No.4, pp.434-446 (1995).
- 15) 寺井正幸, 八原俊彦: タイミング駆動型ミニカット配置アルゴリズム, 電子情報通信学会論文誌, Vol.J75-A, No.6, pp.1054-1063 (1992).
- 16) Terai, M., Takahashi, K., Shiota, H. and Sato, K.: A New Efficient Routing Method for Channel-less Sea-of-Gates Arrays, *Proc. 1994 CICC*, pp.651-654 (1994).
- 17) 寺井正幸, 城田博史, 柴谷 聡, 佐藤興二: 3 層チャンネルレス・ゲートアレイのための高速配線手法, Vol.38, No.3, pp.657-668 (1997).
- 18) Elmore, W.C.: The Transient Responce of Damped Linear Networks with Particular Regard to Wideband Amplifiers, *J. Applied Physics*, Vol.19, No.1, pp.55-63 (1948).
- 19) O'Brien, P.R. and Avarino, T.L.: Modeling the Driving-Point Characteristic of Resistive Interconnect for Accurate Delay Estimation, *Proc. ICCAD89*, pp.512-515 (1989).

(平成 12 年 9 月 19 日受付)

(平成 13 年 2 月 1 日採録)



小谷 健(正会員)

平成元年大阪大学基礎工学部情報工学科卒業。平成3年同大学大学院修士課程修了。同年三菱電機(株)入社。以来、LSIの自動レイアウト技術の研究開発に従事。現在、同社

半導体事業本部システムLSI事業統括部勤務。



定兼 利行(正会員)

平成2年京都大学理学部数工学科卒業。同年三菱電機(株)入社。以来、LSIの自動レイアウト技術の研究開発に従事。現在、同社半導体事業本部システムLSI事業統括部勤務。



寺井 正幸(正会員)

昭和51年大阪大学工学部電子工学科卒業。昭和53年同大学大学院修士課程修了。同年三菱電機(株)入社。以来、LSIの自動レイアウト技術の研究開発に従事。現在、同社

半導体事業本部システムLSI事業統括部勤務。工学博士。電子情報通信学会会員。



堀場 康孝

昭和39年名古屋大学工学部電子工学科卒業。昭和41年同大学大学院修士課程修了。同年三菱電機(株)入社。以来、リニアIC、CMOSデジタルIC、バイポーラ/MOSゲート

アレイ、デジタル信号処理LSIの研究開発に従事。現在、同社半導体本部所属。工学博士。電子情報通信学会会員。



高橋 一浩(正会員)

昭和59年金沢大学工学部精密工学科卒業。昭和61年同大学大学院修士課程修了。同年三菱電機(株)入社。以来、LSIの自動レイアウト技術の研究開発に従事。現在、同社

半導体事業本部システムLSI事業統括部勤務。



岡崎 芳(正会員)

昭和44年大阪大学工学部電子工学科卒業。昭和51年同大学大学院博士課程修了。同年三菱電機(株)入社。以来、LSIのCAD技術の研究開発に従事。現在、同社システム

LSI事業化推進センター勤務。工学博士。電子情報通信学会会員。