

# 高速LAN通信制御装置の構成法に関する一考察

5T-7 平田 哲彦 横山 達也 水谷 美加 寺田 松昭  
 (株)日立製作所システム開発研究所

## 1. はじめに

サーバ/クライアントモデルによる分散コンピューティングでは、高スループット・低遅延の計算機間データ転送性能が求められる。LANの伝送速度は、光伝送技術の発達に伴い、FDDIの100Mbps、さらにはGbpsのオーダーへと高速化しつつある。しかし、従来のシステムでは、LANの伝送速度が高速化しても、エンド・ツー・エンドのアプリケーションが享受できる実効スループットは伝送速度の向上に見合うほど高速化されていないという問題があった。今回、この問題を解決すべく、OSIのレイヤ1~4(FDDI、LLC1、CLNP、TP4)を処理するLAN通信制御装置を開発した。本報ではその構成方式に関する一考察を述べる。

## 2. 分散ネットワークシステムの特徴

図1に高速LANを用いた分散ネットワークシステムの構成例を示す。従来、高速LANはバックボーン・ネットワークとして用いられることが多かった。しかし、今後は計算機を直接高速LANに接続するフロントエンド・ネットワークとしての使用が増大すると考えられる。

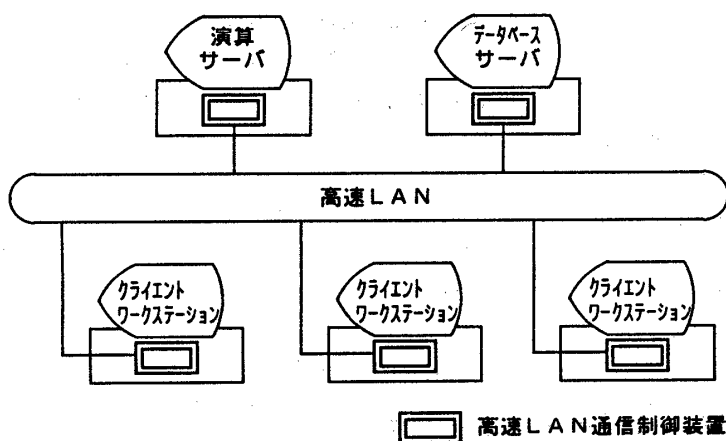


図1 分散ネットワークシステム構成例

分散ネットワークシステムの特徴は、

- ①リソースの分散共有
- ②アプリケーションの連携
- ③フォールトトレラント性の強化

が可能になることであり、これを実現するためにはLAN伝送路の高速化と共に、エンド計算機における通信制御処理の高速化が必要である。

## 3. 従来装置の問題点

従来のLAN通信制御装置には、下記の問題があった。

### (a) ローカルバスの獲得競争及び負荷

通信制御装置内のバスが一本のため、回線バッファメモリ・計算機間のデータ入出力と、プロセッサがバッファメモリをアクセスして実行するプロトコル処理との間でバス獲得競争が起きる。従ってデータの入出力中にはプロトコル処理ができず、通信制御処理時間が増大する。

### (b) CPUによるプロトコル処理

対象としていた回線が数Mbps程度であり、通信制御装置が処理する範囲がMAC以下のレイヤであったため、全ての通信制御処理を1つのプロセッサで実行した場合にもデータの伝送時間に対するCPUの処理時間が許容出来た。しかし、回線の速度が100Mbps以上になり、処理対象もトランスポートレイヤのような上位層までカバーする場合には、伝送路の高速化に見合った処理時間が得られない。

## 4. LAN通信制御装置の構成方式

上記問題点を解決し、伝送速度の高速化に見合った通信制御装置を得るために、下記の方式を提案する。

- ①プロトコルプロセッサによるプロトコルの高速処理
- ②データ経路と制御経路の分離によるバス競争の抑制

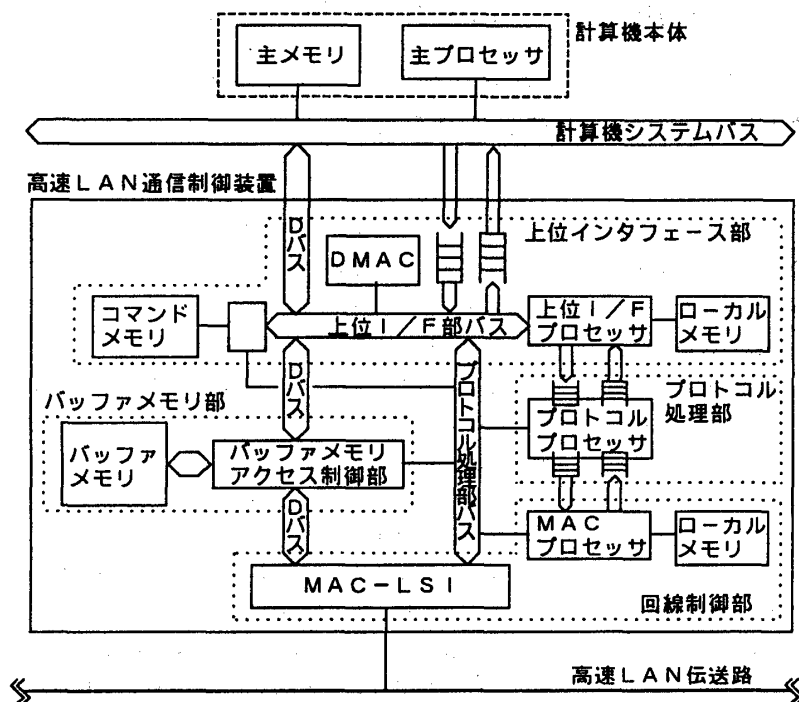


図2 高速LAN通信制御装置アーキテクチャ

③マルチプロセッサによる上位計算機インタフェース部、プロトコル処理部、回線制御部、のパイプライン動作提案方式に基づき開発した高速LAN通信制御装置のアーキテクチャを図2に示す。

#### (1) プロトコルプロセッサ

プロトコルプロセッサは、レイヤ単位に設けたプロトコル処理専用ハードウェア及びバックエンドプロセッサとして機能する汎用MPUで構成され、OSIレイヤ2~4を実行する[2]。

#### (2) データ経路と制御経路の分離

回線制御部、プロトコル処理部、上位計算機インタフェース部の各々に設けたプロセッサを接続するプロトコル処理部バスと、データバスの二つの内部バスを設け、従来は一つのバスに重複していたデータ経路と制御経路を分離する。さらに、バッファメモリ上ではより多くの送受信バッファ数を確保し、且つ各プロセッサの動作を指示するコマンドディスクリプタを定義したメモリへは、データ用のバッファメモリ及びデータバスに係りなくアクセスできるようにするために、コマンドディスクリプタ定義用のコマンドメモリをバッファメモリとは別に設ける。各処理部に配置したプロセッサ間に送信/受信双方向のFIFOを設け、プロセッサ間のインタフェース情報はそのFIFOに読み書きすることにより、各プロセッサが接続されたプロトコル処理部バスを経由せずにプロセッサ間通信ができる。

#### (3) マルチプロセッサ方式

処理時間短縮のために、RISCのような高速プロセッサを用いると、その性能を引き出すための環境が必要となり、CISC1プロセッサでは処理性能がたりない。そこで、通信制御装置内を回線制御部、プロトコル処理部、上位計算機インタフェース部の三部に分け、その各々に各処理部専用のプロセッサを配置し、通信回線とのデータ入出力、通信プロトコル処理、上位計算機とのデータ入出力をパイプライン処理可能とする。特に上位インタフェースプロセッサは、インタフェース処理の他に分割/組立機能のサポート等、負荷が高いため、以下の工夫を施している。

①コマンドブロックのIDをFIFOを介して受け渡しキュー操作のオーバーヘッドを削減。

②計算機主メモリ側の受信バッファをコネクション対応に設け、書き込みポインタを備えた論理リンク構造として計算機主プロセッサ-上位インタフェースプロセッサ間の通信オーバーヘッドを削減。

#### 5. おわりに

高速LANを用いた分散ネットワークシステムの構築には、高性能なLAN通信制御装置が必要である。本報では、高速LAN用通信制御装置の構成方式について、従来装置の問題点を明らかにした上で、それを解決するための方策を考察した。

#### <参考文献>

- [1] 水谷 他：プロトコル処理高速化方式の提案とOSIプロトコルへの適用、情報処理学会第40回全国大会、論文番号5N-3
- [2] 横山 他：通信プロトコル高速処理プロセッサの方式提案、情報処理学会第41回全国大会、論文番号4Q-7