

## L-SPACE:対話型チップ・レイアウト・システム

6N-2

## - 回路設計情報利用機能 -

鈴木 五郎<sup>1</sup> 山本 哲也<sup>1</sup> 浜田 亘曼<sup>1</sup> 薄井 勝夫<sup>3</sup> 湯山 恭史<sup>2</sup> 奥野 慎也<sup>2</sup><sup>1</sup> 日立製作所 日立研究所 <sup>2</sup> 同 デバイス開発センター <sup>3</sup> 日立エンジニアリング

## 1 はじめに

本システムは我々が先に開発したマスク・パターン・エディタSPACE [1] を母体としており、チップ全体に関する回路設計情報を有効に利用してチップ・レベルのレイアウト設計を支援する機能を持っている。本報告では、機能の概要と実現の方法について述べる。

## 2 回路設計情報利用機能の概要

本機能はセルを対話で配置し、セル間を対話で配線する際に利用される。あらかじめ回路設計時に計算機入力されたセル間の接続を表すネットリストを利用しており、下記に示す機能を有している。

## (1) 配置セル一覧表示

ネットリスト上に書かれた全てのセル名とそれが配置済みか否かを表示する。

## (2) 同電位端子強調表示

信号名を指定することにより、該当信号上に存在する全ての端子を強調表示する。また、図1のように該当端子間を直線状の配線ガイドで結ぶ。

## (3) セル間接続関係表示

セルを指定することによって、該当セルを強調表示するとともに、該当セルと接続関係にある全てのセル間に配線ガイドを表示する。

## (4) 配置信号一覧表示

ネットリスト上に書かれた全ての信号名とそれが配置済みか否かを表示する。

## 3 回路設計情報利用機能の実現方法

セル間の接続を表すネットリストとしては米国カリフォルニア大のSPICEの入力記述にほぼ合わせてある。システムはこのネットリストを最初に読み込み、図2に示したネットリスト・テーブルを作成する。前記した(2)(3)の機能を高速に処理するために、セル名と信号名の両方から容易に必要な

な情報を検索できるようにセルに関するテーブルと信号に関するテーブルを持たせている。

セル名、該当セルがチップ上に配置されているか否かを表すフラグ、該当セルが持つ端子数、それに各端子の座標などがセルテーブルとセル端子テーブルに格納される。また信号テーブルと信号端子テーブルには信号名、該当信号がチップ上に図形として配置されているか否かを表すフラグ、該当信号上に存在する全端子数、それに各端子の座標などが格納される。ここで、セル端子テーブルと信号端子テーブルに格納される端子の情報は重複するが、検索を容易にするためにあえてこのような構造にしている。端子の座標以外の情報はネットリストを読み込んだ時点で設定される。

上記機能の(1)と(4)はセルテーブルと信号テーブルの配置フラグを参照して処理する。(2)の処理では、信号テーブルを参照し、信号端子テーブルから該当信号上に存在する全端子の座標を取り出し、取り出した順に一筆書に端子を直線で結び配線ガイドとしている。また(3)の処理では指定されたセルをセルテーブルの中から探し出し、該当セルが持つ全ての端子を取り出す。そしてそこに接続されている信号を認識して、該当信号上に存在する全端子の座標を取り出し、該当セルの注目端子から取り出した全ての同電位端子へ放射状に配線ガイドを表示させる。

信号テーブルの配置フラグは、該当信号上に存在する全端子が信号図形群で接続された時点で配置済みとなる。例えば信号図形1、2、3が既に配置されてる図3の例では、信号図形4を入力した時点で該当信号の全端子が接続されるため、初めて配置フラグが配置済みとなる。設計者の負担を軽減するために、各図形に信号名を付加することを義務づけていないことから、図形を入力する度に入力図形と共通領域を持つ同一層(あるいはコンタクトが存在する場合には関連する層)の図形を探し出し、さらに

L-SPACE: Interactive Chip Layout System - Circuit Driven Layout -

Toro SUZUKI<sup>1</sup> Tetsuya YAMAMOTO<sup>1</sup> Nobuniro HAMADA<sup>1</sup> Katsuo USUI<sup>3</sup> Kyouji YUYAMA<sup>2</sup> Shinnya OKADA<sup>2</sup><sup>1</sup> Hitachi Res. Lab. <sup>2</sup> Hitachi Device Development Center <sup>3</sup> Hitachi Engineering Co. Ltd.

共通領域を持つ図形を次々に抽出して、配置済みのフラグを設定して良いか否かを判定する。図形入力時に判定を行なうために高速化処理が必要であるが、本システムでは近傍図形が高速に検索できるデータ構造 [2] [3] を持っており、これを利用して同電位図形群抽出 [4] を高速化することで図形入力時の高速判定を実現している。

4 おわりに

回路設計情報を積極的に利用してレイアウト設計を行なうシステムを開発した。今後はバイポーラ・プロセスによる、アナログLSIのレイアウト設計に応用する予定である。

- [1] 加藤ほか：SPACE:対話型マスク・パターン設計システム—システム概要—：第37回情処全大、pp.1800-1801、昭和63年9月
- [2] 鈴木ほか：ASIC用対話型セル設計システムSPACE：設計自動化研究会46-7、PP.49-55、平成元年2月
- [3] SUZUKI et al.:A Practical Online Design Rule Checking System:Proc. of 27th DAC, 15-1,1990
- [4] 鈴木ほか：SPACE:対話型マスク・パターン設計システム—同電位パターン群抽出手法—：第38回情処全大、pp.1763、平成元年3月

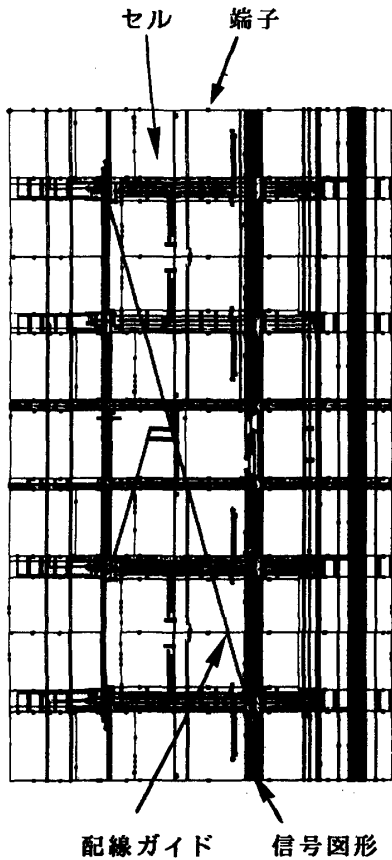


図1 配線ガイド表示例

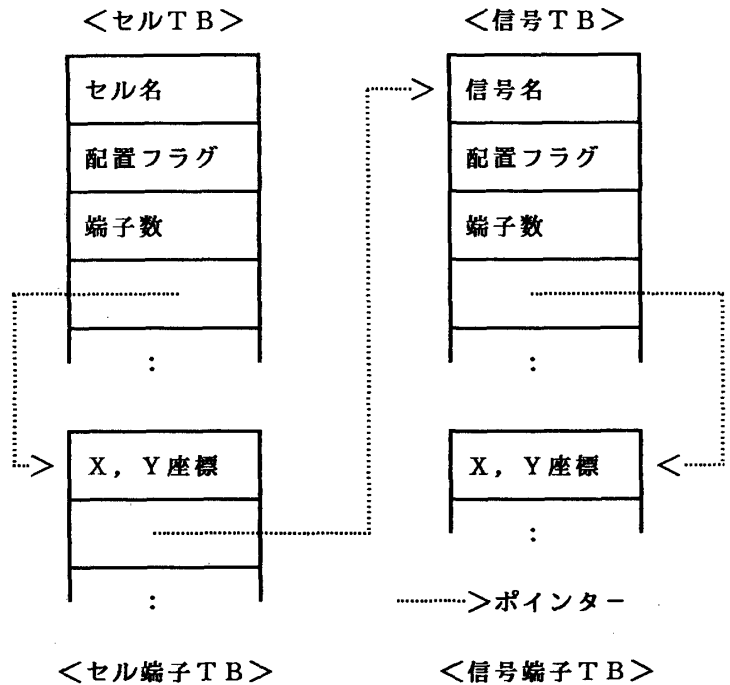


図2 ネットリスト・テーブル

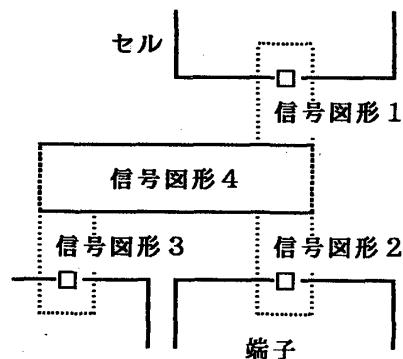


図3 信号構成図形入力例