

4P-12

HLS: 論理シミュレーション専用計算機

(7) ソフトウェア構成

木幡一博, 菊地原秀行, 浜崎良二, 白木昇, 平川和之

沖電気工業(株)超LSI開発センタ

1. はじめに

HLS^[1]は、ASICを対象としてゲートレベルおよび、機能レベルで表現されたモデルのシミュレーションを超高速に実行する専用ハードウェアである。本稿では、HLSのソフトウェア構成について述べる。

2. ソフトウェア構成

HLSは、ゲートレベルと機能レベルの混在レベルのシミュレーションを実行する場合には、BINALLY^[2]と同期を取りながら進めるなど、BINALLYと深く関係している。このため、HLSでシミュレーションを実行するためには、BINALLY用のモデルデータ、テストデータを用意することを基本とする。図1にHLSのソフトウェア構成を示す。

以下の説明の項番は、図1中の数字と対応する。

(1) HLS用モデル作成処理

本処理部では、BINALLYモデルを入力し、HLS用モデル(以下BDFと呼ぶ)を作成する。

一般にVLSIの設計では、機能的にまとまった単位(ブロック)によって回路を分割した階層設計が取られている。HLSでの各SEUへの回路の割付けも、この階層設計におけるブロック構造を積極的に利用して行なっている。すなわち、ある大きな機能をもつブロックが各SPMに割り付けられ、そのブロックを構成する、より小さな機能でまとまった論理ブロックが各SEU^[3]に割付けられる。(図2参照)

このことにより、各SEU間は、SEU内部に比較すれば信号の変化が少なくなり、また各SPM間もSPM^[3]内部に比較すれば信号の変化が少なくなる。従って、各SEUは、内部のネットイベントの処理が中心となり、SEU間の通信負荷は減少する。

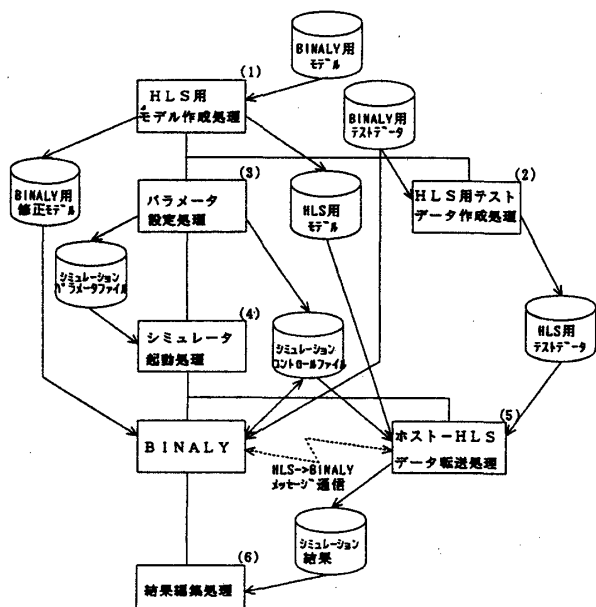


図1. HLSのソフトウェア構成

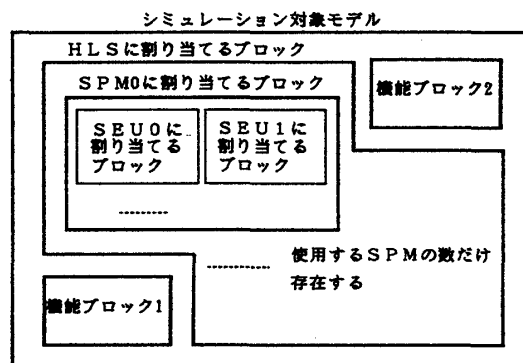


図2. BINALLYモデルの構成

また、本処理部では、SEU間にまたがるネットに対し、SEU間のイベント転送のルールにもとづく仮素子^[4]の挿入、および、観測端子を含むネットに対する仮素子の挿入を行なう。

さらに、混在レベルのシミュレーションを行なう場合、HLS-BINALLY間でネットイベントの対応付けが必要となり、メッセージ通信の効率を低下させる恐れがある。このため、対応付けが容易に行える様にBINALLY用モデルを修正する。

(2) HLS用テストデータ作成処理

混在レベルのシミュレーションの場合、HLSのテストデータは、シミュレーション実行中にBINALLYから、イベントデータの形式で転送する。このため、本処理は行なわない。

しかし、論理ブロックのみのシミュレーションであれば、BINALLY用のテストデータからHLS用のテストデータを事前に作成する。

(3) パラメータ設定処理

モデル名、テストケース名、シミュレーション開始時刻と終了時刻、等のパラメータを会話形式で入力する。

(4) シミュレータ起動処理

パラメータ設定部で作成したファイルを読み込み、混在レベルのシミュレーションの場合は、BINALLY、データ転送処理部のそれぞれを起動する。

また、論理ブロックのみを取り扱う場合は、ホストの処理負担を軽減するために、データ転送処理部のみを起動する。

(5) ホスト-HLSデータ転送処理

本処理部は、シミュレーション開始から終了まで、HLSとホストのデータ転送を制御する。

また、混在レベルのシミュレーションを実行する場合には、HLSとBINALLYで同期を取りながらシミュレ

ーションを進めるため^[4]、HLS-BINALLY間のインタフェースを制御する。このため、BINALLYに対しては、HLS-BINALLY相互のイベント転送、HLSのシミュレーション終了の連絡等の処理を行なう。

また、HLSに対しては、BDFの転送、HLSのコントロールファイルの転送、BINALLYから受け取ったイベントの転送等の処理を行う。

BINALLYとのインタフェースは、ホストが提供するプログラム間通信機能によって、また、HLSとのインタフェースは専用チャンネルを介して行なう。

(6) 結果編集処理

HLSから受け取ったシミュレーション結果を、ホスト(EWS)上でタイムチャート表示させるために結果の編集を行なう。

3. おわりに

本稿では、HLSのソフトウェア構成について述べた。現在のソフトウェアは、既存のソフトウェアを最大限活用する方針で開発したため必ずしも使いやすいものとはいえない。また、回路の割付もSEU間のばらつきは考慮されていない。今後、モデル作成時における対象回路の割付方法の検討や、ユーザインタフェースの改善等を行なっていきたいと考えている。

参考文献

- [1] 菊地原, 他 "HLS:論理シミュレーション専用計算機(1)システム概要", 本大会予稿集
- [2] Hirakawa, et. al. "LOGIC SIMULATION FOR LSI", 19th DAC, pp.755-761
- [3] 浜崎, 他 "HLS:論理シミュレーション専用計算機(2)ハードウェア構成", 本大会予稿集
- [4] 木幡, 他 "HLS:論理シミュレーション専用計算機(3)制御方式", 本大会予稿集