

HLS: 論理シミュレーション専用計算機

4P-8

(3) 制御方式

木幡一博, 菊地原秀行, 浜崎良二, 白木昇, 平川和之
 沖電気工業(株)超LSI開発センタ

1. はじめに

HLS^[1]は、ノミナル遅延のモデルを扱う、イベント駆動方式を採用したハードウェアシミュレータである。

また、ホスト上の論理シミュレータBINARY^[2]と同期を取りながらシミュレーションを進めることによって、ゲートレベルと機能レベルの混在レベルのシミュレーションが可能である。

本稿では、HLSのシミュレーション制御方式を述べる。

2. ノミナル遅延モデルの取扱い

2.1 問題点

並列論理シミュレーションマシン上でノミナル遅延モデルを取扱う場合、一般的には、素子固有のノミナル遅延値(以下遅延と呼ぶ)をイベントデータ(以下イベントと呼ぶ)中に付加した形式を取る。この問題点として、イベントが、①ネットのアドレス②遅延③転送先のプロセッサアドレス④素子の状態値⑤イベントタイプの各フィールドを持ち(①~⑤は、フィールド長の長いと思われる順)、イベント長全体が長くなるということが上げられる。これは、

- ・ イベント転送バスのビット幅の増加による、配線本数の増加
- ・ イベント転送用LSIの入出力ピン数の増加

につながり、性能およびハードウェアコスト上望ましいことではない。

2.2 取扱い方法

HLSでは上記の問題を、SEU^[3]内部で扱うイベントとSEU間で扱うイベントを区別することで解決した。

以下にその方法を示す。

- ① SEU内のイベントにのみ、遅延

値フィールドを割り当てる。図1の(A)参照。

② SEU間のイベントには、転送先のSEUアドレスフィールドを先の遅延値フィールドに置換して割り当てる。(フィールドの共有化)。図1の(B)参照。

③ SEU間にまたがる素子について遅延を取扱うために以下の処理を行う。

- ・ 当該素子の出力に対し、ある単位時間の遅延値を持つ仮素子を挿入する。
- ・ 当該素子の遅延を自分自身の遅延値から単位時間分を差し引いた値に更新する。

この結果、「旧素子遅延 = 仮素子の遅延 + 新素子遅延」となりシミュレーションの精度には全く影響がない。図2参照。

(A) ネットイベント (SEU内部処理形式)

本イベントのイベントタイプ	現在時刻からの遅延	値を印加するネットのアドレス	状態値
---------------	-----------	----------------	-----

(B) ネットイベント (SEU間転送形式)

本イベントのイベントタイプ	転送先のSEUアドレス	値を印加するネットのアドレス	状態値
---------------	-------------	----------------	-----

図1. ネットイベントの形式

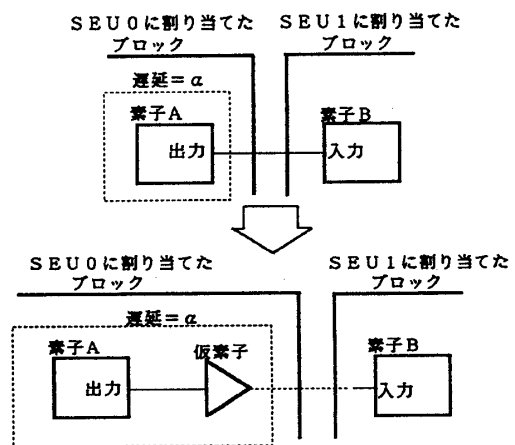


図2. 仮素子挿入例

④各SEUは、他のSEUから入力されたイベントが単位時間の遅延を持つことを前提としてタイムホイールに登録する。

本方法によれば、仮素子の増加に伴うイベントの増加が生じるが、仮素子の増加はHLS全体でもわずか16Kゲート(約3%)程度*であり特に問題とはならないと言える。

*HLSのシステム諸元:4Kゲート/SEU、全512Kゲートに100%の法則を適用して算出した。

3. シミュレーション制御方式

HLS本体はSCU、最大128台のSEU、NCUで構成されている^[3]。HLSのシミュレーションの実行制御はSCUが行なう。ここでSCUは

- ・モデルデータの書き込み
- ・テストデータのイベントへの変換
- ・時刻の更新

を管理するが、モデルデータの書き込みはシミュレーション開始前に1度実行すればよく、シミュレーションの速度には影響を及ぼさない。また、テストデータのイベントへの変換も、テストデータの入力がある限られたタイミングで、かつシミュレーションの実行と並列に処理されることを考慮すれば、シミュレーション速度への影響は小さい。これに対し、時刻の管理に関しては、

- ・タイムホイールの時刻の更新
- ・終了時刻との比較

という2つの処理を必ず行なわなければならないが、一部逐次処理を伴うため極力高速化する必要がある。

このため、SCUにおいては、シミュレーション時刻を管理する部分をタイミングコントロールユニット(以後TCUと呼ぶ)として専用LSI化した。この結果、時刻更新から終了時刻との比較、シミュレーション開始信号発行の処理を最短2クロックで行なうことが可能になった。HLS本体における制御構造を図3に示す。

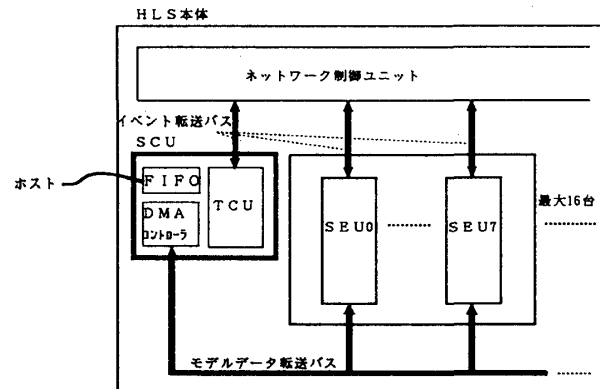


図3. HLSの制御構造

4. 混在レベルシミュレーション

混在レベルのシミュレーションを行なう場合、機能ブロックと最上位のブロックはホスト上のBINALLYで、それ以外のブロックについてはHLSで取り扱う。このため、BINALLYとHLSでシミュレーション時刻の同期を取る必要がある。

この同期は、対象モデルがクロックに同期した回路であれば、対象モデルのクロックの変化に合わせて行なえば良い。しかし、対象モデルに非同期動作が含まれている場合には、最悪、単位時間毎に同期を取る必要がある。そこで利用者が同期を取る間隔を明示し、これによって被シミュレーション回路の時刻を刻むことにより、同期を取りながらシミュレーションを実行する。

5. おわりに

本稿では、ノミナル遅延モデルの取扱方法と、シミュレーション制御方式(特に時刻の管理)、および混在レベルのシミュレーションにおける同期制御方式について述べた。本制御方式の採用により、ハードウェア量の増加をおさえ、全体性能の向上が図れた。また、混在レベルのシミュレーションの効率的な実行が可能になった。

参考文献

- [1]菊地原,他 "HLS:論理シミュレーション専用計算機(1)システム概要",本大会予稿集
- [2]Hirakawa, et. al. "LOGIC SIMULATION FOR LSI", 19th DAC, pp.755-761
- [3]浜崎,他 "HLS:論理シミュレーション専用計算機(2)ハードウェア構成",本大会予稿集