

超並列配線マシンのLSI

4P-4

川嶋俊明<sup>(1)</sup> 河村薫<sup>(2)</sup> 進藤達也<sup>(2)</sup> 澁谷利行<sup>(2)</sup> 三渡秀樹<sup>(2)</sup> 大木由江<sup>(2)</sup>  
<sup>(1)</sup>(株)富士通ソーシャルサイエンスラボラトリ <sup>(2)</sup>(株)富士通研究所

1. はじめに

超並列コンピュータMAPLEの実現にあたって、プロセッサLSIとプロセッサ制御LSIの2品種のカスタムLSIを開発した。それぞれ、10万ゲートと4万ゲートの敷き詰め型CMOS/GAを用いた。本稿ではこれらのLSIの概要と各機能の実現方法について述べる。

2. プロセッサLSI

プロセッサの設計にあたっては、パイプライン動作を実現するために、全ての演算・メモリアクセス・通信を1クロックで完了するように注意した。

プロセッサの構成を図1に示す。各プロセッサは、1ビットのALU、512ビットの内部レジスタ、32Kビットの外部メモリを持っている。各プロセッサに1ビットのコントロールフラグ(CF)を設けることにより、特定の条件が成立するプロセッサだけが演算を行う選択演算を可能にした。プロセッサの制御はSIMD方式で、96ビットの水平型マイクロコードでコントロールする。プロセッサLSI1チップに4×8のプロセッサを内蔵している。プロセッサのロジック部分は約600ゲート/PEである。

2.1 演算機能

ALUは、和、差、最大、最小、論理演算を行なう。論理演算は、マイクロコード中に真理値表を設定し、2入力データで制御を行なうことによって万能論理を実現した。また、キャリーを必要とする和、差、最大最小の計算には、専用の演算回路を用いて対応した。

2.2 パイプライン

プロセッサは、コントローラから送られるマイクロコードをデコードして各ファシリティをパイプライン制御する。入力として、内部レジスタ、外部メモリ、東西南北に隣接するプロセッサのデータ、グローバルメモリが使用できる。また出力として、内部レジスタ、外部メモリ、隣接するプロセッサのデータ、グローバルメモリ、イベント、コントロール

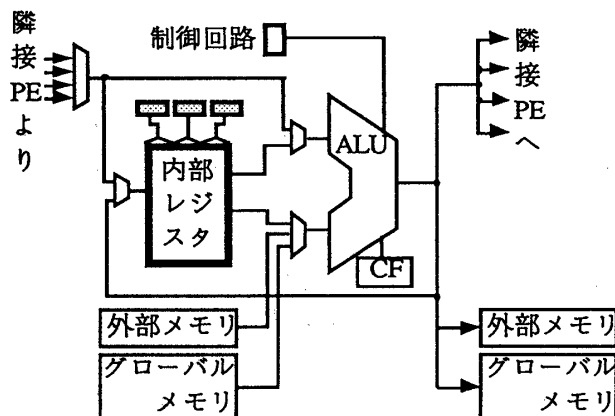


図1 プロセッサ構成

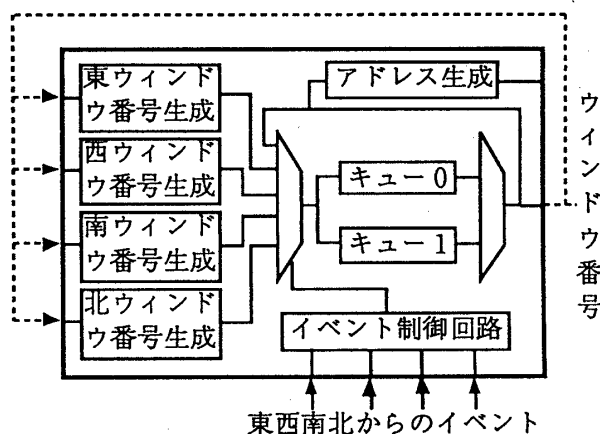


図2 プロセッサ制御LSI

フラグが選択できる。ハードの簡素化を行うためインターロックの制御はコンパイラで行った。

2.3 放送収集演算回路

収集演算回路は、全プロセッサからのデータの和、最大値、最小値、論理和、論理積の演算を行なう。各演算は専用回路で実現し、トリー状に構成した。トリーの深さを調節することで、プロセッサの台数構成に対応する。

### 3. 制御機構

プロセッサ制御LSIの構成を図2に示す。プロセッサ制御LSIでは、ウィンドウの制御、通信専用プロセッサの制御、イベントの管理を行う。

#### 3.1 ウィンドウ制御

大規模データを処理するためには、各プロセッサが複数のデータを扱う必要がある。対象領域に対して、物理的に存在するプロセッサ構造を図3のようにマッピングした場合を考えてみる。図で0, 1,..をウィンドウ番号と呼ぶ。一般的に、1プロセッサが複数のウィンドウを処理する場合には、全てのプロセッサが同一ウィンドウを処理していくよりは、プロセッサ毎に異なるウィンドウを処理するほうが効率的である。MAPLEではプロセッサを256プロセッサ毎にグループと呼ばれる単位に分割して、それぞれ異なるウィンドウの処理を可能にした。図中、A,B,C,Dがグループである。プロセッサの外部メモリを分割してそれぞれのウィンドウに割り当てている。アプリケーションでは、ウィンドウ1個分のデータ構造を宣言し、全てのウィンドウで同一の構造を繰り返す。マイクロコードでは、ウィンドウ内の変位アドレスを与えて、プロセッサ制御LSIがウィンドウ番号に対応する基底アドレスを加算して実メモリアドレスを生成する。

#### 3.2 通信専用プロセッサ制御

グループの境界のプロセッサにとっては、通信すべき相手のプロセッサが別のウィンドウを処理中で、直接通信できないことがある。したがって、将来処理の必要なウィンドウ番号を登録し、登録した順番にその領域の処理を行えるようにスケジュールする機能とスケジュールされたときに、以前に通信を行なったはずのプロセッサのデータを読み出す機能とが必要になる。最初の機能については、東西南北に隣接するグループに対して、現在処理中のウィンドウ番号を送信し、受信したウィンドウ番号をキューに登録・管理して実現した。ウィンドウの実行履歴を残すために二つのキューを用いている。二番目の機能は、通信専用プロセッサを設けることによって実現した。通信専用プロセッサは、グループ境界のプロセッサと同じデータを持つように制御する。各グループは、必要なデータを隣接するグループの通信専用プロセッサから読み出す。

#### 3.2 イベント管理

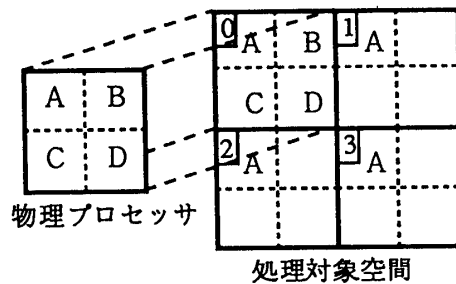


図3 物理プロセッサの割付

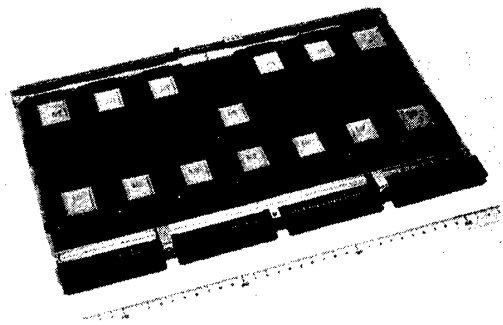


図4 プロセッサボード

特定の条件が成立した場合に限り、ウィンドウ番号をキューに登録することによって、より効率的な処理が可能である。このために、プロセッサ制御LSIでは、イベント信号の発生と管理を行なっている。イベントは、隣接するグループに伝達され、イベントがあった場合に、隣接しているウィンドウ番号をキューに登録する。イベントはプログラマが直接マイクロプログラムの中で決定し、管理する。

### 4. ボードの構造

図4にプロセッサボード写真を示す。プロセッサボードには、8個のプロセッサLSIを配置し、256プロセッサアレイを実現している。その他に、東西南北の通信専用プロセッサ4個、収集専用LSI1個、プロセッサ制御LSI1個を実装している。

### 5. まとめ

超並列コンピュータMAPLEのLSIの機能とその実現方法について述べた。現在、1Kシステムが稼働中であり、16Kシステムを試作し実験、評価を行なう予定である。