

## 超並列配線マシンの概要

4 P-1

河村薫\* 進藤達也 澁谷利行 三渡秀樹 大木由江  
株式会社富士通研究所

## 1. はじめに

表面実装技術(SMT)や敷き詰め型ゲートアレイ(SOG)の普及によって、プリント基板やLSIの高密度化が急速に進んでいる。自動配線問題の研究は古くから続けられているが、近年のテクノロジーの急速な進歩に対応できずに自動配線率が著しく低下し、人工工数や層数の増大という問題が発生している。

我々は配線率の大幅な向上を目的として、制約緩和迷路法を開発した[1], [2]。制約緩和迷路法は配線問題をパターンの交差数最小化問題として解くという特徴を持ち、人手に匹敵する配線性能を達成できる可能性を持つものの、処理時間が大変大きいという欠点があり、実用化が困難であった。そこで、処理時間の大部分を占める経路探索部分が、規則正しい単純な処理の膨大な回数の繰り返しであり、超並列処理に向けた性格を持っていることに着目し、新しく超並列コンピュータMAPLE(図1)を開発した。

MAPLE上に、制約緩和迷路法を実現した超並列配線マシンMAPLE-RPについて述べる。

## 2. 制約緩和迷路法[3]

従来の配線システムでは、既に引かれたパターンを制約としそれを障害物として経路を探索していた。そのため、後のほうで引かれるネットの探索空間が狭まり、経路が見つからないものが発生していた。また、ネットの配線順序が配線結果に大きく依存するという問題もあった。従来のアルゴリズムの研究では、主に配線の順序を入れ替えることによって配線率を高める方式を目指していたが、配線順序の組み合わせの数はネット数の階乗のオーダーになるために組み合わせ爆発を招き、大きな効果を発揮できていなかった。

制約緩和迷路法を開発するにあたっては、以下の3つを課題として設定した。

- (1)探索空間が大きく、100%解に至る可能性を持つこと。
- (2)配線結果が配線順序に大きく依存しないこと。
- (3)実用規模のプリント基板やLSIに適用できる高速

Outline of the Massively Parallel Routing Machine

Kaoru Kawamura, Tatsuya Shindo, Toshiyuki Shibuya, Hideki Miwatari and Yosie Ohki  
FUJITSU LABORATORIES LTD., KAWASAKI

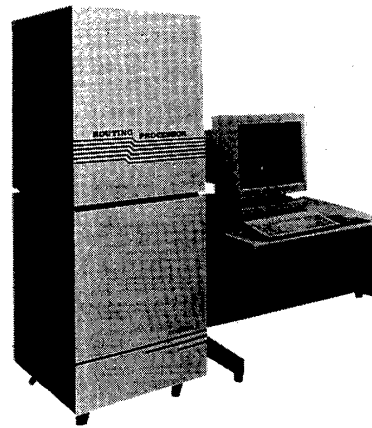


図1 超並列コンピュータMAPLE

性を実現すること。

制約緩和迷路法ではパターンの長さやビア数、パターン同士の交わりをコストとみなして、全ネットの経路探索を繰り返し実行しながら、コストが最小になるように経路探索を行なっている。

コスト関数は次式で定義する。

$$\text{コスト} = a \times \text{配線長} + b \times \text{ビア数} +$$

$$c \times \text{クロス数} + d \times \text{タッチ数}$$

ここで、 $a$ ,  $b$  ( $a, b \geq 1$ ),  $c$ ,  $d$  ( $c, d \geq 0$ ) はそれぞれの項に対する重み係数であり、経路探索を実行する前に決定する。クロスやタッチというのは、パターン同士の交わりの状態をいう。初期値としては $c$ と $d$ の値を0に設定し、次第に $c$ や $d$ の値を大きくしていきながら経路探索を繰り返すことでクロスやタッチ数を減少させ、最終的には0にすることによって100%配線が達成できる。

## 3. 超並列配線マシンのハードウェア[4], [5]

EWS上に開発したソフトウェアによるプロトタイプシステムによる実験から、制約緩和迷路法は人手に匹敵する配線性能を持つが、実用規模のデータを処理するのに汎用大型計算機を用いても1ヶ月以上かかることが予想された。我々は超並列処理技術を

用いて実用化を図ることにした。MAPLEの設計にあたっては、特に以下の点に注意した。

- (1) 制約緩和迷路法を高速に実行できること。
- (2) ハードウェアとして単純な構成であること。
- (3) プロセッサ数は1万個以上とし、超並列処理マシンとして実現すること。

MAPLEのハードウェア構成を図2に示す。MAPLE全体の制御およびアプリケーションにおける逐次処理部分はコントロールプロセッサで行なう配線マシンは、1万個以上のプロセッサが格子状に結合し、クロック20MHzで動作する。単位プロセッサは、1ビットのALUと512ビットのレジスタおよび32Kビットのメモリを持つ。32プロセッサを10万ゲートCMOSゲートアレイの1チップで実現している。全体の制御は96ビット幅の水平型マイクロ命令で行なっている。ホスト計算機とはVMEバスで結合する。

配線マシンは、実用規模のデータを配線するために、一つ一つのプロセッサが複数のデータを分担して担当する必要がある。この処理を効率的に行なうために、いくつかの特殊なハードウェア機構を持たせている。また、全体の動作をパイプライン化することによって、より一層の高速化を図っている。

4. 超並列配線マシンのソフトウェア[6]

図3にMAPLEのソフトウェア構成を示す。MAPLEのアプリケーションは、ホスト計算機上のC言語、コントロールプロセッサ上のC言語およびプロセッサアレイ上のマイクロ言語で記述する。それぞれ、市販のCコンパイラ、クロスコンパイラそしてMAPLE用に新規開発したマイクロコンパイラでコンパイルする。また、最低限のソフトウェア環境として、ホスト計算機とコントロールプロセッサ間の通信ライブラリ、ホスト計算機上のパターンモニタを開発した。

現在、ホスト計算機上でMAPLEソフトウェアの開発を進めることができるシミュレータの開発と、UNIXのdbxに相当するデバッガの開発を進めている。

5. まとめ

制約緩和迷路法の実用化を目的として超並列配線マシンを開発した。現在、1024プロセッサシステムが稼働中であるが、300プロセッサでほぼM780と同等の速度性能を持つことが確認できた。

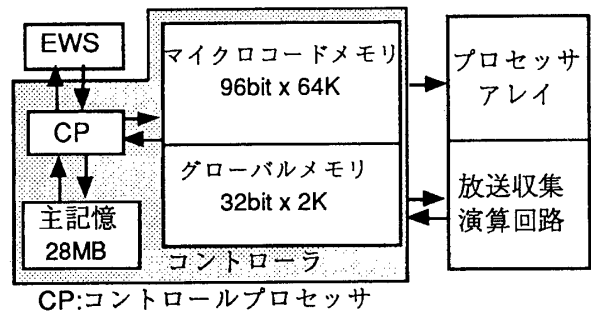


図2 ハードウェア構成

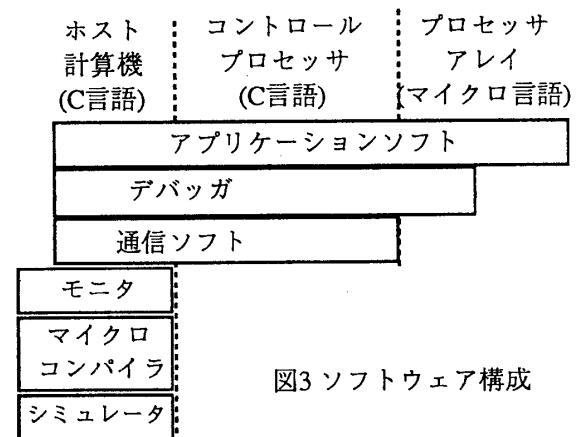


図3 ソフトウェア構成

今後は、大規模データを処理できる16Kプロセッサ構成の配線マシンを試作し、実験・評価・改良を進め、実用化を図る予定である。

謝辞

日頃ご指導いただく棚橋部門長、石井部長、白石室長ならびにシステム開発に協力していただいた富士通SSL川嶋俊明氏および寺田賢一氏に深謝いたします。

[参考文献]

以下情報処理第37回全国大会予稿

[1]河村他、「最適化に基づく並列配線-方式-」.

[2]三渡他、「最適化に基づく並列配線-評価-」.

以下本大会予稿

[3]三渡他、「超並列配線マシン-アルゴリズム-」.

[4]澁谷他、「超並列配線マシン-アーキテクチャ-」.

[5]川嶋他、「超並列配線マシン-LSI-」.

[6]大木他、「超並列配線マシン-ソフトウェア-」.