

1P-2

高速アクセスメモリQRAMの
シミュレーションによる性能評価

新島秀人 大庭信之
日本アイ・ビー・エム 東京基礎研究所

1. 初めに

マイクロプロセッサとメモリの速度ギャップを短縮するため、チップ内にアドレス比較器と、マイクロプロセッサと直接ハンドシェイクするメカニズムを搭載した新しいメモリ、QRAMを提案した[1][2][3]。本稿では、トレースデータを用いたシミュレーションによるQRAMの性能評価を、特にキャッシュとの比較を中心に報告する。

2. QRAM

QRAMは、従来のDRAMに、最小の外部付加回路で、高速マイクロプロセッサの主記憶として高い性能を発揮できるように開発されたメモリである[1]。即ち、チップ内部に、通常のメモリのアドレス回路にアドレスラッチとアドレス比較器を、さらにデータ授受のハンドシェイク用のMISS信号発生回路を付加する。また、高速なアクセスを実現するために、すべてのアドレスを一度に入力する必要があるが(アドレスの時分割をしない)、メモリ周辺回路が簡単になる利点をもつ[2]。

QRAMは、従来のメモリ製造技術で高速アクセス時間の実現を目指したものであり、そのためにメモリへのアクセスの局所性を利用し、同一ROWにアクセスが繰り返される場合にはページアクセスタイムで読み書きが可能としている[3]。

3. QRAMの性能評価

QRAMは、キャッシュシステムと同様に、マイクロプロセッサのメモリアccessの局所性を利用してシステムの性能を向上させるという点から、RAMの中にキャッシュを組み込んだとも考えられる。即ち、QRAM内のバッファをキャッシュデータメモリと対応付けると、非常にラインサイズの長いキャッシュであると考えられる。QRAMを用いた主記憶の標準構成では、そのラインサイズは512~2Kバイトに達する。一般のキャッシュシステムではこのように長いラインサイズは採用しない。なぜなら、ヒット率があまり向上しない(むしろ下がることもある)上に、ミスしたときのメモリからキャッシュへの転送コストが大きくなるためである。そこで本節では、キャッシュとの比較をしながらQRAMの性能を評価する。

評価基準として、ヒット率と実際のメモリ性能を示す平均メモリアccessサイクルを用いた。キャッシュシステムの平均メモリアccessサイクルは、キャッシュとメモリ間のデータ幅を16ビットと仮定し、次の式で表せるものとした。Hはヒット率、Lはラインサイズである。

平均メモリアccessサイクル

$$= H + (1-H) * (4 + L/2)$$

QRAMを用いたメモリシステム、疑似キャッシュシステム及び通常のキャッシュを用いたメモリシステムの性能を、メモリアccessトレースを用いたシミュレーションで評価した。ここで用いたメモリアccessトレースは、IBM AIX PS/2上で動作するアプリケーションから得たもので、流体解析のSOLA、ラプラス方程式のLAP、画像輪郭検出のEDGEの3種類であり、合計すると9000万ステップから成る。それぞれ、およそ347Kバイト、524Kバイト、1Mバイトのデータを扱う。

QRAMは、1Mビット、入出力ピン4本、アイランド数4、ページ長512ビットのシングルバッファタイプとダブルバッファタイプの2種類を評価した。シングルバッファタイプのQRAMは、そのバッファ容量から考えて、キャッシュサイズ8Kバイト、ラインサイズ1Kバイトのキャッシュシステムにちょうど対応する。他方、ダブルバッファタイプのQRAMはバッファの容量が倍になるので、キャッシュとの比較で考えると、キャッシュサイズ16Kバイト、ラインサイズ1Kバイトのキャッシュに相当する。

トレースデータを用いたシミュレーション結果を図1~図6に示す。図1、3、5から分かるように、QRAMのヒット率はキャッシュに比べ同等かまたは低い。これはキャッシュが2~4ウェイセット構成を採るためであり、キャッシュサイズが8Kバイト程度であればキャッシュのウェイ数はヒット率にかなり影響する。QRAMは1ページ(ライン)をチップ内部で1サイクルでバッファにロードできるため、ヒット率が低くても、平均アクセスタイムでみると性能はキャッシュとほぼ同等の値が得られている。

4. むすび

シミュレーションにより、QRAMの有効性を検討した。QRAMはコストパフォーマンスが重要視される下位~中位のワークステーションに適していると思われる。

【参考文献】

- [1]新島、大庭：“高速アクセスメモリ QRAM,” 平成元年、秋の情報処理学会全国大会。
- [2]大庭、新島：“高速アクセスメモリ QRAM,” 情報処理学会計算機アーキテクチャ研究会報告 90-ARC-80。
- [3]Niiijima and Ooba: “Quick Access Memory System,” Proc. of Int'l Conf. on Comput. Design (Sept. 1990).

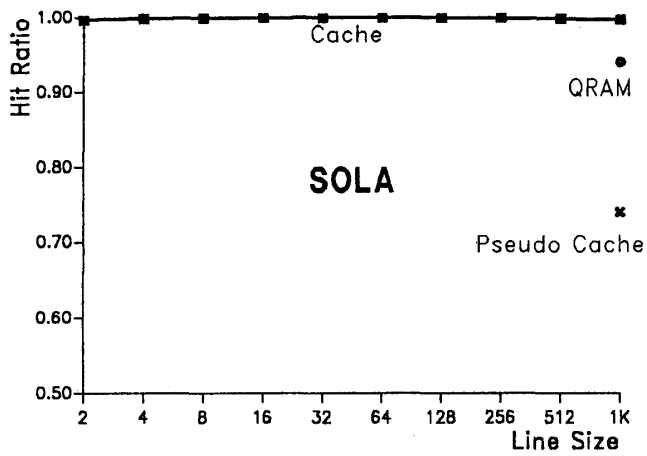


図1. ヒット率 (シングルバッファタイプ)

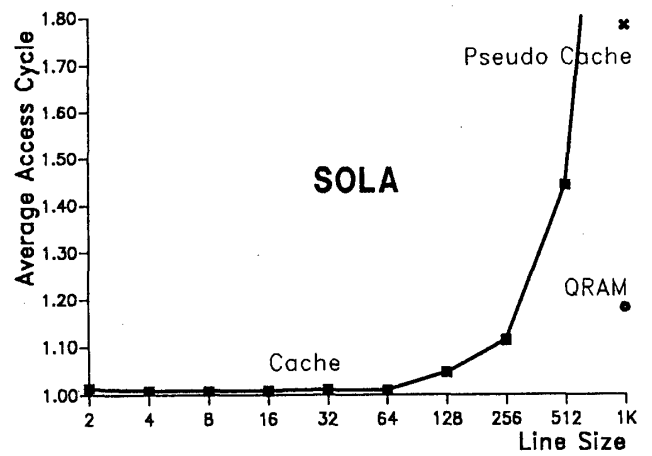


図2. 平均アクセスサイクル (シングルバッファタイプ)

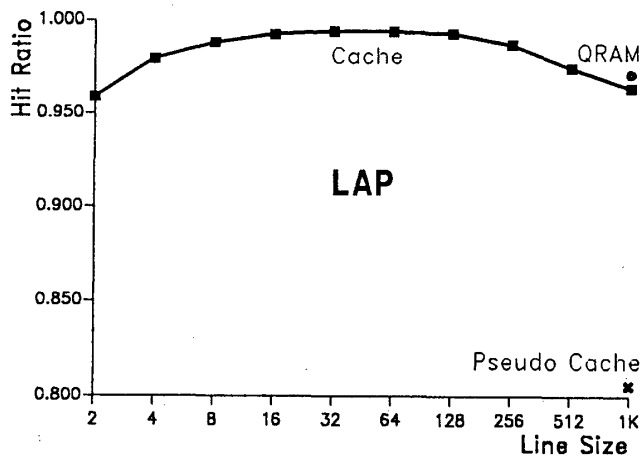


図3. ヒット率 (シングルバッファタイプ)

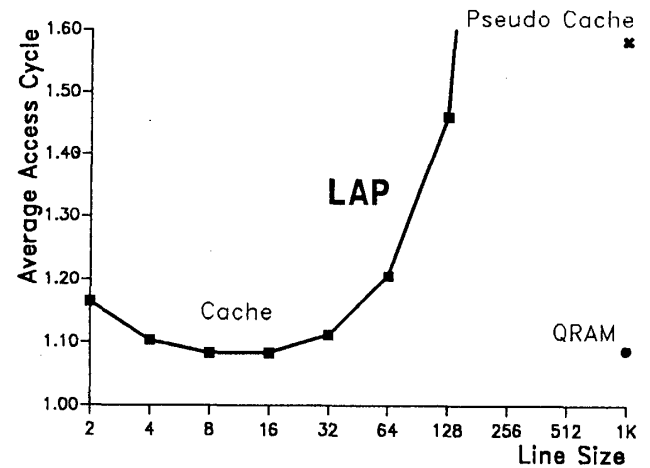


図4. 平均アクセスサイクル (シングルバッファタイプ)

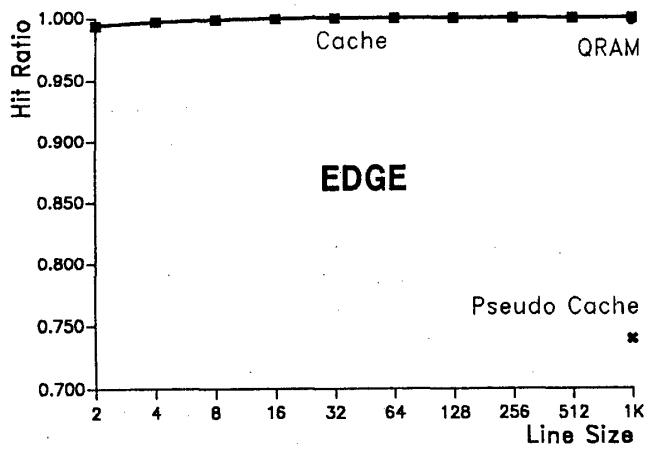


図5. ヒット率 (ダブルバッファタイプ)

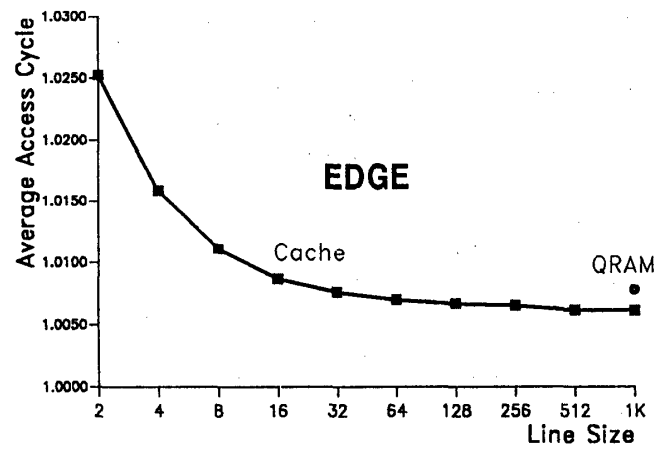


図6. 平均アクセスサイクル (ダブルバッファタイプ)