

汎用OSI 7層ボードの基本設計

2 Q-5

井戸上 彰 加藤 聰彦 鈴木 健二

国際電信電話(株) 上福岡研究所

1. はじめに

筆者らは、パソコンやワークステーションを対象として、CPUを搭載したボード上でOSIプロトコルを実行するOSI通信処理ボードの開発を行っている。本ボードは、ソフトウェアにより実現された従来のOSI製品に比べて、

- メモリ容量などに制限を持つパソコンでもOSIを実現できること
 - 計算機本体の負荷を軽減し、スループットの向上をはかることができること
 - 異なった機種への移植性が高いこと
- などの利点を持つ。

OSI通信処理ボードの一つの形態として、これまでにボード上でセッション層までをサポートするOSI 5層ボードの開発を行った^[1]。OSI 5層ボードは、16ビットCPU (NEC V50)、LAPBコントローラ、それぞれ512KバイトのROMおよびRAMを実装しており、PSPDN、PSTN、およびISDNを対象として、最大64Kbpsの伝送速度まで対応可能である。また、OSI 5層ボードのハードウェアをそのまま用い、特定のアプリケーション・プロトコルまでボード上で処理させる検討も行っている^[2]。

さらに、各種のアプリケーション・プロトコルが整備され、接続されるネットワークが多様化するに従い、より高い機能や処理能力を持つOSI通信処理ボードの開発が望まれる。このようなボードは

- 様々なアプリケーション・プロトコルをサポートする
- 多様なネットワークに柔軟に対応できるハードウェア構成を持つ

という意味で、OSIの全レイヤのプロトコルを汎用的にサポートし、高い処理能力を持ち十分なスループットを実現する必要がある。本ボードを「汎用OSI 7層ボード」と呼ぶ。本稿では、汎用OSI 7層ボードの基本設計として、その機能仕様とハードウェア構成について述べる。

2. 汎用OSI 7層ボードの機能仕様

汎用OSI 7層ボードは、次のような機能を満足することとする。

(1) 同一のハードウェアによって、FTAM、MHS等の複数のアプリケーション・プロトコルを同時に実行できること。

(2) PSPDN、PSTN、ISDNに加えて、LANや1次群ISDNなどより高速なネットワークも対象とし、数Kbpsから数Mbps程度までの伝送速度に対応可能であること。

(3) 下位層のハードウェアやソフトウェアは、対象とするネットワークに応じて開発するが、上位層のハードウェア・アーキテクチャやソフトウェアについては、ネットワークに依存せずに同一のものが使用できること。

(4) 上位層のプロトコル処理を行うために処理能力の高いCPUを搭載すること。

3. 汎用OSI 7層ボードのハードウェア構成

汎用OSI 7層ボードのハードウェア構成として、図1に示すような三つの候補をあげた。

(a) 高性能なCPUを1個用い、通信コントローラはCPUの配下にあるメモリに直接アクセスする方式

(b) 高性能なCPUを1個用い、CPUと通信コントローラの間で共有メモリを実装する方式

(c) 上位層を実行する高性能なCPUと、通信コントローラとインタフェースして下位層を実行するCPUの二つのCPUを搭載し、両者を共有メモリで結合する方式

通信コントローラの処理能力への影響と、様々なネットワークに対する適応性について、以上の各構成を比較検討した。

(1) 通信コントローラの処理能力への影響について

10Mbps程度までのネットワークを対象とする場合には、CPUに比べて通信コントローラのクロック周波数は低く、メモリにアクセスするスピードが遅い。

(a)の構成では、通信コントローラがメモリにアクセスする際にバスを占有するため、CPUが停止する。CPUが停止する時間の割合は、ある一定量のデータを転送するのに通信コントローラが必要とするクロック数とクロック周波数によって定まる。例えばLAPBコントローラ、μPD72107の場合

DESIGN OF GENERAL PURPOSE OSI 7 LAYER BOARD

Akira IDOUE Toshihiko KATO Kenji SUZUKI

KDD Kamifukuoka R & D Laboratories

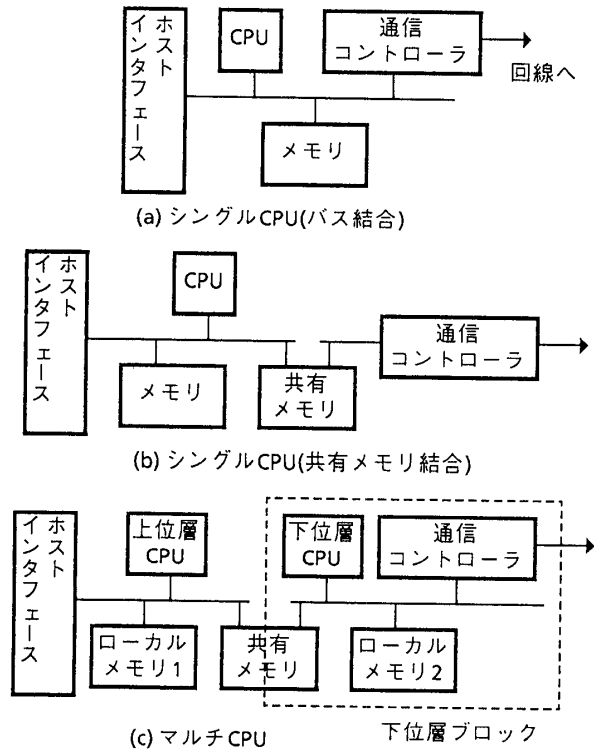


図1 汎用OSI 7層ボードのハードウェア構成案

では、1バイトあたりの転送に2クロック必要である。μPD72107の動作クロック周波数は8MHzであるので、CPUが停止する時間の割合は1秒あたりに転送するデータ量に応じて表1に示すようになる。

表1 LAPBコントローラによるCPUの停止時間

| 転送速度 (bps) | 必要クロック数 | CPUの停止する割合 (%) |
|------------|---------|----------------|
| 64K | 16K | 0.2 |
| 1M | 250K | 3.1 |
| 4M | 1M | 12.5 |

表1から、4Mbpsの速度で連続的に送受信を行えば、25%の割合でCPUが停止することがわかる。CPUの停止時間は通信コントローラのメモリ・アクセスのスピードによって決まるため、特に高性能なCPUと、メモリ・アクセス・スピードの遅い通信コントローラを組み合わせると、CPUの処理能力を無駄にしてしまう。

(b)の構成ではCPUと通信コントローラの間共有メモリにより、通信コントローラに起因するCPUの停止をさけることができる。

(c)の構成では通信コントローラが下位層用CPUに及ぼす影響については(a)と同様であるが、下位層用CPUは、通信コントローラの制御や下位層プロトコルの実行など、比較的負荷の軽い処理のみを分担させ、上位層用CPUで通信コントローラの影響を受けずにプロトコル処理に専念させることができ

る。この構成では共有メモリを通じたデータコピーによるオーバヘッドが生ずるが、このオーバヘッドはメモリ・アクセス・スピードが高速のCPUを使用すればそれだけ小さくなるため、(a)の構成において通信コントローラによって処理能力が低下する割合よりは小さいと考えられる。

ただし(b)と(c)の構成では、共有メモリのサイズによって性能が左右されるため、高いスループットを得るためには共有メモリ大きさを最適化が必要である。

(2) 様々なネットワークに対する適応性

(a)の構成は実装が比較的容易であるが、CPUと通信コントローラのインターフェースが、通信コントローラの仕様に従うため、ハードウェア設計を様々なネットワークに対して共通化できる柔軟性は無いと考えられる。

(b)の構成でも(a)と同様に、CPUと通信コントローラのインターフェースを、通信コントローラごとに設計する必要があるため、様々なネットワークに対して共通に用いることができない。

(c)の構成では、下位層CPUには対象とするネットワークや通信コントローラに応じて最適なものを採用することができ、さらに上位層CPUと下位層CPUのインターフェースは、下位層によらず統一することができる。従って、上位層のハードウェア設計やソフトウェアの変更なしに様々なネットワークに適用できると考えられる。

以上の検討から、十分な処理能力を実現でき、様々なネットワークに適用する上でハードウェアの設計上柔軟性が高い(c)の構成を採用することとした。

4. おわりに

本稿では、様々なアプリケーション・プロトコルやネットワークに対応できる汎用OSI 7層ボードの機能仕様とハードウェア構成について報告した。今後、ハードウェアの詳細設計や、下位層CPUと上位層CPUの機能分担、複数のアプリケーション・プロトコルのサポート方法、スケジューリングの必要性を含めたボード上のカーネルの機能、計算機本体とのプログラム・インターフェースなどのソフトウェア・アーキテクチャの検討を進める予定である。最後に日頃御指導頂くKDD上福岡研究所小野所長、浦野次長に感謝する。

参考文献

- [1]:加藤, 井戸上, 鈴木, “パソコン用OSI 5層ボードの開発,” 信学技法, IN 89-22, June 1989.
- [2]:小花, 加藤, 井戸上, 鈴木, “パソコン用FTAMボードの開発,” 1990年信学春季全大, B-654, Mar. 1990.