

上位階層考慮によるLSIピン割付手法

5M-4

伊藤 勉 石井建基 藤方健二 西山良範 柳田友厚
(日立製作所)

1. はじめに

計算機のより高速化を実現するために、従来のLSI内部の信号ディレイの短縮に着目したレイアウト技術¹⁾とともに、LSI相互間に渡る信号ディレイの短縮を考慮したLSIピン割付手法が重要になってきている。LSIピン割付とは、LSI相互間を接続する信号について、最適なLSIピンを選択する問題である。特に、ピン割付時、信号ディレイの短縮とともに、各種制約条件の遵守等考慮する項目が多く、問題が複雑である。

本稿では、この問題を解決するために、LSIが搭載されるプリント基板上の上位階層の信号の流れとその属性を考慮することにより、信号ディレイ短縮と制約条件遵守等で良好な結果が得られたので報告する。

2. 対象モデル

図1にピン割付の対象となるプリント基板の構成を示す。プリント基板はLSIが複数個搭載される2階層の構造に成っている。図2にLSIレイアウト・モデルを示す。LSIレイアウト・モデルは、内部セル列と外部セル列に大別される。内部セル列には論理を構成するセルが配置される。外部セル列は入出力バッファ群より構成され、入出力バッファにはピンに接続する外部セルが配置される。ピン割付では、外部セルの配置とその配置位置に接続可能なピンを選択する。

3. ピン割付の課題

図3にLSIピン割付の代表的な3つの課題を示す。

(1)配線長短縮 プリント基板上のLSI配置位置を参照して、他のLSIとの信号の接続関係を考慮しながら、LSIのピン割付をする必要がある。図3(1)の例では、LSI間を接続するプリント基板配線(*1)とLSI内部のLSI配線(*2)は、破線上のピンを選択すると配線長が長くなるため、実線上のピンを選択する必要がある。

(2)同時切替制約 同一のタイミングで立ち上がる出力信号(図3(2)のA信号とB信号)を同時切替信号と呼ぶ。給電能力の関係から、図2の入出力バッファに同時切替信号の割付数の制限がある。

(3)束線一括割付 束線とはレジスタの各ビットに対応するデータ信号であり、配線長を短縮するために、図3(3)の様にデータ信号の流れを考慮して、一括でまとまったピンに割り付ける必要がある。

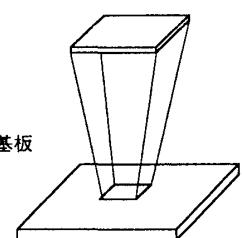


図1 プリント基板の構成

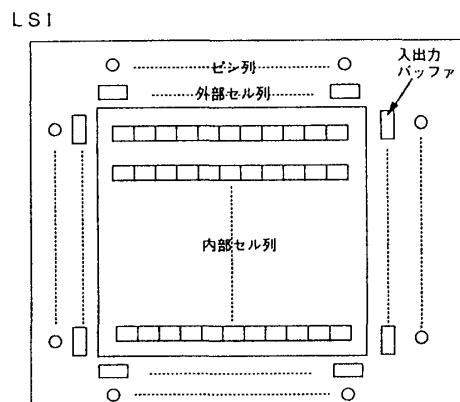


図2 LSIレイアウト・モデル

4. 割付手法

ピン割付処理を階層別に、プリント基板上のLSI間を対象とする概略割付とLSI内部を対象とする詳細割付の2つの処理により実現した。

(1)概略割付：配線長短縮と同時切替制約を考慮してピンの仮位置を決定するグループ・ピン割付手法を考案した(図4)。以下にこの手法について述べる。

(a)信号グループ生成 ピン割付する信号をその属性によりグループ化する。信号グループとして、同一束線ごとの束線グループ、LSIの同一内部セルに接続する信号を対象とするFAN-IN/OUTグループ、両グループに属さない単一グループの3種とした。

(b)評価値算出 信号グループごとに、各々のグループに属す信号についてLSI間の距離を求め、その値を合計して評価値を算出する。

(c)信号グループ割付 評価値の大きい信号グループの順番に、信号の接続方向に、グループ単位で割り付ける。同時切替制約の考慮として、出力信号の集中化を避けるために、入力信号との交互割付を行なった。

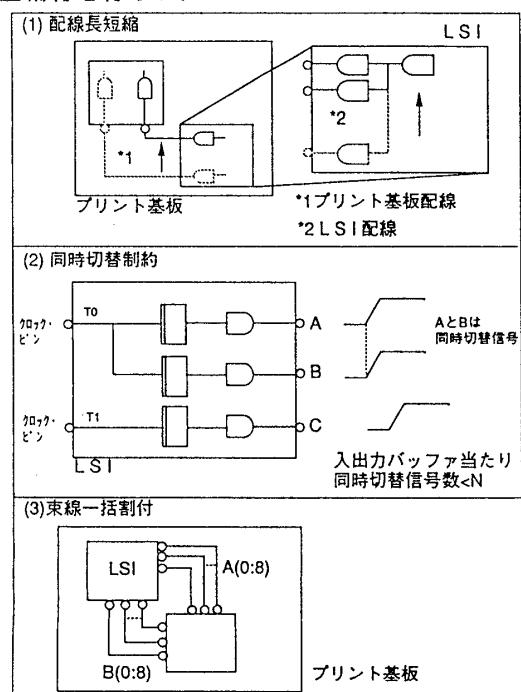


図3 ピン割付の課題

(2)詳細割付：概略割付のピンの仮位置について、LSI内部の制約を考慮して以下の手法により実際にピンを割り付ける。

(a)制約条件の検査 信号単位で、同時切替制約を満足しているかの検査を行なう。満足していない場合には、仮位置の周辺のピンに割りしなおす。

(b)改善割付 同時切替制約違反ピンについてペア交換法により改善割付を行なう。

5. 実験結果

上位階層を参照することにより、参照しない場合と比較して仮想配線長の総和を平均で約5.3%短縮できた。更に、同時切替違反LSIの品種数は1%以下であった。

6. おわりに

今後は、更に、信号ディレイ短縮及び制約違反の改善を図るとともに、バス・ディレイを考慮したピン割付手法を検討して行きたい。

[参考文献]

- Y.Ogawa,他:「Efficient Placement Algorithms Optimization for High Speed ECL Masterslice LSI'S」 Proc.23rd DAC, PP.404-410, 1986

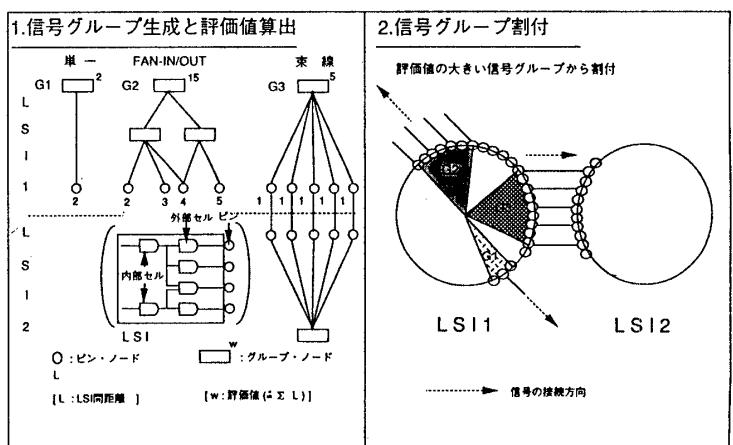


図4 グループ・ピン割付