

回路分割を用いた大規模回路の テストパターン生成法(Ⅱ)

4M-6

木村 敬* 勘田 芳正* 下野 武志**
* (北陸日本電気ソフトウェア㈱) ** (日本電気㈱)

1. はじめに

本稿では、大規模回路に対してスキャンパスを利用した回路分割を行い、テストパターンを作成する手法のうち、各分割回路ごとにテストパターンを作成する手段と、それらをまとめて回路全体のテストパターンを作成する手段について述べる。

2. テストパターン作成フロー

図1に回路分割処理後の回路全体のテストパターン作成フローを示す。

(1) 分割回路のテストパターン作成

分割回路に対しては、分割回路情報より、ATGプログラムでテストパターンを自動発生する。

(2) LSI内テストパターン作成

LSI単体テストパターンを用いてLSI内で閉じた回路のテストパターンを作成する。

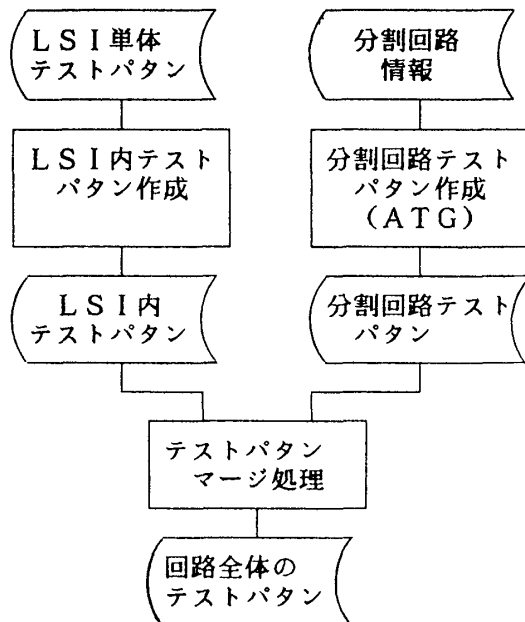


図1 テストパターン作成フロー

(3) テストパターンマージ処理

(1), (2)で作成されたテストパターンをマージして、回路全体のテストパターンとして使用できるように編集処理を行う。

3. 分割回路のテストパターン作成

分割回路に対しては、分割回路に含まれるLSIの入出力ピンに故障定義を行い、ATGプログラムによってテストパターンを自動発生する。ただし、以下のような特徴がある。

(1) 回路によっては、入/出力端子が存在しないことがある。

(2) スキャンF/Fを切り口としているのでスキャンF/Fのうち、スキャンインでしか参照されないものや、スキャンアウトでしか参照されないものがある。

今回は、その他に、後のテストパターンマージ処理を容易にするために、テストコマンドのシーケンスを以下のように統一した。

繰 り 返 し	↓	入力端子にデータを印加 スキャンイン 出力端子での値の比較 クロック入力 スキャンアウト
------------------	---	--

4. LSI内部のテストパターン作成

図2の中の斜線部分を、LSI内で閉じた回路(=スキャンパスで囲まれた回路)とする。

この部分は、次のシーケンスのテストパターンによって試験可能である。

繰 り 返 し	↓	スキャンイン クロック入力 スキャンアウト
------------------	---	-----------------------------

Test Pattern Generation System for Large Scale Circuits Using Partitioning (Ⅱ)

Takashi KIMURA * , Yoshimasa KANDA * , Takeshi SHIMONO **
* (NEC Software Hokuriku) , ** (NEC Corporation)

そこで、LSI単体のテストパターンを用いて、LSI内部回路のテストパターンを次のように作成することができる。

- (1) 元のLSI単体テストパターンの中で、スキャンイン、クロック入力、スキャンアウトのみを残したテストパターンを作成する。
- (2) 作成したテストパターンに対してシミュレーションを行う。

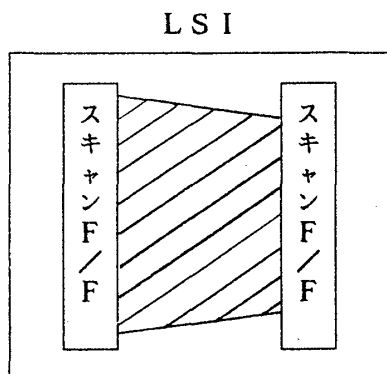


図2 LSI内部回路

5. テストパターンマージ処理

テストパターンマージ処理は、基本的には、個々の分割回路のテストパターンを、回路全体のテストパターンとして使用できるように編集する処理である。ただその際に、できるだけテストパターン容量(=パターン数)を減らすよう工夫している。

5.1 回路全体のテストパターン作成処理

個々のテストパターンを回路全体のテストパターンに編集するには、分割回路と回路全体との間の対応表があれば良い。それによって、回路全体での入力端子へのデータの印加やスキャンイン等のコマンドの作成を行える。今回の場合、対応は入出力端子、スキャンF/F全てについて名前に対応をとっている。

5.2 テストパターン容量を減らす処理

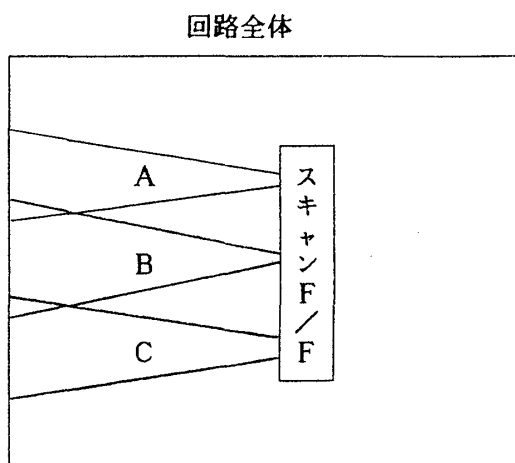
テストパターン容量をなるべく減らすようにするためには、分割回路のうち同時にテスト可能なものは、同時にテストしてしまえば良い。

分割回路に与えられるテストパターンの間で矛盾がなければ、同時にテスト可能である。一方、入力端子や入力のスキャンF/Fに重なりがあると、矛盾したテストパターンを与えてしまうため同時にテストできない(図3)。

従って次のようなことが言える。

- (1) LSI内部回路のテストパターンは、同時にテストすることが可能である。
- (2) 分割回路テストパターンについて、クロック端子、スキャン制御端子といった共通回路のみを共有する分割回路は、同時にテスト可能である。

このようにして、同時にテスト可能な分割回路を、一度にテストしてしまうようなテストパターンを作ることにより、全テストパターン容量を減らすことが可能である。



- AとCは同時にテスト可能
- BはAともCとも同時にテストすることは不可

図3 同時テストの可否判定条件

6. 成果

今回の回路分割によるテストパターン作成手法により、以下の成果を得ることができた。

- (1) ATGで処理する回路規模が小さいので少ないリソースで高検出率を得ることができた。
- (2) LSI内部回路については、LSI単体テスト用の高検出率テストパターンを用いるので、少ないリソースで質の高いテストパターンを得られた。
- (3) 各分割回路間の共有回路が少ないので、同時にテストできる分割回路が多く、テストパターン量をコンパクトにできた。

<参考文献>

- [1] 勸田, 小沢, 買手, 下野
「回路分割を用いた大規模回路のテストパターン生成法(I)」
情報処理学会第40回全国大会