

産業用コンピュータにおける高速・高密度実装基板のテスト容易化技術
4M-1

小室 浩 金城 守茂 漆畠 幸雄 青柳 恵三
(株式会社 東芝 府中工場)

1. はじめに

近年、産業用コンピュータ分野においても高速素子の採用、高密度実装、対称型マルチプロセッサ構成等の技術により、高性能・高信頼性・低価格のマシンが発表されている。このクラスのコンピュータでも高密度化に比例して、ボードテストが難しくなってきている。本稿は産業用コンピュータの演算制御部をモデルにした高密度実装基板を試作し、テスト容易化技術について評価したので実験および検討結果を報告する。

2. 高速化技術と高密度実装の問題点

試作基板に低消費電力、高集積度のCMOSゲートアレイ(50Kゲート/チップ、ゲート遅延時間400ps、348ピンフラットパッケージ)を実装し、小型化・高性能化を目指した。

演算制御部に必要な制御記憶やキャッシュメモリはアクセスタイム15ns、8Kワード×9ビット、SOJパッケージのCMOS-SRAMを採用した。その他周辺ICも従来のDIPタイプからSOPタイプへとパッケージを選択し、極力ボード上の配線長を短くするようにした。

マシンサイクル短縮のために348ピンゲートアレイ20個、SRAM131個、その他周辺ICを基板1枚に両面実装した。高密度化に伴いICのリードピッチが狭くなつた。特にゲートアレイでは、リード間は0.5mmである。このため、製造工程での半田不良・半田ブリッジなどの製造不良や、基板製造工数の増加によるパターン切れ等の不良が発生すると考えられる。しかし、従来のテストツールでは不良箇所の検出は困難なので、試作基板では基板テストを容易化する機能を追加し評価を行つた。

3. オンボードスキャンテスト

今回は、製造後ボード上でのスキャンテストを実施した。試作基板におけるスキャンデータバスの接続を図1に示す。ゲートアレイ20個中1個はスキャンテスト用ゲートアレイである。このゲートアレイから残り19

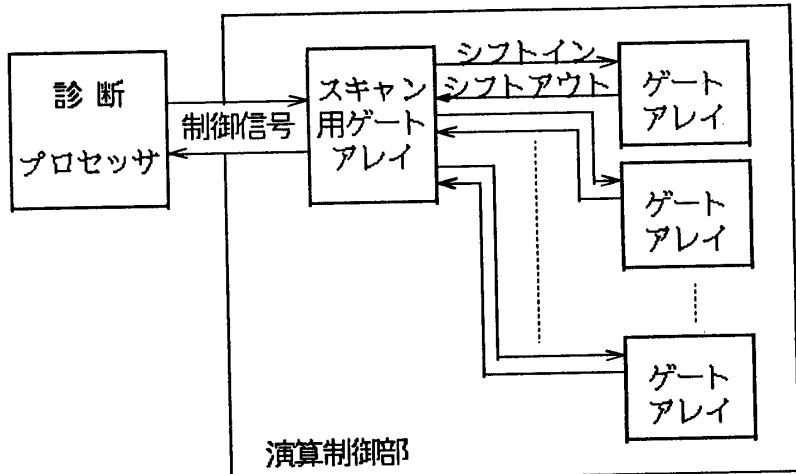


図1 演算制御部をモデルにしたスキャンデータバス接続図

個のゲートアレイにスキャンデータバスが接続されている。診断プロセッサは被診断ゲートアレイに診断用データを送出終了後、そのゲートアレイを動作させた後に、そのデータから不良箇所の判定を行う。

次にオンボードスキャンテストを行うための設計方法と効果について記述する。

3-1 オンボードスキャンテストを考慮した基板設計

ゲートアレイのオンボードスキャンテストの機能を基板に付加する場合、次の制約ルールに従い設計した。

- a) 外部の制御信号により、全ゲートアレイへ接続されている入力信号がハイインピーダンス状態にできる構成になっている。(図2-a)
- b) 同一ゲートアレイの出力信号にワイヤードオア回路の接続を取らない。(図2-b)
- c) ゲートアレイにスキャン機能をサポートしている。

3-2 オンボードスキャンテストによる効果

上記オンボードスキャンテストを実施することにより、部品実装時の製造不良(半田不良・半田ブリッジ)及び基板不良(パターン切れ)がプローピングすることなく検出することが可能となった。ゲートアレイ19個の半田ブリッジの有無を調べるのに必要な時間は約1秒である。

また、基板に実装された状態で個々のゲートアレイの機能をテストすることができるため、故障時の原因解析に要する時間を大幅に短縮することができる。50Kゲートの論理を含むゲートアレイの診断処理時間は5分程度であるが、さらに処理時間を短くすることが今後の課題である。

さらに、インサーキットテスタ等の高価な装置を購入することなしに、ボード解析が可能となる。

4. おわりに

以上のハードウェア構成とオンボードスキャンテストにより実装後のボードテストを容易にし、故障検出時間を削減できた。しかし、今回は実装ICの内ゲートアレイのみの適用であったため、その他のIC故障は従来のテストツールで解析を行っている。将来は、JTAG (Joint Test Action Group)において規格化されつつある各社統一のテストルールに沿って、標準ICにまでテスト範囲が広がることが予想される。

今後素子技術・実装技術の進歩による高速化・高密度化が益々進み、ICレベル・ボードレベルを問わずテスト容易化技術は重要な課題である。

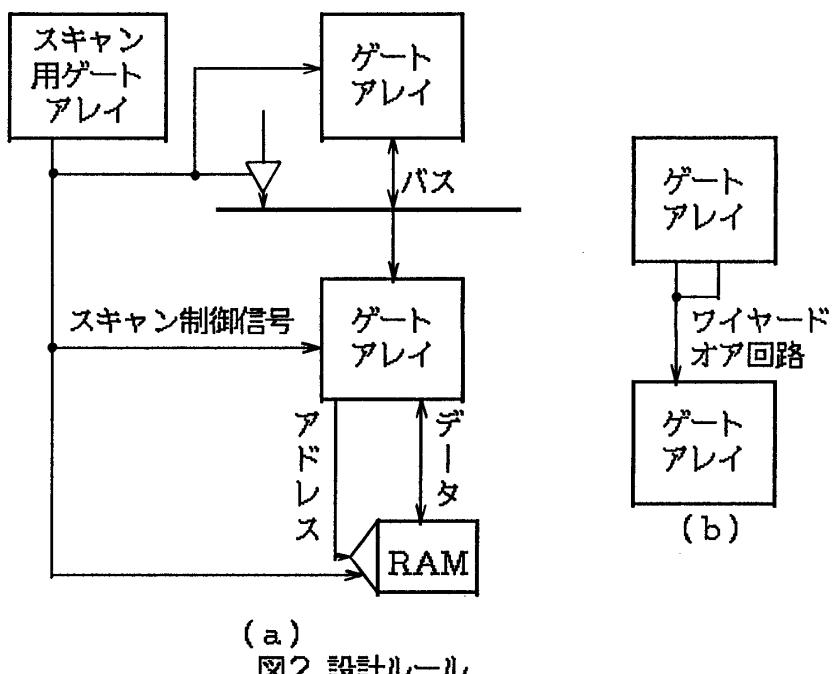


図2 設計ルール