

スキャン論理設計手法に関する一考察

3M-4

*北澤保則 *村上智一 *兼田太 *鈴木和夫 **森照夫 **東暁夫

* (株) 日立コンピュータエレクトロニクス ** (株) 日立製作所

1. はじめに

電子計算機のスキャン論理を設計する場合、スキャン論理で使用するゲート数をより少なく設計する必要がある。しかし従来手法では、装置に余分なゲートを作り込む可能性があった。この問題に対処するためスキャン論理の信号に着目し、不要ゲートを削減するスキャン論理設計手法を考案した。本文ではその内容について報告する。

2. スキャン制御論理について

電子計算機のスキャン論理はスキャンイン方法が複数種ある。論理設計者は個々のフリップフロップと、それに適用するスキャンイン方法の名称(スキャンタイプ)をスキャンマップに定義する(図1)。スキャンイン方法の具体的な論理はスキャン制御論理と呼び、定型化してある(図2)。

スキャンアドレス バイトビット	フリップ フロップ名	出力 極性	スキャン タイプ
0 0	GREG0	P	A0
0 1	GREG1	P	A0
0 2	GREG2	P	A0
0 3	CONTROL	P	C1

図1 スキャンマップ

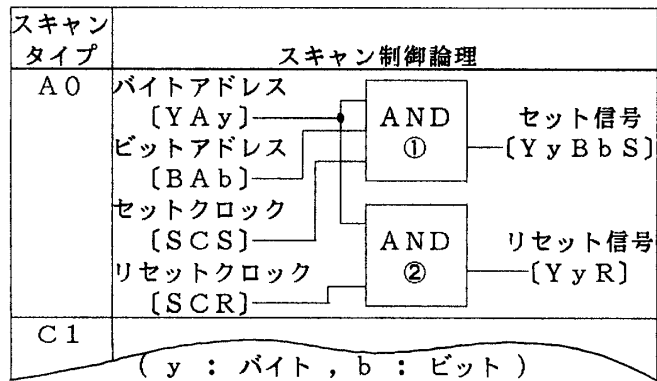


図2 スキャン制御論理

3. スキャン論理の設計手法

論理設計者はスキャンマップと、定型化したスキャン制御論理を記述したマニュアルをもとに、スキャンアドレス順にフリップフロップとスキャン制御論理を接続し、スキャン論理を設計する(図3)。

(1) 従来の問題点

従来は、フリップフロップ毎に定型化したスキャン制御論理を接続するため、同一機能を持つゲート(図3の②)を複数作り込んでしまう可能性があった。

(2) スキャン論理のゲート数削減手法

今回は、スキャン制御論理の出力信号が、同一機能を持つゲートから出力されている場合、ゲートの許容ファンアウトが許す限り同じゲートを使用することにより、余分なゲートを削減するスキャン論理設計手法を考えた。

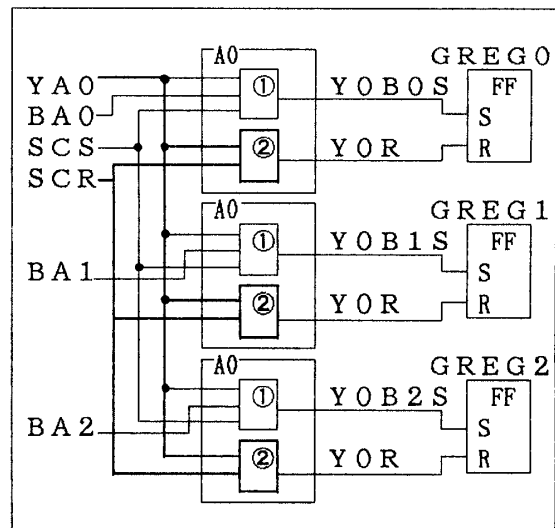


図3 スキャン論理設計手法

A Consideration of Method for Scan Logic Design

Yasunori Kitazawa, Tomokazu Murakami, Futoshi Kaneta, Kazuo Suzuki, Teruo Mori, Akio Azuma
Hitachi Computer Electronics Co., Ltd., Hitachi Ltd.

以下、その具体的手法を説明する。

- a. スキャン制御論理の入出力信号に対し、論理機能およびスキャンアドレスとの対応がつく信号名を付ける（図2の〔 〕内）。
- b. 図2よりスキャン制御論理入出力信号表を作成する（図4）。許容ファンアウトの欄には出力信号の許容ファンアウト値を記入する。
- c. スキャンマップとスキャン制御論理入出力信号表より、スキャン制御論理の出力信号に実際のスキャンアドレスを代入した信号名をつける。その信号の使用数をカウントして出力信号数一覧表を作成する（図5）。
- d. 出力信号使用数一覧表の信号使用数を、図4の出力信号名に対応する許容ファンアウトで割り算し、共用できるゲート数を求める。
- e. c から d までの処理を、スキャン制御論理の入力信号に対して行い、スキャンアドレス信号の出力ゲートなどについても共用できるゲート数を求める。

上記の手法により得たスキャン論理で共用できるゲート数と、スキャンマップおよびスキャン制御論理を記述したマニュアルを使用することにより、スキャン論理を設計する（図6）。

4. 成果

スキャン論理設計手法の改善により表1に示す成果を得ることができた。

スキャンタイプ	入力信号名	入力数	出力信号名	許容ファンアウト
A0	Y Ay	1	Y y B b S	5
	B A b	1		
	S C S	1		
	Y Ay	1	Y y R	5
S C R	1			
C1				

(y : バイト , b : ビット)

図4 スキャン制御論理入出力信号表

出力信号名	信号使用数
Y O B O S	1
Y O R	1 + 1 + 1 = 3
Y O B 1 S	1
Y O B 2 S	1
⋮	⋮
⋮	⋮
⋮	⋮

図5 出力信号使用数一覧表

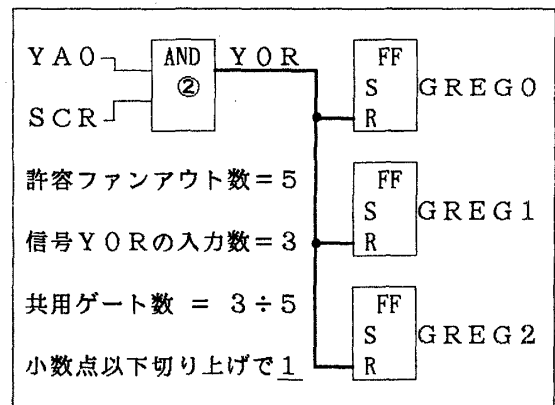


図6 ゲート数を削減するスキャン論理設計手法

表1 成果

項目	従来手法との比率
スキャン論理ゲート数	92 %