

MOSセルを用いた2段論理回路網の設計

3M-2

南雲正彦, 西谷泰昭, 清水賢資

群馬大学工学部

1 はじめに

MOS回路網は現在のIC技術の中心の1つである。また、1個のMOSセルはNANDゲートやNORゲートよりも複雑な論理を実現できるため、MOSセルを用いた論理回路網の設計方法を開発する必要がある。我々は、Y.M.EL-Ziqの行った積項の分類法を拡張して、両立類という概念を提案し、この概念に基づき論理関数をグラフに変換する。ついで、2段回路網の設計問題は、このグラフの分割問題になることを示す。

2 積項の分類からグラフの分割へ

2.1 MOSセル

ここで考えるMOSセルは、ドライバMOSFETを直並列接続したものに1つの負荷MOSFETを接続したものであり、1つのMOSセルは1個の負関数を実現する。1次入力(外部入力)は肯定リテラルのみであると仮定する。

2.2 両立類の定義とグラフ表現

論理関数 f の積和形の式を $f = c_1 + c_2 + \dots + c_m$ (c_i は積項)とする。その各積項 c_i を肯定リテラルの積 p_i と否定リテラルの積 n_i の積で表すと、 $f = p_1 n_1 + p_2 n_2 + \dots + p_m n_m$ となる。両立類を以下のように定義する。

定義 2.1 両立 “ $p_i n_j \subseteq f$ かつ $p_j n_i \subseteq f (i \neq j)$ ” が成立するならば、そしてその時に限り“積項 c_i と c_j は互いに両立する”と言う。

注: $\subseteq$ は、左辺を1とする入力ベクトルが必ず右辺を1とすることを意味する。

定義 2.2 両立類 ある積項が自分自身以外のある積項との間に両立関係を持つとき、この積項を“両立類”として分類する。

定義 2.3 非両立類 両立類以外の積項を、“非両立類”として分類する。

さらに、特殊な分類として次の2つを考える。

●否定項

否定リテラルのみの積項であり、各積項は $p_i n_i = 1 \cdot n_i$ である。

●肯定項

肯定リテラルのみの積項であり、各積項は $p_i n_i = p_i \cdot 1$ である。

このように定義する両立類を次のようなグラフで表す。

定義 2.4 積項と両立関係の、グラフによる表現

・各節 c_i は、各積項 c_i を表す。

・各枝は、その両端にある節 c_i と c_j に相当する積項 c_i と c_j が互いに両立することを意味する。

定義 2.5 クリーク グラフ中の節の部分集合 $C = \{c_1, c_2, \dots, c_k\}$ が完全グラフである時、 C を“クリーク”と呼ぶ。さらに、 C にそれ以上節を加えたら完全グラフでなくなる時、 C を“極大クリーク”と呼ぶ。

以上のようにして求めたグラフの一例を図1に示す。図中の実線も点線も、共に両立関係を表しており、孤立した節は非両立類である。

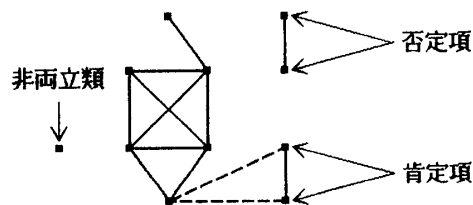


図1. 両立関係をもとにした論理関数のグラフ表現

このようなグラフに関して次のような定理が成り立つ。

定理 2.1 m 個の節からなるグラフの k 個の節 $c_1, c_2, \dots, c_k$ が1つのクリークを構成しているとき、その頂点に相当する積項は、その肯定リテラルの積の和と否定リテラルの積の和に分け、 $f = (p_1 + \dots + p_k)(n_1 + \dots + n_k) + c_{k+1} + \dots + c_m$ と表すことができる。

証明 $(p_1 + \dots + p_k)(n_1 + \dots + n_k)$ を展開すると、 $p_i n_i$ と $p_i n_j (i \neq j, j = 1 \sim k)$ に成る。ここで、前者は c_i であり、後者は両立の定義により関数式 f の内項である。

定理2.1の肯定リテラルからなる部分は正関数であるから、出力段MOSセル以外にもう1つのMOSセルを必要とする。従って、グラフをより少ないクリーク

⁰Design of two-level logic networks using MOS cells.

数で分割した方が、論理関数をより少ない MOS セルで実現できることになる。MOS セルによる論理関数の実現問題は、このようなグラフを最小数のクリークへ分割する問題へと帰着させることができる。

2.3 グラフの分割

両立関係を表したグラフについて、次の定理が成り立つ。

定理 2.2 全ての積項が最小項であるとき、両立類の概念を用いて構成したグラフを最小数のクリークに分割すれば、MOS セル数最小の 2 段回路が得られる。

(証明) 省略

グラフのクリークを見つける問題は NP 完全であるから、全ての積項を最小項にすることは非常に時間のかかる問題となる。そこで、積項を主項に限定して近似解を求めることを考える。

定理 2.3 否定項あるいは肯定項と、これらのいずれにも属さない積項 c が両立するならば、その積項 c は主項ではない。

(証明) 省略

この定理により、積項を主項に限定すれば、グラフから否定項の集合と肯定項の集合ならびに非両立類を除去した後、最小数のクリークに分割すれば良いことがわかる。そして、このようなグラフを実現する際に必要な MOS セル数は、

- (1) 出力段用として 1 個。
 - (2) 否定項の集合は、全体で出力段 MOS セルの 1 部として実現できる。
 - (3) 肯定項の集合は、全体を 1 個の MOS セルで実現できる。
 - (4) 両立類を表すグラフを、最小数のクリークへ分割した時の、クリーク数に相当する数の MOS セル。
 - (5) 非両立類に分類された積項のうち、否定項以外の積項に相当する数の MOS セル。
- である。

3 実験結果

非冗長積和形を構成する主項の中で両立類に分類される主項の割合を調べ、グラフ作成までの時間を計測した。使用したデータは、4 変数から 8 変数まで各々 350 個である。各データは、乱数を用いて発生させ、論理式簡化アルゴリズム ESPRESSO-II により主項からなる積和形にしたものである。計算機上では、各主項を cube 表現で扱っている。実験の結果、ほとんど全ての主項は他のなんらかの主項との間に両立関係が成立し、両立類に分類される。ほとんどの主項が、分割されるグラフの対象になるという意味では、両立類は有効な概念である。またグラフ作成時間 T は、変数の数を

n 、積項数を c として、実験的には、ほぼ次式

$$T = (0.17 \cdot 10^{-5}) \cdot 5^n$$

あるいは、

$$T = (0.35 \cdot 10^{-4}) \cdot c^{2.6}$$

で表され、指数的に増加してしまふことがわかる。比例係数の大きさは計算機の性能やプログラミング技術によるところも多いが、cube 表現したときのメモリ参照回数のオーダー

$$\text{上限: } c^2 \cdot \left\{ \frac{11n}{5} + \frac{2^{n+1}}{5} \right\} \text{ 回}$$

$$\text{平均: } c^2 \cdot \left\{ 2n + 2^{\frac{n}{2}} \cdot \frac{3}{10} \right\} \text{ 回}$$

$$\text{下限: } 2nc^2 - c(n-2) \text{ 回}$$

をもとに考察した結果、オーダーとしては妥当な式であることが確認できた。

4 おわりに

MOS セルを用いた 2 段論理回路の設計問題を、グラフの分割問題に帰着させた。グラフの分割を高速に行う発見的手法の開発が、今後の課題である。

参考文献

- [1] Y.M.El-Ziq, S.Y.H.SU: "Computer-Aided Logic Design of Two-level MOS Combinational Networks with Statistical Results," IEEE Trans.Comput., c-27,10, pp.911-923, Oct.1978

