

性能シミュレータの開発

2M-5

中水流敏朗 丸山光行
富士通(株)

1. はじめに

トレース駆動によるシミュレーションはキャッシュの評価、新機構やパイプライン構造の評価などに使われる。かなり詳細なレベルの性能シミュレータの記述までも高速性の要求のため、PL/Iなどの汎用言語が使用される場合が多い。論理シミュレーションを高速に実行する専用機(シミュレーション・プロセッサ; SP)が使用可能となり、記述言語としてハードウェア記述言語(DDL)を使って、シミュレータを開発試作したので報告する。

2. シミュレーション・システムの概要

図1はシステムの概要であり、SP上のシミュレータに対してはホスト経由でトレースが渡される。特に、通信オーバーヘッドを減らすためにデータはブロック化されており、デブロックして本体に渡す(TRACE-READ)。ホストの制御ジョブはDAの設計支援システムのジョブそのものである。システムには次のような特徴がある; ①DDLは当然ながら並列動作が記述し易く、論理設計支援システムの便利なデバック環境を享受できる。②SPの採用により約600K命令ステップの比較的長いシミュレーションを実用的な時間で実行できる。

3. シミュレーション・モデル

図2は採用した汎用機の下位機種の評価モデルの概略構成である。以下はこれの簡単な説明である; 命令フェッチ機構; 命令フェッチの回数などを正確に計数できる程度に細かくシミュレートする。命令処理パイプライン; 各種インターロック/バイパス制御のレベルまでシミュレートする。特にマイクロ

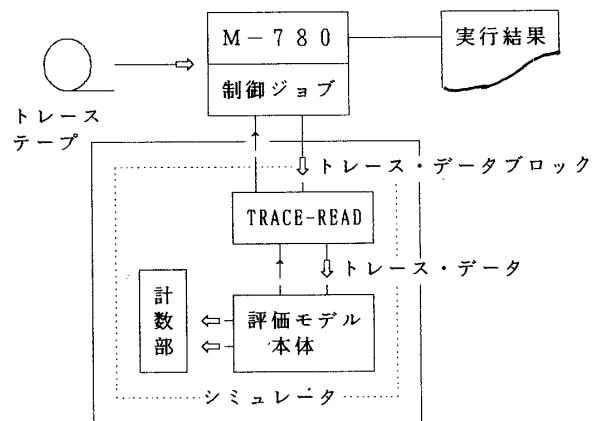
のモデルではフロー制御を前処理、本体、後処理の3つの部分で表現する。またその動作指示としてオペランド指示、フェッチ/ストア指示、アドレス更新/長さ更新指示などがある。記憶制御; TLB、BS登録簿への登録管理をシミュレートする。BSの更新方式はスワップ方式である。主記憶制御; インターリーブを考慮しない簡単なレベルのもの。

4. 実行性能とまとめ

下表1のように約600K命令ステップに対して約3時間となり実用的な値となった。詳細レベルのシミュレータをDDLで記述しても実用的であることが確認できた。今後これによりインターロックペナルティなどを得て行く予定である。

表1. 実行性能(約600K命令トレース)

マシン	実行時間	性能比率
M-780	約70時間	1
SP	約3時間15分	22



SP (Simulation Processor)
図1. シミュレーション・システム概略

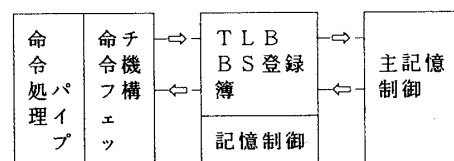


図2. 評価モデル本体