

論理合成エキスパートシステムLODES

1M-5

- タイミング解析ツール -

高岡 昇二 松本 典子 植田 雅彦 西山 保
松下電器産業(株) 半導体研究センター

1. はじめに

我々は、論理合成エキスパートシステムLODES¹⁾の開発を行っている。現状の論理合成システムで生成された回路は、タイミングが保証されていない。そこで、設計段階での厳密なタイミング評価を行うために、タイミング解析ツールを開発した。本ツールとテクノロジーマッピングとを統合することにより遅延制約を満たす高品質な回路の合成が可能となった²⁾。本稿では、本タイミング解析ツールの特徴について述べる。

2. タイミング検証手法

タイミング検証手法には、ダイナミック手法とスタティック手法がある³⁾。前者は、検証できる範囲が設計者が入力したテストベクタに依存するため、全論理パスを検証することは事実上不可能である。後者は、テストベクタに依存しないので、論理的に意味のないパス(false path)をも検出してしまい、過大評価になる可能性があるが、実用的計算時間で遅延が求められる。これより、本タイミング解析ツールは、高速処理を優先したスタティック手法を採用した。

スタティック手法には、クリティカルパス法とパス列挙法があり、前者はクリティカルパスのみ解析する方法であり、後者は全てのパスを列挙し解析する方法である。本ツールは合成回路の詳細なタイミング解析を行う必要があるため、クリティカルパス以外のパスも解析可能なパス列挙法を用いた。

3. 遅延計算法の特徴

本タイミング解析ツールは、以下の特徴を持っている。

- ① テストベクタを使用せず、ネットリストをもとにスタティックな遅延計算を行う。
- ② 論理図面上で始点、終点を指定することにより、自動的に目的のパスの遅延時間の算出を行う。
- ③ 仮想配線遅延による遅延時間の増分を考慮した遅延計算を行う。
- ④ 遅延時間は、素子の論理動作を考慮にいれRISE,FALL及びMIN,MAXの値による評価を行う。

4. 遅延計算を用いた解析機能

本タイミング解析ツールは、合成結果の論理図面上で、指定したパスの評価を行う(図1)。タイミング解析は、指定された範囲内の論理パスの遅延時間を求め、ユーザの求めるパスのリストアップを行う。

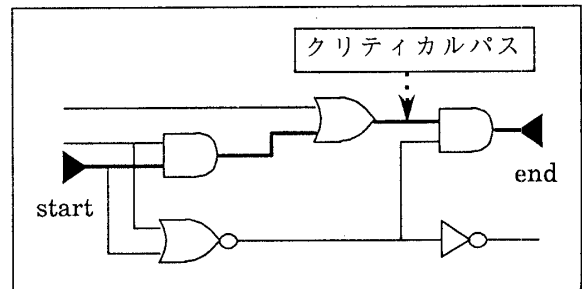


図1 論理図面上のパス指定の例

(1) 組合せ回路

組合せ回路に対して行える遅延計算における指定可能なパスの種類は、以下の5種類である。

- ① クリティカルパス
- ② 全ての出力ポートまでのパス
- ③ 任意のネットから出力ポートまでのパス
- ④ 入力ポートから任意のネットまでのパス
- ⑤ 任意のネット間のパス

上記②~⑤の指定されたパスに対してリストアップする条件は以下の4種類である。

- ① 全てのパス
- ② 最大遅延を持つパス
- ③ 最小遅延を持つパス
- ④ 制約以上の遅延を持つパス

(2) 順序回路

順序回路に対する機能は、以下の2種類である。

- ① セットアップタイム、ホールドタイムを満足しないパスの検出
- ② 最大動作周波数の算出

(3) ブロック間定義

また、ブロック間定義として、次のような遅延計算における回路の条件を指定できる。

- ① 入力信号の到達タイミング
- ② 入力に対する駆動力
- ③ 出力ポートの負荷容量

Timing Analyzer in Logic Synthesis Expert System LODES

Shoji TAKAOKA, Noriko MATSUMOTO, Masahiko UEDA, Tamotsu NISHIYAMA
Matsushita Electric Industrial Co.,Ltd.

5. タイミング解析処理

本タイミング解析ツールの処理の流れを図2に示す。入力は論理回路のネットリストとそれに対応する遅延ライブラリであり、出力はユーザの求めるパスとパスの遅延時間、またはセットアップホールドタイムの満足しないフリップフロップである。

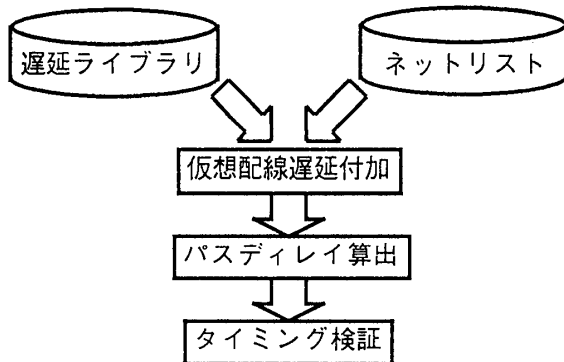


図2 処理の流れ

(1)仮想配線遅延付加

各ゲートの駆動力、入力容量、ファンアウト数、及びチップサイズ(総ゲート数)より仮想的に配線遅延を求めるものである。仮想配線遅延時間は、製造バラツキ、温度変動、電源変動等を考慮にいれ、RISE,FALLともにMIN,MAXの値を求める。

(2)パスディレイ算出

回路データの全パスのディレイ算出を行う。本タイミング解析ツールは、ある始点(レジスタピン、入出力ピン、回路中の任意のネット)から始まり、終点(レジスタピン、入出力ピン、回路中の任意のネット)に到達するまでの全ての組合せの論理パスを列挙し、遅延時間を計算する手法を用いている。

(3)タイミング検証

タイミング検証部では、パスディレイ算出部で算出した遅延をもとに下記の条件でセットアップホールドタイムのチェックを行う。

1)セットアップチェック

最大遅延+SETUP+SKEW<クロック周期

2)ホールドチェック

最小遅延>HOLD+SKEW

6. 評価

本タイミング解析ツールを、実際の回路に適用した場合に、クリティカルパス検出に要する処理時間の評価結果を示す。図3に、ゲート数と処理時間の関係を示す。ここで、本ツールは全パスを解析するため、ゲート数が増加するにつれ処理時間の増加の割合も増大する特性を示す。

図4に、回路中の始点数と処理時間の関係を示す。始点数が増加するにつれ論理パスも増加するので、始点数に対する処理時間の関係は、比例の特性を示している。

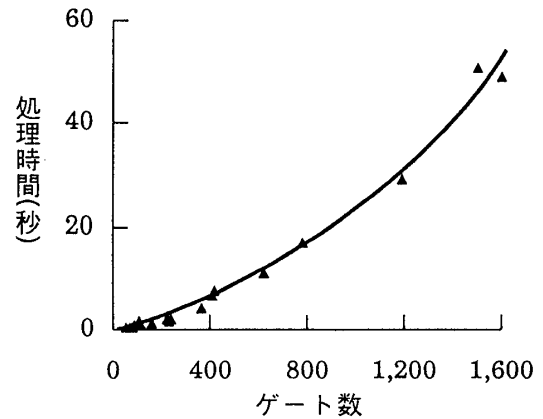


図3 ゲート数と処理時間の関係

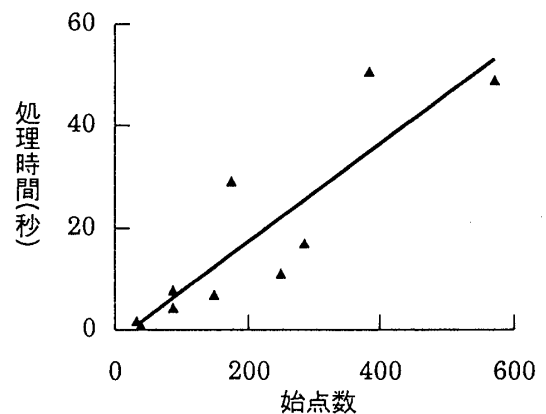


図4 始点数と処理時間の関係

7. おわりに

論理合成エキスパートシステムLODESで用いるタイミング解析ツールを開発した。本ツールとテクノロジーマッピングとを統合することにより、遅延制約を満たす最適な回路の生成のサポートが可能となった。

今後の課題として、スタティック手法で問題となるfalse pathを除去することで、精度の向上を図る予定である。

参考文献

- 1) 西山, 植田, 松中: 論理合成エキスパートシステムLODES, 計測と制御 Vol.27 No.10, pp.923-924, 1988.
- 2) 松本, 高岡, 植田, 西山: 論理合成エキスパートシステムLODES-テクノロジーマッピングにおけるタイミング調整機能-本大会予稿集.
- 3) R.B.Hitchcocks: Timing Verification and the Timing Analysis Program, 19th DAC, pp.594-604, 1982.