

## 論理合成エキスパートシステムLODES

### 1 M-4 -テクノロジーマッピングにおけるタイミング調整機能-

松本 典子 高岡 昇二 植田 雅彦 西山 保

松下電器産業(株) 半導体研究センター

#### 1. はじめに

論理設計の工数削減のためには、論理合成システムの実用化が必要不可欠である。ところが、現状の論理合成システムで生成された回路は、タイミング等への考慮が不十分であり、そのままでは使用できないという問題点がある。我々は、論理合成エキスパートシステムLODES<sup>1)</sup>を開発中である。本システムでは、より厳密なタイミング検証を行うためのタイミング解析ツール<sup>2)</sup>を開発し、特にテクノロジーマッピングにおけるタイミング調整機能に組み込んだ。本稿では、本タイミング調整機能の特徴について報告する。

#### 2. システム概要

図1にLODESの構成を示す。本システムは、ハードウェア記述言語による機能記述、機能図、論理式・真理値表のいずれかで設計した機能仕様、あるいは既設計回路のネットリストから、特定のテクノロジーに適合した最適な論理回路を自動合成する。合成結果は論理図自動生成により、論理図として出力される。

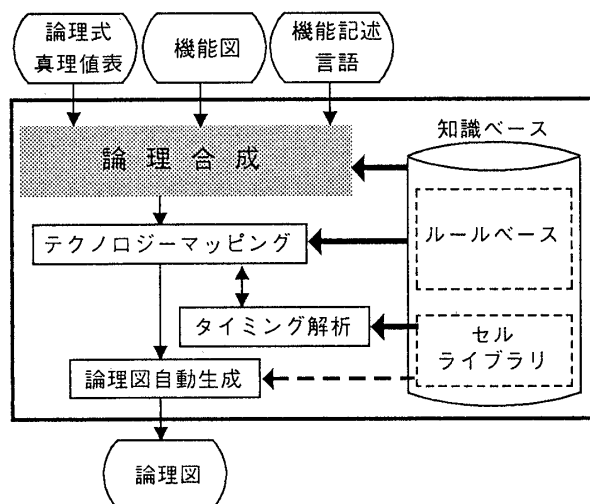


図1 LODESのシステム構成

#### 3. テクノロジーマッピング

テクノロジーマッピングでは、合成された論理回路のネットリストに対して、回路最適化、回路調整、およびセルへの割り付けを行う。本システムでは、熟練設計者並みの高品質な合成を行うために、ルールベースシステムを採用してい

る。このようなシステムであっても、タイミング面でのさまざまな制約には対応できないという問題点がある。そこで、本システムでは、タイミング解析ツールを組み込み、特にテクノロジーマッピングにおいて高精度なタイミング調整機能を開発した。以下に、本システムのテクノロジーマッピングの特徴を示す。

- (1) 回路の面積・遅延のトレードオフをパラメトリックに選択可能
- (2) 割り付けセルを予測してタイミング検証を行うことによる高精度な自動タイミング調整
- (3) 論理図上で対話的に行えるパス指定によるタイミング調整
- (4) セルのファンアウト、入出力ポートの遅延やゲート駆動力等の制約を考慮した回路調整
- (5) セルライブラリからのルールの自動生成によるテクノロジー変更への容易性

#### 4. タイミング調整機能

##### 4.1 タイミング調整手法

ゲートレベルでの局所変換やゲート分割等による従来のタイミング調整には、遅延をテクノロジー非依存のゲートに与えた遅延値の和や論理段数で評価するものが多い。また、テクノロジーを考慮して遅延を評価するシステムでも回路変換を出力側から順に行う必要があり、大局的なタイミング調整は望めない。これらの従来システム<sup>3),4)</sup>は主に組合せ回路のクリティカルパスの遅延削減を対象としており、順序回路のタイミング調整は扱えない。そこで、本システムでは、タイミング解析ツールを組み込み、仮想配線遅延やセットアップ・ホールドタイム等を考慮したタイミング検証を行いながら、タイミング調整を行う。この際、ゲートレベルでのタイミング検証も、割り付けられるセルを予測して、ターゲットテクノロジーのセルレベルで行う。

本システムにおけるタイミング調整は、

- (1) 回路のクリティカルパスの遅延削減
- (2) 特定パスの遅延削減
- (3) クロック周期に対するレジスタ間の遅延調整等の機能を持つ。これらの機能は、タイミング解析ツールが検出するパスにタイミング調整ルールを適用することによって実現している。タイミング調整ルールには、遅延削減ルールやクロック信号のバッファリングに関するルール等がある。遅

延削減ルールの例を図2に示す。これは、ゲートの並列化によってクリティカルパスの遅延を削減するルールの一例である。

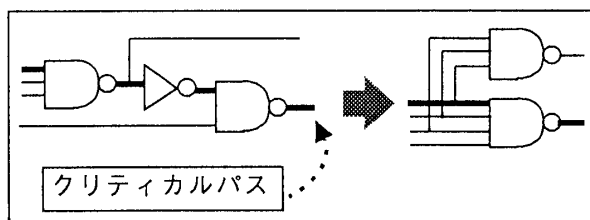


図2 遅延削減ルールの例

#### 4.2 自動タイミング調整

テクノロジーマッピングを行う際に、予め回路のタイミング制約を与えて、制約を満足する回路を自動的に合成する。この自動タイミング調整は、設計時に既に回路遅延が見積られていれば非常に有効である。以下に処理手順を示す。

##### ① タイミング制約の設定

制約として、入力ポート(またはレジスタの出力)から出力ポート(またはレジスタの入力)にいたる遅延、クロック周期等を設定する。

##### ② 割り付けセルの予測

セル割り付け前のゲートの接続状態をもとに、セルライブラリを参照して、割り付けられるセルを予測する。

##### ③ タイミング解析

タイミング解析ツールを用いてタイミング検証を行い制約を満たさないパスを検出する。

##### ④ タイミング調整ルールの適用

検出されたパスに対してタイミング調整ルールを適用し、タイミング検証する。制約を満たしていなければ、バックトラックして再びルールの適用を行う。

なお、テクノロジーマッピングの遅延優先の最適化では、タイミング制約があれば、それに対する自動タイミング調整が行うが、ない場合には、この自動タイミング調整機能を用いて、回路全体のクリティカルパスの遅延削減を実行する。

#### 4.3 パス指定によるタイミング調整

回路の具体的なタイミングの制約を、テクノロジーマッピングの前に考慮するのは困難である。そこで、合成結果の論理図面上で、特定のパスを指定し、それに対して、タイミング調整を実行する。これによれば、より木目細かいタイミング調整ができる。処理は以下の手順で行われる。

##### ① 調整区間の指定

論理図面上で遅延を調整したいパスの始点および終点あるいはいずれか一方を指定する。

##### ② 調整区間のクリティカルパスの検出

タイミング解析ツールを用いて、始点(なければ入力ポートまたはレジスタの出力)から終点(なければ出力ポートまたはレジスタの入力)にいたるパスのクリティカルパスを求める。

##### ③ セルの論理ゲートへの逆変換

クリティカルパス周辺上のセルをテクノロジー非依存の論理ゲートに逆変換する。

##### ④ タイミング調整ルールの適用

##### ⑤ セルへの再割り付け

このタイミング調整は、対象となるパスとその周辺上のセルのみに対して、ルールの適用を行うため、通常のマッピングに比べて高速である。

また、合成結果の論理図面上でタイミング検証を行いながら、対話的にタイミング調整を実行することができる。さらに、既に人手設計された回路のタイミング調整に用いることも可能である。

#### 5. 評価

以上のタイミング調整機能は、タイミング解析ツールを介して厳密に検証しているため、非常に高精度である。また、パス指定によるタイミング調整は、検証結果を参照しながら対話的に行えるものであり、木目細かい調整を可能にする。

実際に、本タイミング調整機能を用いて、テクノロジーマッピング後の回路のクリティカルパスの遅延削減を行った。表1に遅延削減効果を示す。1割程度以内の面積増加だけで、回路遅延が10%~30%削減された。このことから、本機能が遅延削減に十分有効であることがわかる。

表1 本機能による遅延削減効果

	回路規模	遅延削減率	面積増加率
ex.1	126tr	0.73	1.01
ex.2	223tr	0.89	1.11
ex.3	432tr	0.82	1.09
ex.4	2570tr	0.85	1.01

#### 6. おわりに

テクノロジーマッピングにおいて、タイミング解析ツールを組み込んだ高精度なタイミング調整機能を開発した。これにより、以前は人手でしか行えなかった微妙なタイミング調整を論理合成システムを用いて行うことが可能になる。本テクノロジーマッピングは現在Prologで実現している。今後、C言語へのコンバージョン等による高速化、およびタイミング調整機能の強化を含めた合成品質の向上を図り、システムを実用化する。

#### 参考文献

- 1) 西山, 植田, 松中: 論理合成エキスパートシステム LODES, 計測と制御 Vol.27 No.10, pp.923-924, 1988.
- 2) 高岡, 松本, 植田, 西山: 論理合成エキスパートシステム LODES - タイミング解析ツール -, 本大会予稿集.
- 3) 吉村: ルールベースとアルゴリズムに基づく論理合成システム, 電子情報通信学会報告(VLD87-92), pp.9-16, 1987.
- 4) M. Hofmann, et al.: Delay Optimization of Combinational Static CMOS Logic, DAC'87, pp.125-132, 1987.