

セミ64ビットRISCプロセッサの方式検討

7L-2

石田 仁志, 志賀 稔, 風間 成介
三菱電機(株)

1. はじめに

エンジニアリングワークステーション(EWS)の市場では、アプリケーションの多様化やマルチメディア化などにより、高い演算性能に対する需要が増大している。

本稿では、連続する2つの32ビット命令を同時に実行することにより、演算性能を向上させるRISCプロセッサモデルを考案しその性能評価を行なった。

2. プロセッサモデルの構成

セミ64ビットRISCプロセッサモデルは図1に示すように、以下の5種類の主要ユニットから構成される。

(1) 命令フェッチユニット

IFU(Instruction Fetch Unit)。2つのIFUは、連続する2つの命令を命令キャッシュメモリ(ICM)からフェッチしてデコードする。デコードと共に、命令の実行に必要なオペランドに対するレジスタアクセスを優先スコアボードに要求する。各IFUは、優先スコアボードからレジスタ利用許可を得ると、命令をデータユニット又は対応する演算ユニットに転送する。フェッチされた命令が条件付き分岐命令の場合は分岐するか否か、分岐する場合

は分岐先を決定する。2つの命令が共に演算ユニット又はデータユニットに転送されると同時に次の2つの命令をフェッチする。

(2) 演算ユニット

EU(Execution Unit)。EUでは、IFUでデコードされた命令を実行し、実行結果をレジスタファイルに書き込む。EUには、整数ユニットや浮動小数点ユニットなどがある。

(3) レジスタファイル

RF(Resister File)。RFは、1本のパイプラインに対して2つの読み出しポートと1つの書き込みポートを備えている。

(4) 優先スコアボード

SB(ScoreBoard with priority)。SBはIFUからのレジスタ要求を受け取り、各レジスタ対応のスコアボードビットを参照し、IFU間やIFUと既に実行中の命令間でのレジスタ競合を調べる。競合が生じていなければ要求を行なったIFUの実行を継続させ、競合が生じている場合はIFU1を優先して実行順序を決定する。

(5) データユニット

DU(Data Unit)。DUは内部に2本のパイプラインを持っていて、各パイプラインは3つのステージに分割されている。第1ステージでは、メモリアドレスの計算を行ないその結果に基づいて命令間のメモリアドレス競合を検出する。第2ステージでは外

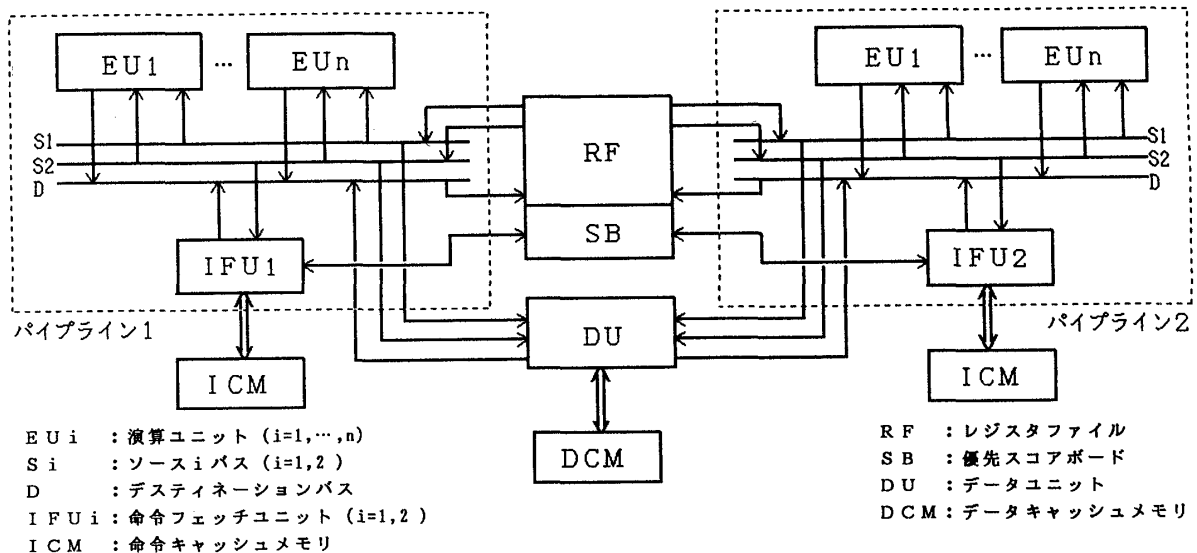


図1 ブロック図

部データバスを駆動し、データキャッシュメモリ（DCM）にアドレスやデータを送る。第3ステージでは、DCMから送られてくるデータを取り込む。

3. 高速化機構

セミ64ビットRISCプロセッサモデルでは、2本のパイプラインを効率良く使うために幾つかの高速化機構を取り入れている。

(1) IFU対応にポートを設けたRF

パイプライン毎に2つの読み出しポートと1つの書き込みポートをRFに設けることにより、ソースレジスタが競合しても2本のパイプラインはストールすることなく並列に処理を行なうことができる。

(2) 並列/直列処理が可能なDU

DU内に2本のパイプラインを設け、新規に受け入れた命令同士又は新規に受け入れた命令と既に実行中の命令の間でメモリアドレスの競合が生じていなければ、空いているパイプラインを有効に使って並列に処理を行ない、メモリアドレス競合が生じている場合には、それらの命令を同じパイプラインに投入する。これによって、2本のパイプラインをストールさせることなく、メモリアクセスを高速に処理する。

(3) パイプラインを意識した命令の並び換え

2本のパイプラインの間でできるだけレジスタ競合が生じないように、またメモリアクセスに要する時間のためにパイプラインがストールすることがないように命令の並び換えを行なっている。

4. 性能評価

セミ64ビットRISCプロセッサモデルを机上でスタティックに評価した結果を図2に示す。今回の性能評価では、テストプログラムにDhrystoneベンチマークプログラムの一部を使い、局所的な範囲で命令の並び換えを行なっている。図2において、左の棒グラフはDhrystoneを32ビットRISCで処理した場合を、右の棒グラフはセミ64ビットRISCプロセッサモデルで処理した場合に要するクロック数を表す。条件付き分岐命令が分岐する場合2クロック、分岐しない場合1クロック要するとして計算しているのでCPIに幅が生じている。グラフの各領域は以下の意味を持つ。

- レジスタ競合による遅延：レジスタ競合によりパイプラインがストールしている時間
- 分岐命令の分岐によるペナルティ：分岐が生じることによりパイプラインがフラッシュされ、分岐先の命令をフェッチするのに要する時間（今回の性能評価では、分岐する場合のペナルティを1クロックとした。）
- メモリアクセスによる遅延：メモリアクセスを行ないメモリからロードした結果が以降の命令で利用可能になるまでパイプラインがストールしている時間

性能評価の結果、セミ64ビットRISCプロセッサモデルにより約1CPI (Clock per instruction) を実現できる可能性があることが解った。

図2の2本の棒グラフを比較すると、パイプラインを2本にすることによって並列に処理できる部分は高速に処理されている。しかしセミ64ビットRISCプロセッサモデルの処理時間を見ると、メモリアクセスによる遅延は多少解消されているものの、レジスタ競合により2本のパイプラインが有効に使われていなかったり、分岐命令の分岐によるペナルティが増大している。仮にパイプラインの本数を更に増やしたとしても、以下の課題が解決されなければ性能はあまり向上しないことが解った。

- レジスタ競合の回避
- メモリアクセスによる遅延の解消
- 分岐命令の高速処理

5. おわりに

本稿では、プロセッサの計算性能を向上させるための一つの方法として、セミ64ビットRISCプロセッサモデルを提案し、机上評価ながら1CPIの可能性を見出すことができた。また更に演算性能を向上させるためには、少なくともレジスタ競合の回避とメモリアクセスによる遅延の解消および分岐命令の高速処理が解決されなければならない。

今後、性能評価の結果得られた性能向上の課題について考察する予定である。

<参考文献>

- 1) 富田 著：並列処理計算機概論，昭晃堂(1986)
- 2) 入江 他：SIMP(単一命令流/多重パイプライン)方式に基づく「新風」プロセッサの高速化技術および性能予測，情処研報(88-ARC-73)(1988)
- 3) Motorola Inc. : MC88100 User's Manual(1988)

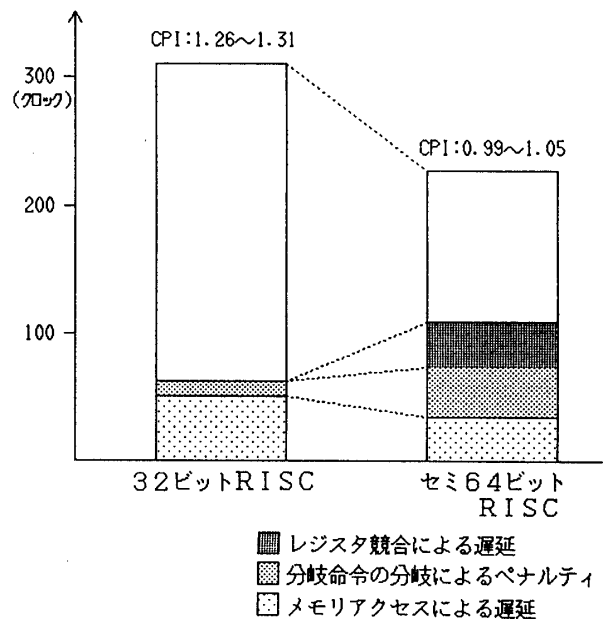


図2 性能評価