

5 L - 3 並列計算機テストベッド ATTEMPT の実装と評価

鳥居 淳 寺沢 卓也 工藤 知宏 天野 英晴

慶応義塾大学 理工学部

1 はじめに

本大学では現在並列計算機テストベッド ATTEMPT(A Typical Testing Environment of MultiProcessor sysTems)を開発している。ATTEMPTは最大20台のプロセッサから構成される小規模バス結合型マルチプロセッサである。本報告では、現在稼働中のプロトタイプ ATTEMPT0 のハードウェア構成について述べ、さらに評価に対する指針や ATTEMPT の今後の展望について述べる。

2 ATTEMPT0 の構成

マルチプロセッサ・システムとしての ATTEMPT は以下に挙げる2点の特徴を持っている。

- (1) 様々なプロセッサ間通信を統合的に実現する同期・通信機構シンクロナイザと、これに適合したキャッシュ・プロトコルである Keio プロトコルを用いて、メッセージ・パッシング、セマフォア等の様々なプロセッサ間相互作用を統合的に実現する。
- (2) 拡張性・柔軟性を高めるため、システム・バスに IEEE Futurebus を用いている。

現在稼働している ATTEMPT0 では、Futurebus の制御回路がボード面積の大半を占め、Keio プロトコルが実装されていない。そのため、キャッシュ制御には日本電気のキャッシュ・コントローラ μ PD71641 を用いている。各プロセッサには4MbyteのDRAMが実装されており、ボード上のジャンパを切り換えることにより、共有メモリとしても、ローカルメモリとしても用いることができる。ATTEMPT のハードウェアは、図に示すように MPU ブロック、DRAM 制御ブロック、キャッシュ制御ブロック、シンクロナイザ制御ブロック、Futurebus インタフェース・ブロック、GPIB・RS-232C インタフェース・ブロックから構成される。以下各部の仕様について述べる。

2.1 MPU ブロック

CPUとしてMC68030を、FPUとしてMC68882を用い20MHzで駆動している。MC68030のオンチップ・キャッシュは共有メモリとのコピーレンシを保つようなスヌープ機能をサポートしていないので、インストラクションのみをキャッシングしている。

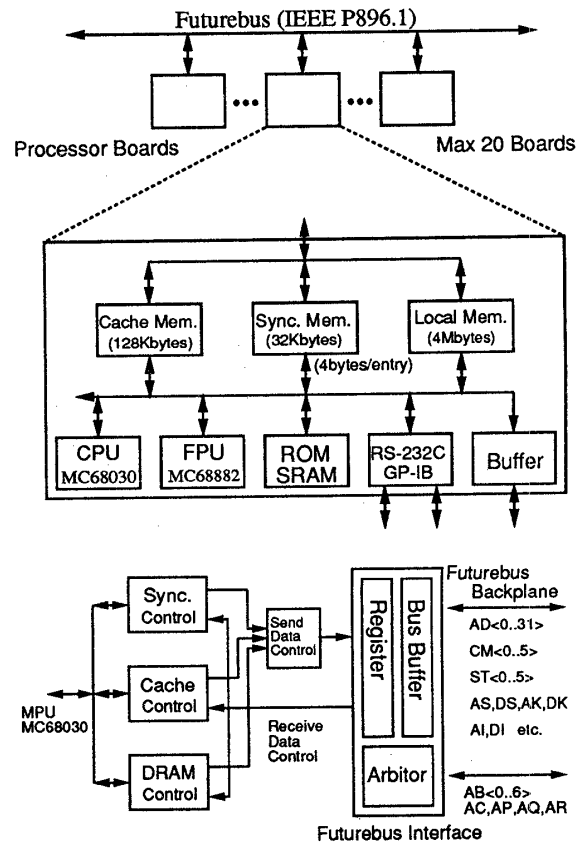


図1: ATTEMPT0 の構成

2.2 キャッシュ制御ブロック

キャッシュ・コントローラ μ PD71641 はライトスルー方式で、128Kbyteのキャッシュメモリを4ウェイ・セット・アソシアティブによって制御している。 μ PD71641のクロックは、同期による損失を低減するためにMPUと同期をとっている。ブロックサイズは64byteとなっており、リードミスの際は主記憶からFuturebusを介して4byte毎に16回のサイクルでキャッシュにバースト転送される。キャッシュメモリは高速なSRAMを用いているので、リードヒット時にはノーウェイトでアクセスができる。

2.3 DRAM 制御ブロック

このブロックは DRAM が共有メモリとして働いているときのみ用いられる。共有メモリ時には、DRAM は Futurebus に結合され、このブロックにより制御される。

2.4 シンクロナイザ制御ブロック

シンクロナイザ制御ブロックは受信部と送信部が完全に非同期で動作する。ATTEMPT では、同期・交信機構と共有メモリは別のアドレス空間に配置されており、Futurebus コントローラのアコードによってアクセスがシンクロナイザ領域と判定されると領域のロックを調べ、ロックされていれば Futurebus を介して送信側に伝えられる。ロックされていなければデータの転送が行われる。この時、割り込みフラグがセットされていればそのプロセッサに対して割り込みをかけ、同時に割り込み要因およびアドレスを割り込みキューに入れる。

ATTEMPT0 ではシンクロナイザ・メモリの大きさは 32Kbyte である。

2.5 Futurebus インタフェース・ブロック

Futurebus インタフェースは、バッファ部、データラッチ部、アービトレーション部から構成される。バッファ部は Futurebus に対する信号の授受を行う。Futurebus の信号線は特殊なオープンコレクタであり、バックプレーンで 2.1V にプルアップされている。バッファは Futurebus 専用で作られた Trapezoidal Driver/Receiver NS3897 を使用しており、受信側は常に信号線をモニタしている。Futurebus ではアドレス転送とデータ転送をマルチプレクスして、同一の信号線を用いて行っているため、送信と受信側にそれぞれアドレスとデータのレジスタを設けている。Futurebus には 7 本のコマンド情報の信号線と 5 本のステータス情報の信号線があり、これらから必要な部分が取り出され、シンクロナイザ、キャッシュ、DRAM の各制御部に接続されている。アービトレーション部は、バスのマスタ制御権をとるための調停回路である。他の制御部からマスタ権の要求が出されると、獲得するまでアービトレーション要求を出し続ける。Futurebus ではフェアネス・クラスとプライオリティ・クラスの 2 種類のアービトレーションがあるが、ATTEMPT0 ではフェアネス・クラスのみをサポートしている。

3 ATTEMPT 評価用ボードの設計

現在 ATTEMPT0 のハードウェア・モニタボードの開発を行っている。このボードは ATTEMPT の性能を細かく評価することと、アプリケーション・プログラムが有効に ATTEMPT の機能を利用しているかどうかを調べることを目的としている。ATTEMPT は並列処理システムの開発を目的としたテストベッドであるため、このようなハードウェア・モニタの支援が有効である。

このボードは、以下の様なデータを収集できる。

- システムにグローバルな情報
Futurebus の利用率、交信内容の分析、シンクロナイザのロックによる同期変数への書き混みの失敗回数等。
- 個々のプロセッサボード内の情報
キャッシュのヒット率、アービトレーションの平均/最大待ち時間等。

これらの情報から交信にかかるオーバーヘッドが分析できる。さらにタイマ割り込みにより交信の集中度の分析も行うことができる。

このボードを用いて、様々なアプリケーション・プログラムを実行することにより詳細な評価を行い、Futurebus コントローラやシンクロナイザのアーキテクチャ上の問題点を探るとともにソフトウェア開発者に適切な情報を提供する予定である。

4 おわりに

現在のところ ATTEMPT0 は、デバッグを行っている段階にあり、現在 7 プロセッサが稼働している。MC68030 のオンチップ・キャッシュは用いておらず、またシンクロナイザの制御クロックは設計仕様の 30 MHz ではなく、15MHz となっている。このため、当初計画した処理速度には至っていない。参考までにレイ・トレイシングの実行速度の計測結果を紹介すると、7 プロセッサでは台数に比例した性能が得られた。

最後に、今後の ATTEMPT プロジェクトの展望としては Futurebus インタフェースの VLSI 化、および Keio プロトコルの実装を予定している。

参考文献

- [1] H.Amano, T.Terasawa and T.Kudoh, *Cache with synchronization mechanism*, Proc.of The 11th IFIP Congress Aug. 1989.
- [2] *IEEE Standard Backplane Bus Specification for Multiprocessor Architectures: Futurebus*, March.1988.

