

並列階層キャッシュメモリの性能評価

4L-3

村谷 博文 浅野 滋博 酒井 浩

(株)東芝 総合研究所

1. はじめに

並列階層コヒーレントキャッシュは、密結合の並列計算機のバスボトルネックを解決する手段として、近年さかんに研究されている^[1]。性能を解析的に評価する先駆的研究もなされている^[2]。しかし、その解析的手法ではソフトウェアの性質やシステムパラメータにいくつかの仮定が導入されており、期待される性能がどのような条件のもとで発揮されるのか明確ではない。

そこで、2階層コヒーレントキャッシュの性能が、システムパラメータにどう依存しているか、また、プログラムのアドレ스트レースの性質にどう依存しているかを研究するため、並列階層キャッシュメモリのシミュレータを作成した。本研究は、通産省第5世代コンピュータプロジェクトの一環であり、シミュレーションのモデルは、並列推論マシンPIM/kに基づいている。

本稿では、本シミュレータの特徴と単純なケースでのシミュレーション結果について報告する。

2. シミュレーションの特徴

(1) システム構成およびキャッシュプロトコル

シミュレーションのモデルを第1図に示す。これは、PIM/kの1クラスタに相当する。キャッシュの階層は2レベルで、ともにスプリットキャッシュ方式であり、各データキャッシュはスヌープ機能を備えている。プロトコルには、バスのトランザクションを少なくするため以下の特徴がある：

- ・ First-cache, Second-cacheともコピーバック方式
- ・ 4状態キャッシュ
- ・ オーナーシップに基づくプロトコル
- ・ Multi-Level-Inclusionを実現

(2) システムパラメータ

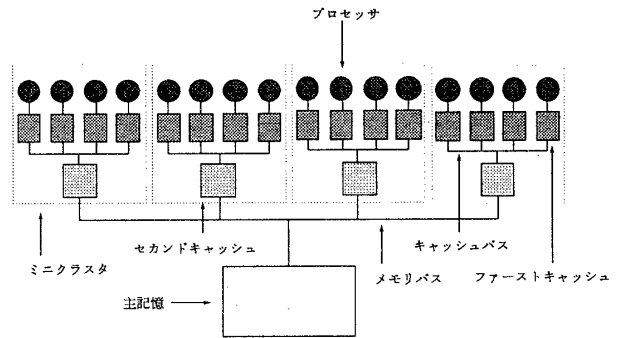
システムの性能を決定する要因は、大きく分けて二つ考えられる。ひとつは、システムのハードウェアの性質(システムパラメータ)である。もうひとつは、ソフトウェアの性質(アドレストレース)である。

本シミュレータで設定が変更できるシステムパラメータは下記のとおりである：

- ・ キャッシュのブロック数、ブロックサイズ
- ・ システム内のミニクラスタ数
- ・ ミニクラスタ当りのプロセッサ数
- ・ バスおよびメモリの待ち時間

本シミュレータは、上記のパラメータを調整することにより現実のハードウェアの振舞いをかなり忠実にシミュレートできるようになっている。

(3) アドレス生成



第1図:シミュレーションモデルのシステム構成

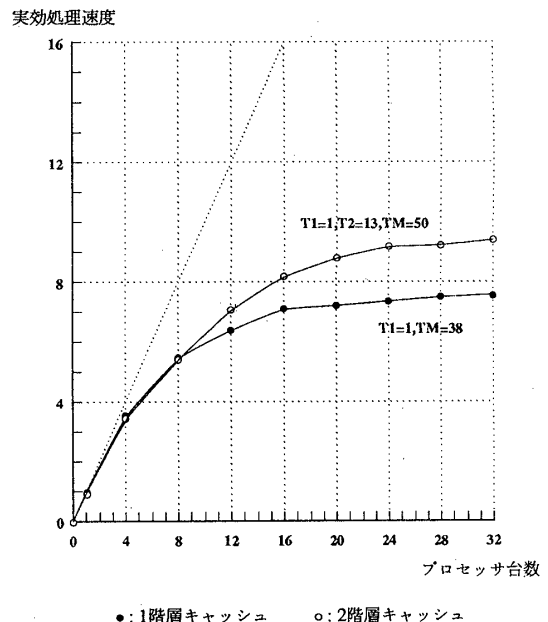
本シミュレータは比較的単純な命令セットを持つプロセッサをシミュレートしており、その命令セットで書かれたプログラムの実行によりアドレスを生成する。

3. シミュレーションの結果

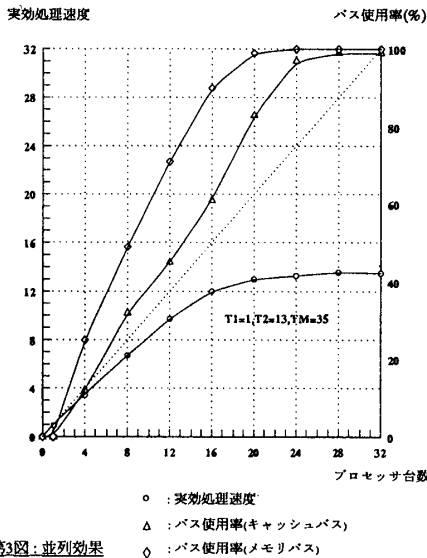
ここでは、単純なケースについてシミュレーションした結果について説明する。各プロセッサのアドレストレースは、命令フェッチとデータリードとデータライトの比がほぼ7:2:1である。

(1) 1階層と2階層の比較

1階層と2階層キャッシュの性能比較を行った。第2図は、プロセッサ数を増加させた時の並列効果を表すグラフである。2階層キャッシュではミニクラスタ数を4とし、各ミニクラスタにバランスしてプロセッサ数を増



第2図:1階層と2階層キャッシュの比較



第3図：並列効果

加させた。実効処理速度は、1階層でプロセッサ台数1の場合の性能を1とした。

このケースでは、各プロセッサはアクセス領域を共有しない。従ってコンシステンシを保つためのバストラザクションはなく、通常のキャッシュミスと追い出しによる。

プロセッサ数が少ないうちは、1階層キャッシュの方が僅かに性能が良い。しかし、プロセッサ数が増えると、1階層の方が実効処理速度が早く飽和し、2階層の方が良くなる。これはバスを分割しキャッシュを階層化することによりバスの負担を軽減した効果が現れていると考えられる。

グラフ中でT1はFirst-Cacheヒットの場合のアクセスタイム、T2はSecond-Cacheヒットの場合のアクセスタイム、TMはメモリへのアクセスタイムである。

(2) データ共有の影響

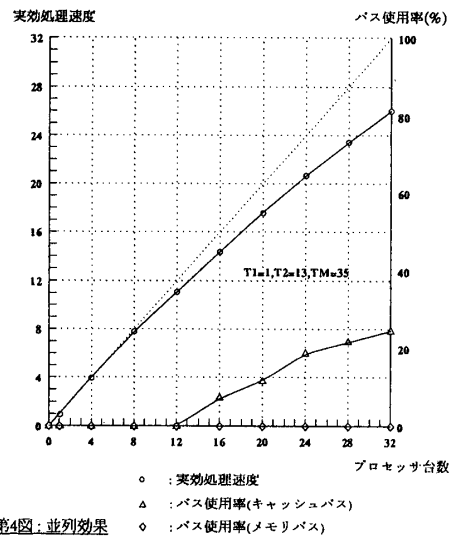
ここでは、各プロセッサ間のアクセス領域の共有が、システムの性能にどう影響するかを示すシミュレーションの結果について説明する。

第3図は、ミニクラスタ数を4、プロセッサ間のアクセス領域の共有率を1/16とし、プロセッサ数を増やした場合について、システム全体の性能、およびCache-Bus、Memory-Busの使用率の変化を表したグラフである。全プロセッサが同じ領域を共有しているとした。

プロセッサ数が16以上になるとシステムの性能が飽和している。これは、Memory-Busがボトルネックになっているためである。これを解決するには、Memory-Busのバンド幅を広くする、Second-Cacheのサイズを大きくしてキャッシュミスによるMemory-Busへのトラザクションを減らす等の方法が考えられる。

次に、ミニクラスタ数を4、プロセッサ間のアクセス領域の共有率を1/16とし、異なるミニクラスタではアクセス領域を共有しない場合の結果を示す。

第4図はプロセッサ数を増加させたときに、システム全体の性能、および、Cache-Bus、Memory-Busの使用率の



第4図：並列効果

変化を表したグラフである。Memory-Busの使用率が低いので、システムの性能はプロセッサ数が32まで飽和しない。これはいったんワーキングセットがキャッシュに納まると、Second-CacheでミスしてMemory-Busにトラザクションが出ることがほとんどなくなるためである。

4. まとめ

Memory-Busのトラザクションが少ない限り2階層の方がシステム全体の性能はよい。しかし、今回のシステムパラメータの設定では、1階層との差はそれほど大きいものではない。今後、システムの性能がシステムパラメータにどう依存するかというような、システムの設計の参考となるようなデータの収集を行いたい。

一方、アドレ스트レースの性質も、システムの性能に大きく影響する。例えば、今回の結果では、ミニクラスタにまたがるアクセス領域の共有はMemory-Busのトラフィックを大きくするため、システムの性能を著しく低下させる原因となることが分かった。これはソフトウェア設計時に考慮すべき点である。システムの性能がソフトウェアの性質にどう依存するかを調べ、ソフトウェア設計時の指針としたい。

謝辞 日頃、御指導いただくICOT第4研究室の方々に感謝します。

参考文献

[1]A.W.Wilson: Hierarchical cache/bus architecture for shared memory multiprocessors, Proc. of the 14th ISCA, Pittsburg, 1987, pp.244-252.
 [2]M.K.Vernon et al.: Performance Analysis of Hierarchical Cache-Consistent Multiprocessors, Performance Evaluation 9, 1989, pp.287-302.
 [3]浅野滋博; 並列推論マシン P I M / k, 情報処理学会 第39回全国大会論文集(III), pp.1772-1773.