

PIE64のネットワークメンテナンス、ホストインタフェース、クロック分配機構：タコ

1 L-7

日高 康雄, 高橋 栄一, 小池 汎平, 清水 剛, 田中 英彦

{hidaka,eiichi,koike,shimizu,tanaka}@mtl.t.u-tokyo.ac.jp

東京大学 工学部

1 はじめに

大規模な並列計算機のハードウェアを実現させる場合、デバッグやメンテナンスでトラブルが発生することが多い。これには、並列に動作する部分が多いために、同時に測定しなければならない箇所が多いこと、複数のプロセッサが関連するとその動作を予測しにくく、状況の再現が困難であること、また、単体のプロセッサとしては動作しても、複数のプロセッサをつなぐと、クロックのスキューが問題となることなどの理由が考えられる。このような並列計算機を机上の空論ではなく、現実の機械として組み上げ、稼働させるためには、それが研究目的の機械であっても、デバッグやメンテナンスの容易さを重視する必要がある。

著者らが研究を進めている並列推論エンジン - PIE64 - [1] は、64台のプロセッサ(推論ユニット。以下、IU - Inference Unit)[4] 同士をつなぐ高性能なインターコネクションネットワークが一つの特徴である。このネットワークを効率良く調整する目的で、「タコ」というメンテナンスのためのハードウェアを開発した。これは、PIE64のネットワーク専用のロジックアナライザであり、PIE64の筐体に常備される。また、「タコ」は、PIE64のフロントエンドとなるホスト計算機とのインタフェース、PIE64全体へのクロック分配など、64台のIUにサービスを提供する機能も備えている。図1に「タコ」の位置付けを、図2にメイン基板と8枚のブローブ基板を接続した写真を示す。

2 ネットワークメンテナンス機能

PIE64のネットワーク [2] は、4×4のクロスバースイッチ(以下、SU - Switching Unit)を基本要素とする3段の多段網である。交換方式は回線交換方式であり、接続経路を制御する側をマスター、その逆をスレーブという。接続完了後のデータ転送は、双方向の転送が可能で、その転送方向はマスター側が出力するDIR制御信号によって決まる。IU上のNIP(Network Interface Processor)[3]とSUの間や、SU同士の間への接続には、倍密度のコネクタとフラットケーブルを用いている。

一つのクロスバースイッチのマスター側4ポート、スレーブ側4ポートの計8ポートを同時にテストできるように、タコは8ポート分のブローブを持っている。各ブローブは、ネットワークで使用しているコネクタと同じコネクタをもち、ネットワークと容易に接続できるようになっている。以下に、タコのネットワークメンテナンス機能の特徴を挙げる。

- ポート毎に64Kステップ分のアクウィジション/パターンメモリを持ち、ネットワークからの信号記録、ネットワークへの信号生成を、PIE64の基準クロックに同期して行うことができる。
- アクウィジション/パターンメモリの各ステップにシーケ

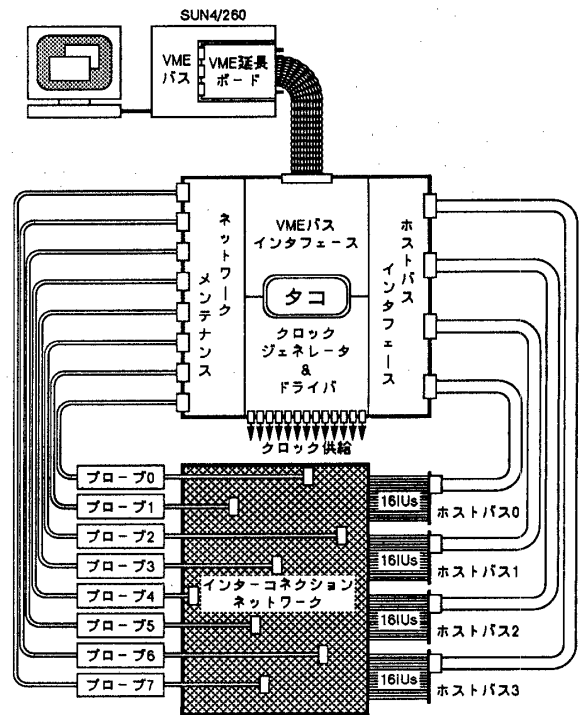


図1: タコの位置付け

ンサの制御コマンドを入れることができ、複雑な信号記録/生成ができる。制御コマンドには、ネットワークからの信号待ちや、シーケンサの停止、イベント条件の変更などがある。シーケンサはポート毎に制御できる。

- 各ポートは、エミュレーションモードとモニターモードの二つの基本モードを持つ。エミュレーションモードでは、NIPや、前/次段のSUを外して代わりにブローブを接続し、信号記録と信号生成の両方を行なう。モニターモードでは、NIPや前/次段のSUをつなげたままブローブを接続し、それらが動作する際の信号を観測して記録する。
- 各ポートは、マスターモードとスレーブモードの二つの信号モードを持ち、エミュレーション時の制御信号の入出力や、シーケンサで監視する制御信号の種類を切替えることができる。また、エミュレーション時のデータの入出力方向は、マスターモードでは自分の出力するDIR信号によって決定し、スレーブモードではSUから受け取るDIR信号によって決定する。
- 各種のイベントを検出して、イベントによってシーケンサをスタート、ストップさせることができる。イベントの条件は、ネットワークの制御信号に対して設定する。シーケンサ制御コマンドによって条件を変更したり、複数ポートに渡る条件や、条件の成立時間を設定することもできる。また、外部イベントを与えることもでき、より複雑な条件にも対応可能である。

Network Maintenance, Host Interface, Clock Distribution mechanism of PIE64 : TAKO (Octopus)
Yasuo HIDAKA, Eiichi TAKAHASHI, Hanpei KOIKE, Takeshi SHIMIZU, Hidehiko TANAKA
University of Tokyo

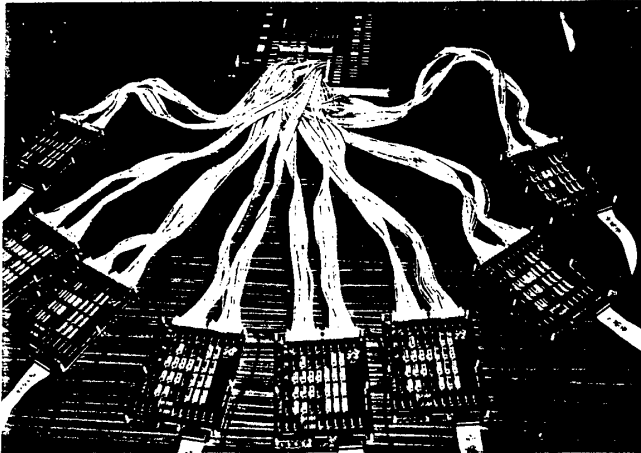


図 2: メイン基板とプローブ基板

- クロック分配機能と連動して、単発のクロックを発生させることができ、シングルステップでのデバッグが可能である。
- スキャンインタフェースを持ち、ゲートアレイ内部の状態の設定 / 読み出しができる。

3 ホストインタフェース機能

PIE64のホスト計算機には、SUN4/260を使う。タコは、SUNのVMEバスとのインタフェース、4系統のホストバス(1つのホストバスには、16台のIUが接続する。)とのインタフェースを持ち、ホストからのIU上のレジスタ、メモリのアクセス、IU間同期用信号、各IUからホストへの割り込みの3種類のホストインタフェースを提供する。以下に、それぞれの特徴を挙げる。

- IU上のレジスタ、メモリのアクセス
VMEバスからIUへのアクセスは、4系統のいずれかのホストバスを通して行なう。また、個々のIUをアクセスする領域とは別に、ブロードキャスト領域を設け、全IUに同一の内容を書き込むことができる。これは、初期プログラムのロードなどに用いる。
ホストのunix上のプログラムは、mmapシステムコールによってVMEアドレス空間をプロセスのアドレス空間上にマッピングして、PIE64上のレジスタやメモリをアクセスする。
- IU間同期用信号
一括型グローバルGCなどでIU間の同期をとるために使う信号で、全部で8系統ある。IUは、各系統に対して信号の出力と入力を行なう。ホストからは、全IUが出力した信号のANDを読み出すことができる。また、IUの入力信号には、出力信号のAND、出力信号のNAND、常に0、常に1のいずれかを配ることができ、ホストからその設定をすることができる。
- 割り込み
ホストのCPUへの割り込みベクタは1種類であるが、タコには、割り込み要求をエンコードしたベクタを読み出せるレジスタがあり、割り込み要求を出しているIUを直ちに特定することができる。ホストのunixカーネルには専用のデバイスドライバを組み込み、この割り込みを受け取る。

4 クロック分配機能

PIE64は一つの基準クロックに同期して動作し、全体で一つの同期回路を構成する。基準クロックは、タコの上のクロックオシレータで作られた後、ツリー状に構成されたクロックバッファで駆動され、等長配線の同軸ケーブルによって、IUボード、ネットワークボードに分配される。以下に、タコのクロック分配機能の特徴を挙げる。

- 基準クロックの周波数は通常10MHzであるが、デバッグ時には半分の5MHzに落すこともできる。
- ネットワークメンテナンス機能と連動して、クロック供給の停止、単発のクロックの生成などができる。
- ネットワークに供給するクロックは、ネットワークの接続時間を短縮するために、位相を90°単位でずらすことができる。

また、IUの管理用マイクロプロセッサに用いるSPARCには、周波数20MHzデューティ比75%の2相クロックを供給しなければならず、そのためには、80MHzのクロックが必要になる。このSPARC用のクロックも、10MHzの基準クロックに同期させなければならないが、基準クロックと共にタコから各IUに供給する方法では、20MHzのクロックで供給するとデューティを保証するのが困難であり、80MHzのクロックでは周波数の高さ自体が問題となる。そこでPIE64では、IU上にPLL回路を載せ、基準クロックと位相のそろった8倍の周波数のクロックを発生させ、これからSPARC用のクロックを作るという方法を採用した。そして、テスト回路を組みここのような状況でSPARCが正しく動作することを確認した。

5 おわりに

本稿では、PIE64のネットワークメンテナンス、ホストインタフェース、クロック分配の機構であるタコについて、その機能上の特徴を中心に述べた。タコを用いることで、PIE64の調整は効率良く進むものと期待される。

6 謝辞

基板の設計、製造、実装をして頂いたヨシキ電子株式会社、並びに、入手が困難であったICを提供して頂いた日本テキサスインスツルメンツ株式会社に深謝いたします。なお、本研究は文部省特別推進研究No.62065002の一環として行なわれている。

参考文献

- [1] 小池, 田中: “並列推論エンジン PIE64”, 並列コンピュータアーキテクチャ, bit臨時増刊, Vol.21, No.4, 1989, pp. 488-497.
- [2] 高橋, 田中: “並列推論マシン PIE64におけるインターコネクションネットワークの作成と評価”, 計算機アーキテクチャ研究会 76-1, 情報処理学会, May 1989.
- [3] 清水, 小池, 島田, 田中: “並列推論マシン PIE64のネットワーク・インタフェース・プロセッサ”, 並列処理シンポジウム '89 A2-2, 情報処理学会, Feb. 1989.
- [4] 高橋, 小池, 田中: “PIE64における推論ユニットの概要”, 第39回 情報処理学会 全国大会, 4W-1, Oct. 1989.