

# 並列オブジェクト指向トータルアーキテクチャ A-NET における PE のハードウェア構成

1 L-4

鈴木 充 吉永 努 馬場 敬信  
(宇都宮大学工学部)

## 1. はじめに

A-NET<sup>(1)</sup>は、並列オブジェクト指向を核概念としたトータルアーキテクチャである。A-NETでは、高並列処理を前提として、要素プロセッサ(PE)とルータの対からなるノードプロセッサを基本的な構成要素とする、ネットワーク計算機的设计・試作を進めている<sup>(2)</sup>。

本稿では、特に、PEの機械命令レベル、及び、マイクロ命令レベルのアーキテクチャについて述べる。

## 2. PEアーキテクチャ

### 2.1 機械命令レベルアーキテクチャ

#### (1)設計方針

##### ①高機能命令セット

A-NET L<sup>(3)</sup>指向の高機能な命令セットを定義し、これをマイクロプログラムで実現する。これにより、オブジェクトをコンパクトな機械コードに翻訳し、動的なノード間オブジェクト転送の負荷を軽減する。具体的には、A-NET Lのプリミティブメソッドの多くを一つの機械命令によって実現する。この結果、命令によってオペランドの数が異なるために、機械命令はバイト単位の可変長命令とする。

##### ②タグ付きアーキテクチャ

A-NET Lでは、変数の型は動的に決定される。そこで、データ型コードや、並列に実行されるオブジェクト間の同期をとるためのフラグ、及び、GCを効率よく行うためのフラグなどをタグとしてまとめ、各データに付加する。

##### ③ローカルメモリ中心の処理

メッセージ受理にともなって、頻繁にコンテキスト・チェンジが起こる。また、リストなどの構造体データをすべてレジスタ上に持たせることは困難であるため、機械命令レベルではレジスタを使用せず、機械命令のオペランドで指定するデータは、ローカルメモリ上に置くものとする。

##### ④アドレッシング法

オブジェクトの動的ロードを考慮して、オペランドのアドレス指定をベースアドレス方式とし、分岐先アドレス指定を相対アドレス方式とする。このベースアドレスには、状態変数ベースアドレス(SBA)、一時変数ベースアドレス(TBA)、リテラルベースアドレス(LBA)があり、それぞれA-NET Lにおける状態変数、一時変数、リテラルに対応する。

#### (2)機械命令セット

定義した機械命令セットは、16種類、79命令からなる。

命令は、1バイト長の命令コードと複数のオペランドからなる。多くの命令は、2つまたは3つのオペランドを持つが、通信系の命令では最大15個のオペランドを許している。オペランドは8あるいは16ビット長で、それ

ぞれタグ付き、タグ無しのものがある。タグ付きオペランドの場合、上位2ビットによって、下位のデータが、TBA、LBA、SBAの3つの内のどのベースアドレスからのオフセット値であるのか、あるいは即値であるのかを指定する。

#### (3)データ構造

図1に、1ワードからなる構造を持たないデータと、複数ワードからなる構造を持つデータを示す。ここでは構造を持つデータの例としてリストを示す。構造を持たないデータとしては整数、浮動小数点数、真偽値、オブジェクト識別子、セレクト識別子、NULL(未定義値)の6種類、構造を持つデータとしては、文字列、配列、リスト、辞書、メソッド、コンテキストの6種類を用意している。

データは、タグ8ビット、データ32ビットの40ビットを単位とし、メモリ上にワードアドレスで配置する。タグの内容は、未来型メッセージでの返答待ちか否かを示すフラグ(f)、GC用のフラグ(n)、GCとメッセージ送信時の構造体データのループをチェックするためのフラグ(m)、及び、データ型を示すデータ型識別子(dt)となっている。

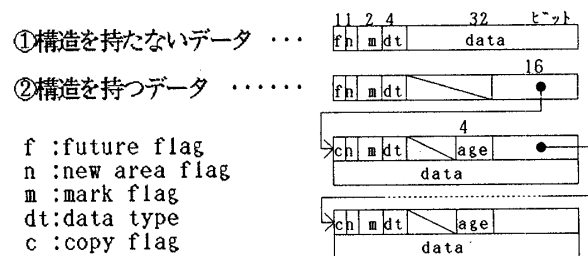


図1 データ構造

### 2.2 マイクロレベルアーキテクチャ

図2に、PEのハードウェア構成を示す。全体は、大きく分けて制御部、データ処理部、メモリ部、命令フェッチ部、及び、割り込み処理部に分けられる。

#### (1)高速実行のためのハードウェア機構

上記の設計方針に応じて、次のような機構を設けた。

##### ①タグ処理ユニット(TPU)

これにより、タグ処理とデータ処理を同時に行うことができる。例えば、整数か浮動小数点数か分らない2つのデータを加算する場合、TPUでタグ中のフラグチェックと型識別子の比較を行い、それと同時にALUとFPUで2つのデータの加算を行う。そして、2つのデータの型が一致し、それが整数型の場合はALU、浮動小数点数型の場合はFPUの加算結果が取り出される。一致しなかった場合は、整数型データをFPUで浮動小数点数型データに変換し、加算を行う。

②命令前処理ユニット (IPU)

これにより、1語中の命令コードやオペランドの取り出し、及び、タグ付きオペランドのタグ部の削除、符号拡張、ベースレジスタ指定などを行う。

また、データがワードアドレスによって指定されるのに対して、機械命令はバイトアドレスによって指定されるため、プログラムカウンタは上位16ビットをワードアドレス、下位3ビットをワード中のフィールドを指定する5進数値とすることによって、19ビットのバイトアドレスを示すものとする。

③2セットの特殊レジスタ

システムとユーザの間で頻繁に起こるコンテキスト・チェンジによる特殊レジスタの内容の待避・復帰のオーバーヘッドを緩和するために、システム用とユーザー用の2つの特殊レジスタ群 (SReg) を用意した。これにより、メッセージ受理割り込みによるユーザー実行イメージのコンテキストへの待避を不要とした。

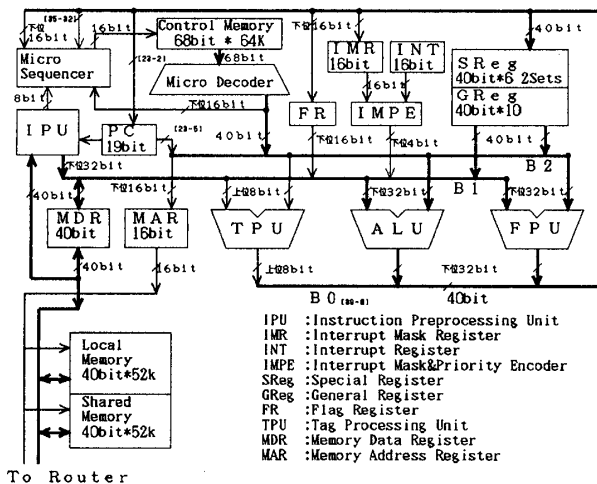


図2 PEハードウェア構成

(2)マイクロ命令定義

図3に、マイクロ命令のフィールド構成を示す。マイクロ命令は1語68ビットで、12のフィールドからなる。次に、各フィールドの簡単な説明をする。

①バスフィールド (B0 B1 B2)

B0からの出力、及び、B1とB2への入力を制御する。

②演算フィールド (ALU FPU)

B1とB2上のデータに、ALUあるいはFPUで、どのような演算をしてB0に出力するかを制御する。

③タグ処理フィールド (DF DT)

タグ処理ユニットを制御することによって、B1とB2上のデータのタグの未来フラグなどのチェック、データ型識別子の比較、認識を行う。また、B1、B2上のいずれかのタグのB0への出力などを行う。

④メモリアドレスフィールド (LM)

メモリに対する読み出し、書き込みサイクルの開始を制御する。

⑤命令前処理ユニットフィールド (IPU)

IPUを制御し、IPU内の命令レジスタに格納されている1語からオペコード、オペランドを取り出し、シーケンサあるいはB1バスへの出力を行う。

⑥順序制御フィールド (TS SEQ)

TSフィールドはマイクロシーケンサの条件入力の選択を制御する。

SEQフィールドはマイクロプログラムの順序制御を行う。

⑦リテラルフィールド

16ビットのリテラルを与え、演算に使用する定数や分岐のためのマイクロアドレスを与える。

68ビット											
バス			演算		メモリ	タグ処理		命令処理	順序制御		リテラル
B0	B1	B2	ALU	FPU	LM	DT	DF	IPU	TS	SEQ	LIT
5	5	5	9	3	2	5	4	4	4	6	16

図3 マイクロ命令のフィールド構成

(3)タイミング制御

1マシンサイクルは125nsで25nsの5つのフェーズからなる。

制御は、マイクロ命令の先読みを行う二段のパイプライン制御となっており、各処理ユニットは図4に示すタイミングで動作する。すなわち、iサイクルのマイクロシーケンサの実行によって得られたマイクロアドレスで、マイクロ命令を読みだし、デコードした制御信号を各ユニットに送ることによって、(i+1)サイクルでのマイクロシーケンサによる次のマイクロアドレスの決定や、データ処理などが行われる。

メモリへの書き込みを行う場合、iサイクルのフェーズIIでMAR、MDRに書き込みアドレス、データをセットしてメモリアイトサイクルを開始し、(i+1)サイクルのフェーズVで、ライトサイクルは終了する。

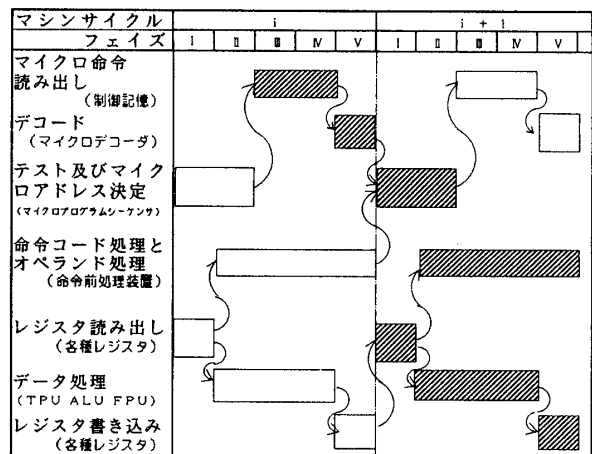


図4 タイミング

3. おわりに

現在、機械命令仕様とマイクロアーキテクチャ仕様はほぼ完成している。今後は、マイクロプログラムの記述ならびにハードウェアの詳細設計を行い、プロトタイプ計算機を試作する予定である。

参考文献

- (1)馬場 他: '並列オブジェクト指向トータルアーキテクチャA-NET'、並列処理シンポジウム, 89, A4-1(1989).
- (2)飯島 徹: '並列オブジェクト指向概念に基づくA-NET計算機のアーキテクチャ'、宇都宮大学情報工学科修士論文、1989.3
- (3)岩本 他: '並列オブジェクト指向言語A-NETLの言語処理系'、情報処理学会第38回大会、4P-1(1989).