

3U-4

データフロー制御技術を適用した プロトコル処理の並列性に関する考察

丸山 充

NTT情報通信研究所

1. まえがき

プロトコル処理の高速化等を狙う検討の一環としてその並列性質を把握することが重要である。

MHSプロトコル処理の並列性に関しては、文献[1], [2]においてリスト処理にもとづく方式を提案し、機上分析および、関数型言語を用いた解析を行なった。

本論文では、文献[1], [2]の分析により高い並列度を示した部分について、データフローマシン上で実行した場合の並列性について明らかにする。

2. プロトコル処理のモデル

ここでは、上位層プロトコルとしてCCITT勧告のMHSプロトコル[3]をとりあげ、1C11のプロトコル処理を対象としてモデル化を行なう。

OSIモデルに準拠したプロトコル処理では1C11の処理を1~7層までの階層に分ける。各階層では、図1に示すように上／下位層からの入力データを受け取り、層内で規定された処理を実行したのちに隣接した上／下位層にデータを出力して処理が進む。このため層内処理を並列または非同期的に処理可能な処理モジュールに分解することで、図1に示す並列処理のモデル化が行なうことができる。また入出力データはコマンド、パラメータ、コンテンツからなり、それぞれが多階層にネスティングされた構造を持つために、本検討ではこのデータ構造を図2に示すリスト構造で表現し、層内処理にリスト処理方式をとり入れる。

このモデルのもとで行った文献[2]の分析により、リスト処理にもとづいたMHSプロトコル処理においては、プロトコル内各層の要求解析部、結果出力部に平均2~7の並列度があることが明らかになった。この並列度の高さは、入出力データがX.409コーディングにもとづいたネスティングレベルの深い複雑なデータ構造を扱うことで、同時に処理するパラメータ数が増加することによる。

3. シミュレーション分析

文献[2]による分析で高い並列性を示した部分に関して、NTTのデータフローマシンDFM（文献[5], [6]）のシミュレータ上で実行し分析を行う。これにより、文献[2]の分析で明らかになった層内の並列性、つまり

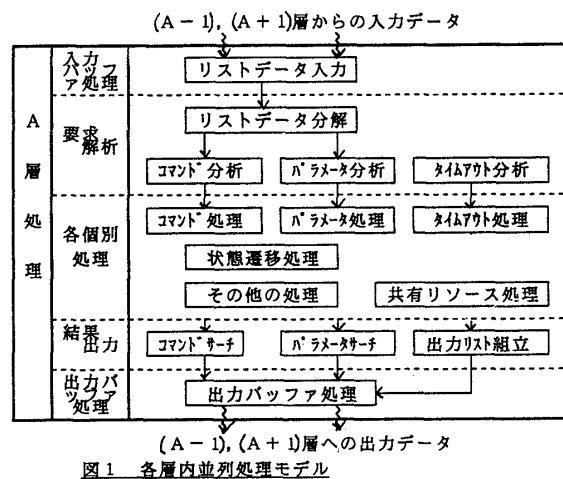


図1 各層内並列処理モデル



図2 各層入出力データの構造

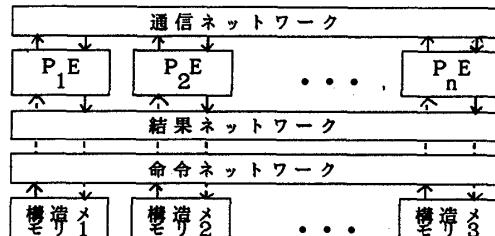


図3 データフローマシンDFM

①データ構造にもとづく並列性、②データフロー制御メカニズムをより効果的に利用したアルゴリズム並列性（パラメータ、コマンド等同時サーチなど）③データフロー制御命令の実行にともなう並列性に加えて、P E (Processing Element) 等のリソース制御および処理の分散によるオーバヘッド分を加えた結果が得られる。

(1) D F M シミュレータ

D F M シミュレータは、D F M の動作をクロック単位で正確に模擬するR T L (Register Transfer Level) シミュレータである。D F M の構成は、図3に示すものでP E台数4～16台の範囲で変化させる事ができる。またP E間の負荷割付方式は、その時のactive状態のプロセス数にもとづく負荷分散割付方をとる。

(2) シミュレーションの対象

シミュレータを適用する対象は、文献[2]の分析において高い並列性を示した発信要求処理とする。シミュレータへの入力プログラムは、文献[4]のツールを使用し、シミュレート対象の処理を純関数型言語 (Common Lispのサブセット) で記述した後、トランスレータ、コードジェネレータを使ってデータフローマシン命令に変換したものを用いた。

(3) シミュレーション結果

シミュレーションの結果を図4に示す。本グラフにおいてP E台数を4から8に増加した場合、明確に処理クロックが減少するが、P E台数を8から16に増やしてもクロック数の減少にはつながらず、むしろ分散することによるオーバヘッド分が増す傾向にある。これから文献[2]の分析で最も高い並列性を示した発信要求処理において、P E台数8が最適という結果が明らかになる。

また、発信の同報によるP E台数と処理クロックとの関係を図5に示す。これからもP E台数を8以上増やしても処理クロック数の減少につながらない事が分かる。

4 まとめ

本論文では、上位層プロトコルとしてM H S プロトコルをとりあげ、1 C a 1 1 のプロトコル処理を対象にして、文献[1], [2]の分析で高い並列性を示した部分に関して、データフローマシンのシミュレータ上で実行することによる分析を行なった。この結果、発信要求処理においては、P E台数を8が最適であり、それ以上増加しても処理クロック数の改善にあまり寄与しない事が明らかになった。

最後に本研究を進めるにあたり、熱心に御指導いただいたN T T情報通信研究所の小柳津育郎グループリーダおよびシミュレータ等の御指導をいただいたN T Tソフトウェア研究所の高橋直久主任研究員はじめグループ員の方々に深謝いたします。

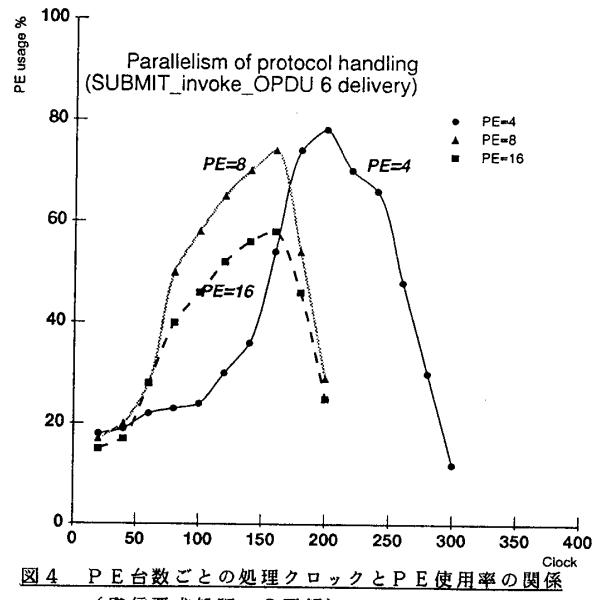


図4 P E台数ごとの処理クロックとP E使用率の関係
(発信要求処理 6 同報)

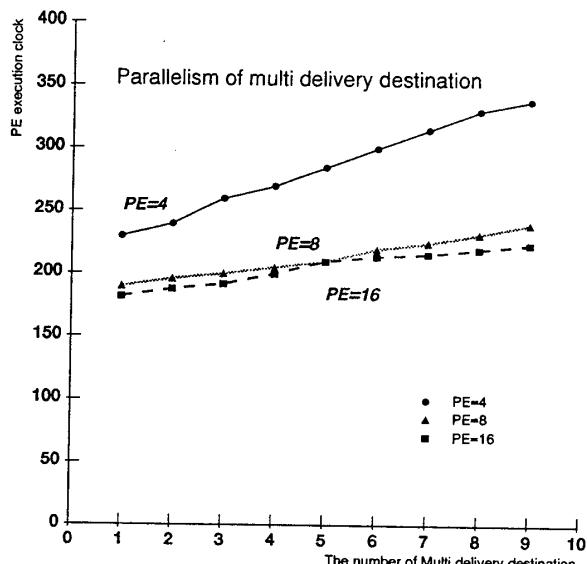


図5 P E台数ごとの同報数と処理クロックの関係

参考文献

- [1]丸山 M H S プロトコル処理の並列性に関する考察 情報処理学会第35回(昭和62年後期)全国大会,
- [2]丸山 M H S プロトコル処理の並列性に関する考察 情報処理学会第37回(昭和63年後期)全国大会,
- [3]C C I T T勧告 X. 400シリーズ(MHS)
X.400,X.401,X.409,X.411,X.420
- [4]高橋, 小野, 雨宮：“並列処理環境下における関数型プログラムのデバッグ方式” 情処学会, ワークショップ基礎論11-4
- [5]吉田, 成瀬, 中村, 雨宮：“データフロー計算機のハードウェア構成” 研究実用化報告Vol.33, No.6
- [6]雨宮, 長谷川：“リスト構造を並列処理するデータフロー・マシンの方式とその言語” 日経エレクトロニクス 1984.10.8