

新ELIS用1ボードLISPプロセッサ

2W-7

森 正実、岡部 和也、勝山 隆史、河井 淳

沖電気工業(株)

1. はじめに

AIワークステーションELIS8130/8150⁽¹⁾の後継機として、NTTインテリジェントテクノロジー社と協力して開発したELIS8200シリーズは、前機種を高性能・小型・低価格化し、AIシステムの開発および実行の両方の環境を兼ね備えた特長をもつ。ここでは、このELIS8200シリーズの核ともなるべき1ボードのLISPプロセッサを中心に発表する。

2. ELIS8200シリーズ

ELIS8200シリーズは、拡張したCommon LISP⁽²⁾(CommonLISP+オブジェクト指向記述+ロジック記述)を高速に実行するための専用プロセッサ⁽³⁾と、インテル386マイクロプロセッサを核とするフロントエンドプロセッサをバス結合したシステムで、以下のような特長をもつ。

- (1) デスクトップタイプおよびデスクサイドタイプの2タイプ
- (2) メインメモリ(~16MB)を含むシングルボードLISPプロセッサ
- (3) 拡張したCommonLISP(CommonLISP+オブジェクト指向記述+ロジック記述)
- (4) OS/2を搭載するフロントエンドプロセッサ
- (5) X-window、NFS(Network File System)等のAIシステム開発環境
- (6) リアルタイムカーネルによる実行環境

ハードウェアとしての性能向上、小型軽量化、およびLISPプロセッサとしてのモジュラリティを上げ、システムへの組み込みを可能とするために、CPULSIに加えて周辺論理を取り込んだ専用LSI(Gateway LSI と称す)を搭載し、これにより1ボードLISP・CPUを実現した。

2.1 CPU LSI

CPULSIは、前LSIとマイクロプログラムレベルでの互換性を保った上で以下の改良を行い、高速化・高機能化を図った。表1にCPULSIの諸元を示す。

- (1) スタックアクセス高速化
- (2) 制御記憶(WCS)アクセス高速化
- (3) ピンの多重化方法の変更
- (4) インタバルタイマ・スピードタイマ内蔵

表1 CPULSIの諸元

クロック周波数	30.00 MHz
マシンサイクル	100 nsec (No-wait時)
プロセス	1.2 μm CMOSスタンダードセル
トランジスタ数	108 K個
消費電力	1.0 W
電源	+5 V
パッケージ	208ピンPGA

2.2 内部バス(M-bus)

CPULSIは、外部インタフェースとしてWCS(64ビットデータ、16ビットアドレス)、スタック(32ビットデータ、15ビットアドレス)、主記憶(64ビットデータ、29ビットアドレス)、およびIOPCインタフェース(16ビット幅、5ビットアドレス)を必要とする。ところが、これらに対して各々必要なLSIピンを与えると、LSI全体として用意している208ピンのケースに入りきらない。そこで、これらの内データスループットが比較的低くてもよいインタフェースを時間的に多重化することにした。検討の結果、主記憶およびIOPCインタフェースを32ビットに多重化した。また、この32ビットのインタフェースはLSI外部ではバスとして解放され、マルチプロセッサへの対応を可能としている。我々をこれをM-busと称している。

MS OS/2は、マイクロソフト社の商標である。
NFSは、サンマイクロシステムズ社の商標である。
X Window Systemは、M.I.T.の商標である。

Single Board LISP Processor for the New-ELIS

Masami MORI, Kazuya OKABE, Takashi KATSUYAMA, Atsushi KAWAI
Oki Electric Industry Co., Ltd.

2.3 Gateway LSI

Gateway LSIは、シングルボードLISPプロセッサを成し遂げるために、CPU LSIの周辺チップとして開発され、以下のような機能をもつ。表2に Gateway LSIの諸元を示す。

(1) ECCを含むメモリ制御

Mバスを通じてアクセスされる主記憶を制御するDRAMコントローラで、1ビット誤り訂正2ビット誤り検出のECC機能を有している。

(2) DMA制御

MバスとFEPバスのデータ幅やプロトコルの違いを越えて、主記憶とFEP空間との間のDMA転送を制御するDMAコントローラである。

(3) FEPバスインタフェースおよび割り込み制御

FEPからのCPU LSIへのアクセスへのプロトコル変換、Gateway LSI内へのレジスタアクセスおよびFEPへの割り込み制御を行なう。

(4) Mバス制御

Mバスのバス調停およびバス監視などを行なう。

表2 Gateway LSIの諸元

クロック周波数	30.00MHz
メモリアクセスタイム	210nsec(最小)
DMAスループット	4MB/sec(最大)
プロセス	1.2 μ m CMOSゲートアレイ
ゲート数	9.6kゲート
消費電力	1.0W
電源	+5V
パッケージ	176ピンPGA

2.4 シングルボードLISPプロセッサ

LISP処理用CPUボードは、CPU LSIおよびGateway LSIを中心に、WCS(64k語 \times 64ビット)、スタックメモリ(32k語 \times 32ビット)、および最大16MBの主記憶等から構成されるほぼA4サイズの基板である。このボードは、拡張メモリ等のボード外のデバイス(あるいはCPUボード自身の複数搭載も可)を接続するための拡張M-bus、およびFEPシステムとの接続のためのFEP busインタフェースの2つのバスインタフェースにより外部と接続される。以下にCPUボードのブロック構成、およびその外観を示す。

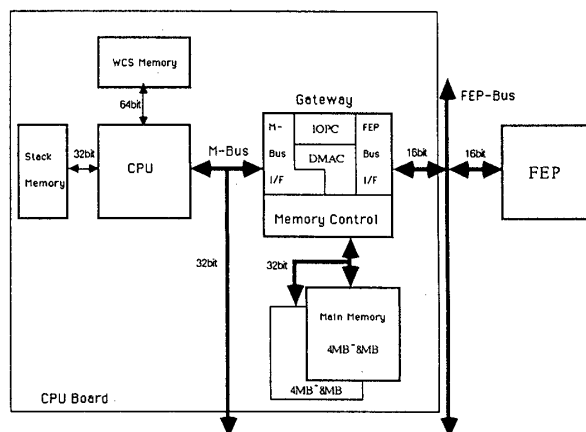


図1 CPUボードブロック構成図

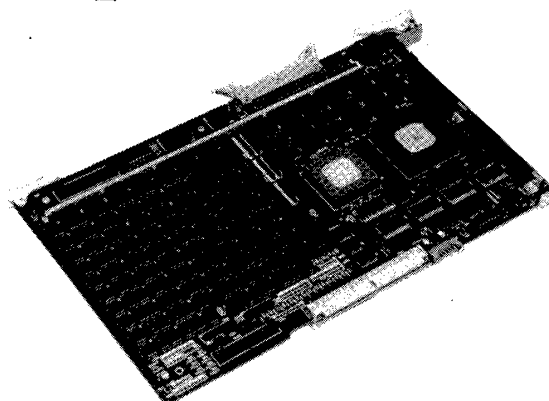


写真1 CPUボード外観

3. おわりに

最後に本開発を進めるに当たって、ご指導いただいたNTTインテリジェントテクノロジー社山田殿、大野殿、神尾殿、中澤殿、共同で開発に当たった当社情報システム事業部、およびIC事業部の各位に深謝いたします。

[参考文献]

- [1] 渡邊,石川,山田,日比野:32ビットAIチップELISのアーキテクチャ,電子情報通信学会計算機アーキテクチャ研究会資料69-10,pp73-80,(1988).
- [2] 渡邊,石川,山田,日比野:AIワークステーションELISの1チップCPU LSI,情報処理学会第34回全国大会,1P-1,(1987).
- [3] 鈴木,家吉,菅原,杉村:新ELISシステム概念,電子通信学会秋季全国大会,(1989).
- [4] 渡邊,川村,日比野:新ELISのCPU-LSIの開発,電子情報通信学会秋季全国大会,(1989).