

## マルチプロセッサ Lisp マシン MacELIS II のアーキテクチャ

2W-6

三上 博英 村上 健一郎

NTT ソフトウェア研究所

## 1 はじめに

知能処理計算機システム TAO/ELIS<sup>1)</sup> は知能処理ソフトウェア開発環境 NUE (New Unified Environment) を実現するワークベンチである。我々は TAO/ELIS を基本とし、市販のパーソナルコンピュータ Macintosh II<sup>TM</sup> をフロントエンドプロセッサ (FEP) として利用するパーソナルワークベンチ MacELIS<sup>2)3)</sup> を開発してきた。本稿では MacELIS を一層高性能化・小型化することを目標に開発を進めている MacELIS II のアーキテクチャを紹介する。

## 2 MacELIS II の特徴

知能処理プログラミング開発環境 NUE のワークベンチとして開発してきた ELIS と MacELIS はアーキテクチャ的には同一のマシンであり、相違点はユーザ IO, ファイルシステム等をつかさどる FEP (Front End Processor) のみである。これらの特徴を以下に示す。

- 記号処理マシン用カスタム VLSI プロセッサを使用
- 記号処理に適したアーキテクチャを採用
- タグアーキテクチャを採用し制御を高速化
- メガセル級の実メモリを実装 (最大 16M cell, 128MB)
- 高速大容量のハードウェアスタックを採用
- 大容量の WCS を実装しマルチパラダイム言語 TAO のインタプリタを全面的にマイクロコード化

MacELIS II は ELIS/MacELIS とハードウェア/ソフトウェアの互換性を保ち、かつ高機能化を図ったパーソナルワークベンチである。MacELIS は MacELIS II のプロトタイプと位置付けることができる。MacELIS II の特徴を以下に示す。

- FEP には MacELIS と同一のシステムを採用
- 小型化を図りパーソナルコンピュータ内の拡張スロットに複数台の ELIS システムを実装可能
- FEP と複数の ELIS システムはメモリ共有型のマルチプロセッサを構成
- マイクロコードのダイナミックローディングを実現

## 3 MacELIS II の構成

MacELIS II のブロックダイアグラムを図 1 に、メモリマップを図 2 に示す。NuBus は FEP の拡張スロット

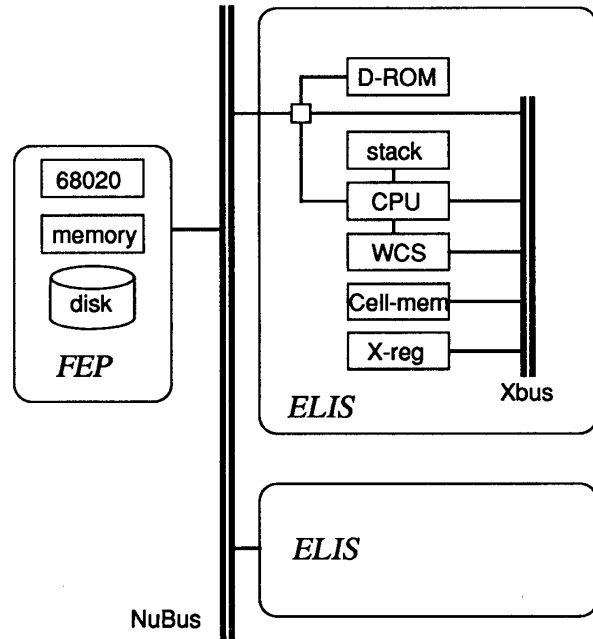


図 1: MacELIS II ブロックダイアグラム

に用いられているバスである。データとアドレスは各々 32bit でマルチプレックスされて転送される。

Xbus はデータ 64bit, アドレス 32bit の独立した転送路を持つ ELIS のローカルバスである。セルメモリ (Cell-mem) をそれぞれの ELIS に持たせることにより NuBus の競合を避けメモリアクセスを高速化している。D-ROM はハードウェアの識別子, デバイスドライバ等を格納するためのメモリ, X-reg はタイマ, 割り込み制御, バスロック制御等の用途に用いられるレジスタである。

ELIS CPU のアドレス空間では下位の 128MB に Cell-mem, WCS, X-reg, FEP メモリを割り当てる。上位の Super Slot Space (128MB/processor) には他の ELIS の Cell-mem, WCS, X-reg を割り当て、Slot Space (16MB/processor) には D-ROM, CPU の内部レジスタを割り当てる。

この構成を採る理由を以下に示す。

- TAO においては、基本的なシンボルのアドレスと、それを処理するマイクロコードのアドレスを一致させることにより処理の高速化を実現している。よってセルメモリを CPU アドレス空間の下位に位置させる必要がある。
- ELIS には 128MB の空間を持つセルアドレッシングモードと 4GB の空間を持つバイトアドレッシングモードがあり、バイトアドレッシングモードを用いれば NuBus

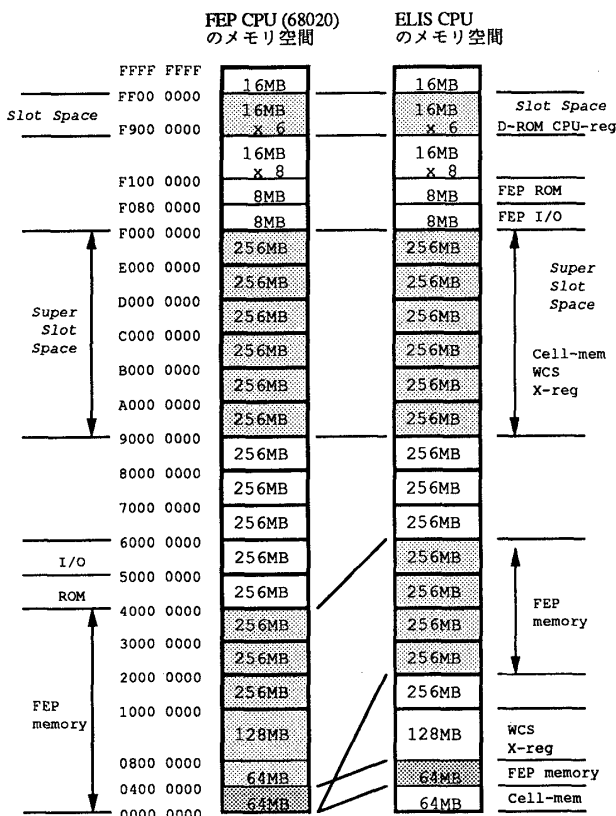


図 2: MacELIS II メモリマップ

の全空間にアクセスすることが出来る。

- プロセッサ間の基本的な通信に用いる共有メモリは、いずれの ELIS CPU のメモリ空間においても同じ位置に割り付け、処理の対称性を保証する。
- セルアドレッシングモードで共有メモリへのアクセスを可能とする。

プロセッサ間の通信は Test-and-Set 命令と、CPU への割り込み機構を用いる (図 3 参照)。各 CPU は独立動作を行なうためバスロック機構を設けて Test-and-Set 命令を実現している。また、ELIS のデータ操作単位は 64 bit であり、外部へのアクセスには 2 回の NuBus アクセスが必要である。この 64bit のデータの同時性を保証する目的にもバスロック機構は用いられる。

マイクロコードのダイナミックローディングは ELIS CPU が動作中に WCS の内容を書き換える機能である。外部からは CPU が WCS へアクセスするタイミングを検出する方法がないために、NuBus 側からの WCS の書き換えは CPU が停止している時に限られるが、ELIS CPU はそれ自身の WCS を書き換えることができる。この機能を用い、書き換え対象の WCS を持つ CPU に処理を依頼することで外部からの WCS のダイナミックローディングを実現する。

MacELIS II の仕様を表 1 に示す。TAO の基本命令は 1 マイクロサイクル (3 マイクロクロック) で実行される。

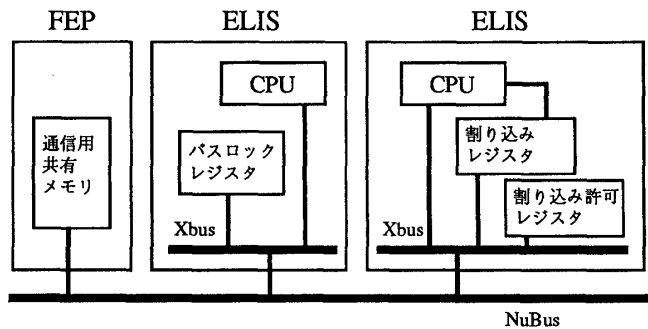


図 3: プロセッサ間通信機構

表 1: MacELIS II 仕様

CPU	CMOS 20Kゲート
Cell Memory	2M セル 64bit (16MB)
Stack	32 K 語 32 bit
WCS	64 K 語 64 bit
$\mu$ clock	60 n sec 以下
最大実装数	5 ELIS / FEP

ELIS 実装数の制限は FEP の物理的な構造による。

#### 4 おわりに

一部の FEP プログラムを除き MacELIS のソフトウェアは変更を加えることなく MacELIS II で動作させることができる。マルチプロセッサ間の通信は共有メモリを用いた仮想ネットワーク方式<sup>4)</sup>によりサポートされる。

最後に MacELIS II の設計にあたり技術的情報を提供していただいた NTT HI 研究所の吉田、渡辺両主任研究員と、協力をいただいたソフトウェア研究所の NUE グループの諸氏に感謝する。

#### 参考文献

- 1) K. Watanabe, A. Ishikawa, Y. Yamada, and Y. Hibino : The ELIS Interpreter-Oriented Lisp-Bases Workstation. *Proc. of the 2nd IEEE conference on Computer workstations*, 1988, pp.70-79.
- 2) 渡辺、山崎、三上、梅村 : デSKTOP Lisp マシン MacELIS のハードウェア, 情報処理学会第 39 回全国大会, 1989
- 3) 山崎、三上、梅村、渡辺 : 優れたユーザインタフェースを持つデスクトップ Lisp マシン MacELIS, 情報処理学会第 39 回全国大会, 1989
- 4) K. Murakami : A Pseudo Network Approach to Inter-processor Communication on Shared-memory Multi-processor MacELIS. *Proc. of US/Japan Workshop on Parallel LISP*, 1989