

# CMOS回路に適した 7V-6 BIST用テストパターン発生器

吉田正昭

日本電気(株) C & C システム研究所

### 1. はじめに

LSIのテスト手法として有望視されているBISTのテストパターン発生器(TPG)としてLFSRがよく用いられる。被テスト回路が組合せ回路で冗長でなければ、原始多項式を生成多項式とするLFSRを用い、網羅的にパターンを印加することによって全てのstuck-at故障の検出が保証されるし、ハードウェアも簡単だからである。ところが、現在のLSIのキーテクノロジーであるCMOS回路の場合、特有のstuck-open故障の存在により通常のLFSRではTPGとして不十分であるといわれている。stuck-open故障の存在により組合せ回路が順序回路的に変換され、その検出に連続する2パターンが必要となるからである。これまでにstuck-open故障を検出できるTPGがいくつか提案されているが、ハードウェアオーバーヘッドが大きかったり、テストパターン数が多かったりと必ずしもBISTに適しているとはいえない。本稿ではBISTに適したハードウェアオーバーヘッドの小さなTPGを提案する。

実際のLSIではインバータ、2入力NOR、2入力NANDの3つのゲートが大部分を占めるので、これらのゲートに対してstuck-open故障を検出できるTPGを考え、そのTPGが他のゲートのstuck-open故障をどの程度検出できるかを調べるというアプローチである。これらの3つのゲートのうちstuck-open故障を考慮すべきゲートはNORゲートとNANDゲートである。図1に示した2入力NORゲートを例に考えてみる。この例では4つのstuck-open故障が存在

するが検出が難しいのはn-channel FETに仮定した2つのstuck-open故障①、②である。これらの故障に対する検出パターンを表1に示す。

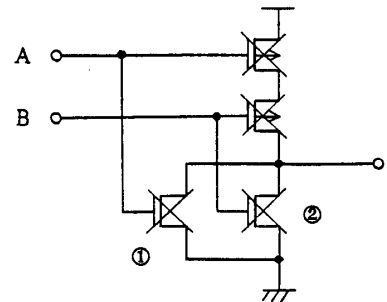


図1. 2入力NORゲート

故障No.	①		②	
テストパターン	A	B	A	B
	0	0	0	0
	1	0	0	1

表1. stuck-open故障検出パターン

### 2. 従来のstuck-open故障検出能力の高いTPG

代表的なものに以下の2つのTPGがある。

- (1) 2nLFSR...被テスト回路入力2倍の長さのLFSRを用い、1段置きレジスタ出力をテストパターンとして用いるもの[1]。
- (2) PEAT...全てのハミング距離1の遷移を発生させるもの[2]。

2nLFSRの場合、フィードバック関数として原始多項式を用いれば被テスト回路入力にあらゆる2パターンの組を印加することができるので、全ての単一のstuck-open故障を検出できる。しかし、ハードウェアは通常のLFSRの2倍必要であるし、テストパターン長も $2^{2n}$ と長い。PEATの場合、パターン長は $(n+1) \cdot 2^n$ と2nLFSRと較べるとかなり改善されているものの、ハードウェアオーバーヘッド、制御の複雑さという問題がある。

### 3. BISTに適したTPGの提案

本稿で提案するTPGは、実際のLSIで使用頻度の高いゲートはほんの数種類に限定される[3]という事実に基づく回路構成要素を考慮したTPGである。つまり、実

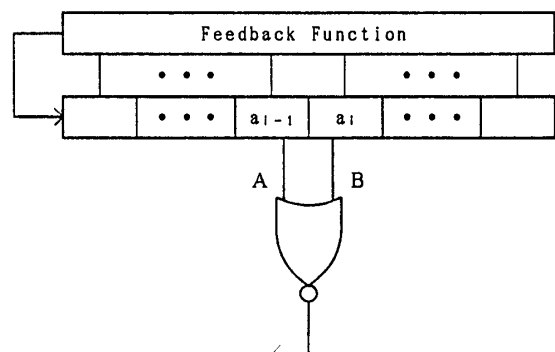


図2. 通常のLFSRによるTPG

ここで図2のように通常のLFSRをTPGとして用いた場合、このTPGで発生されるパターンは $a_i(t+1) = a_{i-1}(t)$ という関係を満たすので、故障①は検出できるが故障②は決して検出できない。故障②を検出するためのパターンは以下の2つの条件のいずれか一方を満たす必要が

ある。

$$a_i(t+1) = \overline{a_{i-1}(t)} \cdot \dots \cdot (1)$$

$$a_{i-1}(t+1) = a_i(t) \cdot \dots \cdot (2)$$

条件(1)は反転データをシフトするLFSRで満足され、条件(2)はシフトの方向を通常のLFSRと逆にしたLFSRで満足される。前者のLFSRをI-LFSRと呼び、後者のLFSRをR-LFSRと呼ぶことにし、通常のLFSRとこれらのLFSRの組合せをそれぞれNI-LFSR、NR-LFSRと呼び、これらのTPGをBISTに適したTPGとして提案する。これらのTPGはいずれも通常のLFSRに若干の回路を付加するだけで構成できるので従来提案されているものに較べハードウェアオーバーヘッドは大幅に低減できる。また網羅的にパターン発生したときのパターン長も  $2n^2$  と短い。

#### 4. 実験結果

##### 4-1. fan-out freeな回路への適用

図3に示した2入力NORゲートからなる簡単なfan-out free回路に適用した。図3において仮定した故障は検出しにくいstuck-open故障であり、フィードバック関数は原始多項式  $X^6+X+1$  である。結果は表2に示し

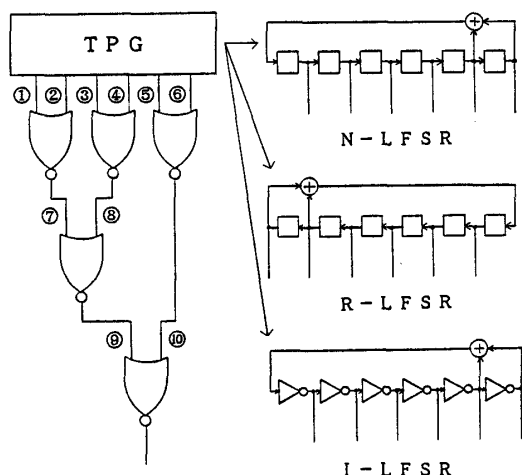


図3. 2入力NORゲートからなるfan-out free回路

stuck-open 故障No.	N-LFSR	I-LFSR	R-LFSR
①	○	×	×
②	×	○	○
③	○	×	×
④	×	○	○
⑤	○	×	×
⑥	×	○	○
⑦	○	○	○
⑧	○	○	○
⑨	○	○	○
⑩	○	×	○

表2. fan-out free回路に対する実験結果

たが、N-LFSRとI-LFSRの組合せ、N-LFSRとR-LFSRの組合せで仮定した全てのstuck-open故障が検出されることがわかる。

##### 4-2. 8bit ALU への適用

実際の回路に適用した場合のstuck-open故障検出能力を評価するためにripple carry adderを基本回路とするALUで実験を行なった。今回の実験では2つのデータ入力と制御入力(キャリーを含む)に対し異なるフィードバック関数の3つのTPGを使用した。フィードバック関数は全て原始多項式でそれぞれ  $X^8+X^4+X^3+X^2+1$ 、 $X^8+X^6+X^5+X^3+1$ 、 $X^7+X^3+1$  である。また比較のために2nLFSR、PEATを用いた場合についても実験を行なった。結果を表3に示す。この実験では、NI-LFSRの場合未検出故障数は2nLFSR、PEATとほぼ同等という結果が得られ、stuck-open故障検出能力がかなり高いことが確認された。

TPG	NR-LFSR	NI-LFSR	2nLFSR	PEAT
未検出故障数	9	2	1	1
故障検出率	98.54%	99.68%	99.84%	99.84%
パターン長	512	512	65536	2304

表3. 8bitALUに対する実験結果

#### 5. おわりに

LSIの構成要素を考慮することにより、stuck-open故障検出率が高く、ハードウェア構成の簡単なBIST用TPGを提案した。本稿で提案したTPGは、従来提案されているTPGに較べ故障検出率は多少劣るもののBISTの重要な要件であるハードウェア量、テストパターン長の点で優っており、BISTのTPGに好適であることを示した。但し、3入力以上のゲートの場合には検出できない可能性の高いstuck-open故障が存在するので、場合に応じて2入力のゲートへの置換等を考慮する必要がある。今後、さらにいくつかの実回路に適用して有効性を評価する予定である。

#### 参考文献

- [1]C.W. Starke, "BUILT-IN TEST for CMOS CIRCUITS", Proc. IEEE International Test Conference, pp. 309-314, 1984
- [2]G.L. Craig and C.R. Kime, "PSEUDO-EXHAUSTIVE AGENCY TESTING: A BIST APPROACH FOR STUCK-OPEN FAULTS", Proc. IEEE International Test Conference, pp. 126-137, 1985
- [3]岩崎他, "CMOS論理LSIの故障活性化率とシグナチャ検査法への応用", 信学技報, VOL. 88, NO. 43, pp. 1-6, 1988