

マシンサイクル予測システム

5V-5

磯崎 有子 山田 稔 首藤 信一 中西 敬一郎 山本 雅一
(株)日立製作所 中央研究所

1. はじめに

計算機の方式検討の段階で、論理・実装の総合性能を評価し、開発の方向付けを行なうことを目的とするマシンサイクル予測システムの基本機能を開発した。本報告では、本システムの基本構想と特徴について報告する。

2. マシンサイクル予測

フリップフロップとフリップフロップの間の信号経路のディレイ値を正規化して累積すると図1に示すヒストグラムができる。このディレイ値の最大値がマシンサイクルである。本システムでは、この例のように、LSIの集積度とマシンサイクルの関係等を定量的に評価することができる。このため、LSI集積度の決定などの実装の方向付けや、論理方式の選択の強力なツールになる。

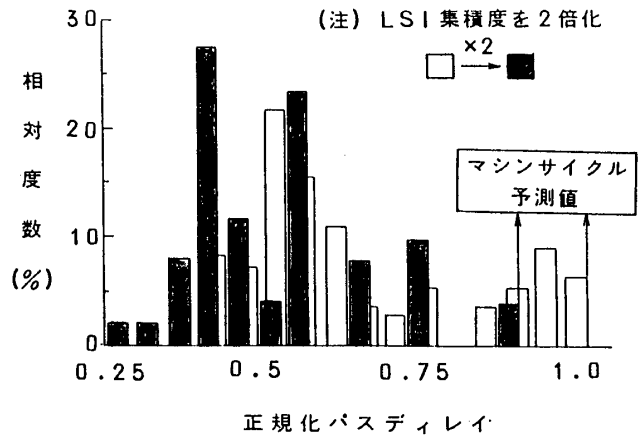


図1. マシンサイクル予測

3. システム構成

方式検討段階でのマシンサイクルの予測評価を実現するために、本システムを図2に示すように構成することにした。

論理動作：計算機の論理動作をレジスタトランスファレベルで記述するものである。論理方式の候補案を記述する。

実装データベース：LSI、モジュール、ボード等のハードウェア部品のサイズ、部品配置位置、分割配置に必要な仕様や特性インピーダンス、単位長あたりの配線遅延時間、配線容量等のディレイ計算に必要な仕様を規定する。実装方式の候補案を記述する。

①ディレイ要素ネットワーク生成：計算機の論理動作から、ハードウェア部品とその接続関係（論理動作に対して、論理構造と呼ぶ）を生成する。最終的にディレイを求めることを主眼とした論理生成であるためディレイ要素ネットワーク生成と名付けた。

②実装系写像：生成した論理を、モジュール、LSI等へ分割し、それぞれの配置を決める。

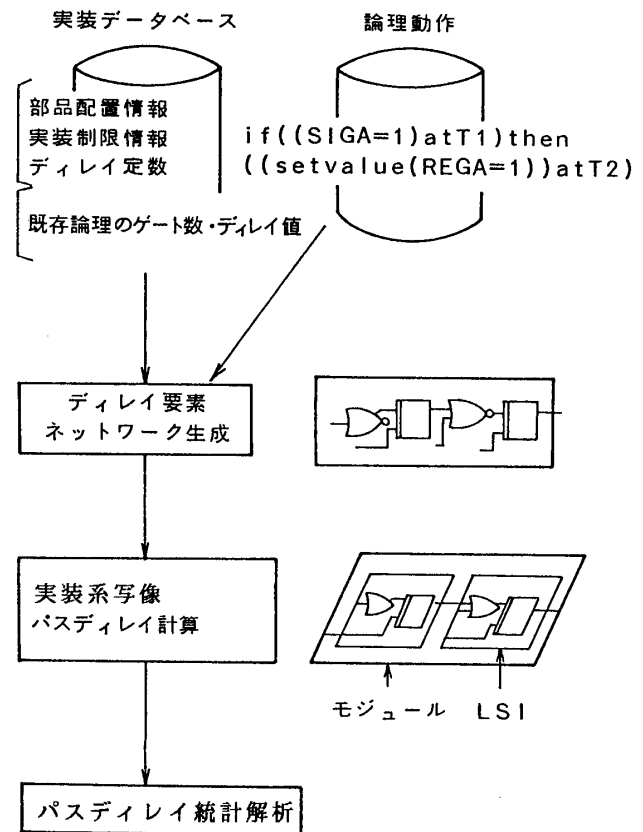


図2. システム構成

Estimation System of Machine Cycle Time for Large Scale Computers

Yuuko ISOZAKI, Minoru YAMADA, Shinnichi SHUTOO, Keiichiroo NAKANISI, Masakazu YAMAMOTO
HITACHI, Ltd.

③ディレイ計算：分割配置後の論理構造に対して、クリティカルパスを探索し、そのパスディレイを計算する。

④パスディレイ統計解析：パスディレイのヒストグラムを作成し、原則として、ディレイが最大となるパスのディレイをマシンサイクルとして予測する。

4. システムの特徴

本システムでは、マシンサイクルの予測を目的としているため、数百万ゲート相当のインストラクションプロセッサ全体を対象としなければならない。ファイル量の削減や処理時間の短縮が必須である。このため、階層型論理実装構造とダイナミック階層論理分割を導入した。

4.1 階層型論理実装構造

図3を用いて説明する。階層型論理実装構造では、まず、CPUがGU、FU、IUという部品からできていることを記述する。次にGUは、アダーとレジスタからできていると記述する。このように、階層的に同じ形式で独立に記述する論理実装構造を採用することで、アダーなどの汎用の部品が使え、ファイル量を削減することができる。

4.2 ダイナミック階層論理分割

図4を用いて説明する。本システムの論理分割では、この階層構造を利用して、必要に応じて下位の階層を調べながらダイナミックに論理分割を行う。従来の自動分割の手法では、百万ゲートもある最下位部品すべてを対象にしなければならなかったのに対し、本手法では、論理のまとまりを用いることで処理対象をせいぜい数千に押さえることができる。このため、処理時間を従来の六千分の一に短縮することができた。

5. おわりに

現在、基本機能の開発を終えて、試行評価を行っている。開発した各々のプログラムの規模を表1に示す。今後は、予測精度の向上をはかるとともに、実際の計算機の実装方式検討への適用を実施する予定で進めている。

参考文献

- [1] J.A.Darringer et al.,; " LSS:A System for Production Logic Synthesis, " IBM J.Res.Develop.,Vol.28,No.5, pp.537-545,Sept.1984.
- [2] I.Matsumoto et al.,; " Hierarchical Logic Synthesis System for VLSI, " Proceedings of IEEE Internatinal Symposium on Circuits and Systems, pp.651-654,1985.

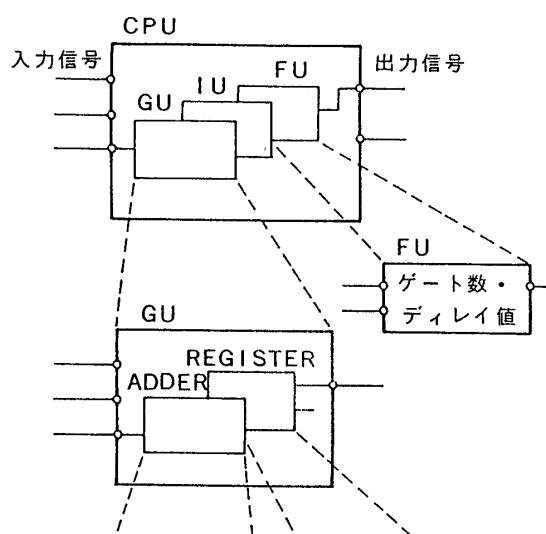


図3. 階層型論理実装構造

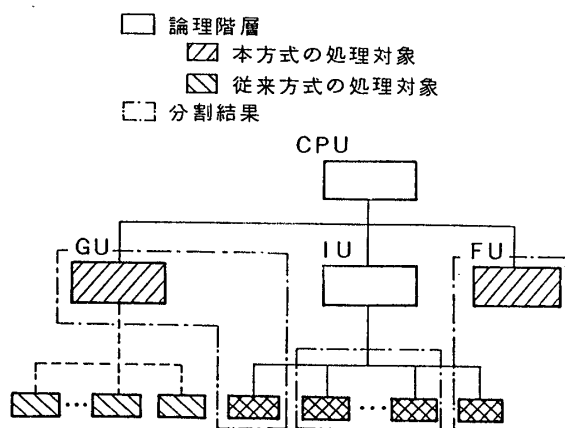


図4. ダイナミック階層論理分割

表1. プログラムの規模

プログラム	ステップ数	
ディレイ要素ネットワーク生成	5 k	
実装系写像	(分割)	4 k
	(配置)	2 k
ディレイ計算	5 k	
パスディレイ統計解析	3 k	
計	19 k	

(注) 使用言語 LISP