1V-7

VLSIフロアプランニングにおける端子位置決定問題について

大村道郎　豊原吉宏　若林真一　宮尾淳一　吉田典可
広島大学工学部

1．まえがき

著者らは，ビルディングブロック方式のVLSIレイアウト設計における詳細な概略配線とフロアプランを同時に決定する階層化フロアプランニング手法を提案している[1]．この手法では，はじめにハードモジュールと，ソフトモジュールの集合に対する概略的な位置を決定する．次に，階層的にチップ上を長方形に分割しながら，その中に配置されるべきソフトモジュールの部分集合を決定し，同時に詳細な概略配線を決定していく．フロアプランニングが終了した時点で，形状が決定された各ソフトモジュールに至る概略配線経路は，モジュール周辺のスイッチボックスまでのチャネルの系列として求まっている．

本稿では，フロアプランニング終了後の各ソフトモジュールに対し，概略配線に基づいて配線長が最小となるようモジュールの端子位置を決定する問題が，モジュールの1次元配置改良問題[2]の拡張として最適に解けることを示す．

2．1次元配置改良問題

2.1　問題PM　モジュールの集合をMとし，外部端子の集合をTeとする．各$te_j \in Te$はその座標が与えられる．モジュールの端子と外部端子の間の結線要求を表すネットリストをNとする．各ネットn_jはその重みを表す定数c_jを持つ．論理回路をLC＝(M，Te，N)と定義する．

以下ではモジュールMのx軸上の1次元配置を考える．Mの配置をP(M)で表す．ネットn_jの仮想配線長として，ここではn_jにおける最左端と最右端の端子のx座標の差を考え，これを$Lx(n_j)$で表す．重みc_jのネットn_jの重み付き仮想配線長を$c_j \cdot Lx(n_j)$で表す．

［問題PM］入力として，①論理回路LC＝(M，Te，N)，②モジュールの初期配置$P_I(M)$（但し，左から$M_1, M_2, \cdots, M_m$の順に配置されているものとする），③各M_iの配置領域が与えられる．このとき，次の条件 i)，ii)を満足し，目的関数

$$Z = \sum_{n_i \in N} c_i \cdot Lx(n_i)$$

の値が最小となるモジュールMのx軸上における配置領域内での配置P(M)を求めよ．

条件 i)　各モジュール$M_i \in M$は重なりを持たない．

条件 ii)　x軸上におけるモジュールの位置に関する順序関係が変わらない．□

［例1］問題PMの例として，図1(a)に示すモジュールの初期配置$P_I(M)$(目的関数Z＝185)が与えられたときの解(目的関数Z＝175)を図1(b)に示す．□

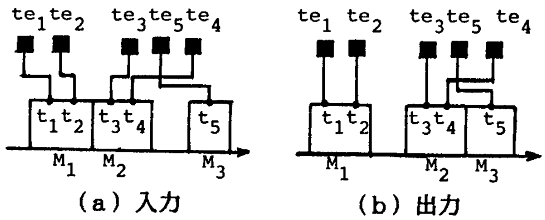

図1　問題PMの例

2.2　アルゴリズムPAの概略　問題PMを解くアルゴリズムPA[2]では，各モジュールM_iを他のモジュールとは独立に最適に配置する(手続きBP)．このとき独立に配置されたモジュールM_i，M_jはx軸上において重なりを持つことがある．アルゴリズムPAではこれらのモジュール同士を連接して，連接モジュールCM_iを構成し．再び手続きBPによってCM_iに関する目的関数の値のみを最適にする配置を得る．以上のことをすべてのモジュール間に重なりがなくなるまで繰り返す．アルゴリズムPAは問題PMを$O(|N|\log|N|+|M||N|)$で最適に解くことが証明されている[2]．

3．端子の位置決定問題

モジュールの端子位置決定問題はモジュールの4辺の端子を対象とするが，以下

Determination of pin positions in VLSI floorplanning
Michiroh OHMURA, Yoshihiro TOYOHARA, Shin'ichi WAKABAYASHI, Jun'ichi MIYAO, and Noriyoshi YOSHIDA
Hiroshima University

では議論を簡単にするため，1次元座標軸上の端子位置決定問題を議論する．以下の結果はモジュールの4辺に対する問題に容易に拡張可能である．

3．1　問題DP　x軸上のスイッチボックスの集合をSとする．各$S_i \in S$の座標を$D(S_i)$で表す．与えられる端子の集合をTで表す．スイッチボックスS_iを通過するネットの端子の集合を$T(S_i) \subseteq T$で表す．$t_i \in T$の配置をt_iの座標によって定義し，これを$P(t_i)$で表す．$P(t_i)$に対し，その位置により決められる2種類の重みを$w\ell(t_i)$，$wr(t_i)$で表す．

配線長を最小化する端子位置決定問題DPを次のように定式化する．但し，$w\ell(t_i) \le w\ell(t_j)$ $(i \ne j)$ のとき $wr(t_i) \ge wr(t_j)$を仮定する．

[問題DP]　入力として，①スイッチボックスの集合S，②端子の集合T，③各S_iを通過するネットの端子の集合$T(S_i) \subseteq T$，④重み$w\ell(t_i)$，$wr(t_i)$，⑤配置領域を表す定数rが与えられる．このとき次の条件ⅲ)，ⅳ)を満足し，目的関数の値を最小にするt_iの配置$P(t_i)$を求めよ．

条件ⅲ)　各$t_i \in T(S_j)$は，左配置領域 $D(S_j) - r/4 \le P(t_i) < D(S_j)$，または右配置領域$D(S_j) \le P(t_i) < D(S_j) + r/4$に配置される．

条件ⅳ)　$|P(t_i) - P(t_j)| \ge 1$ $(i \ne j)$ である．

(目的関数)
$$z = \sum_{S_j \in S} \sum_{t_i \in T(S_j)} f(P(t_i))$$

但し，
$$f(P(t_i)) = \begin{cases} -w\ell(t_i) * (P(t_i) - D(S_j)) & (P(t_i)\text{が左配置領域にあるとき}) \\ wr(t_i) * (P(t_i) - D(S_j)) & (P(t_i)\text{が右配置領域にあるとき}) \end{cases}$$ □

3．2　アルゴリズムDA　問題DPを解くアルゴリズムDAでは，先ず，与えられた問題を前述の問題PMの入力に変換する．次にアルゴリズムPAにおけるモジュールの配置決定手続きを問題DPに適用可能なように拡張した上で，変換された問題例に適用することにより，問題DPの解を求める．

先ず各$S_i \in S$に対し，$t_j \in T(S_i)$について$w\ell(t_j)$の非減少順（但し，値が同じときは$wr(t_j)$の非増大順）にソートし，更に，$D(S_i)$の増大順にソートする．得られた系列を$(T_{\pi(1)}, T_{\pi(2)}, \cdots, T_{\pi(u)})$（但し，$u=|S|$）とする．次に，端子の系列$T_{\pi(i)} \subset T$からモジュール$M_i \in M$を構成する．更に，スイッチボックス$S_i \in S$から外部端子$te_i \in Te$を構成する．

アルゴリズムPAにおける手続きBPでは，各ネットn_iに対し，1つの重みしか持っていない．そこで，各端子に対する2つの重み$w\ell(t_i)$，$wr(t_i)$ を，$w\ell_i$，wr_iと見なし，アルゴリズムPAの手続きBPを次のような手続きBP'に変更した上で，繰返し適用することにより，問題DPの解を求める．

[手続きBP']

S1：与えられた連接モジュールCMに対しCMの端子ソート系列より次の条件Cを満足する添字$s(q)$を求める．

S2：配置領域内であれば，CMの配置P(CM)として$\ell_{s(q)}$を返す．そうでなければ，最小移動距離で配置領域内となる座標をP(CM)として返す．

(条件C)　$s(q)$は，$w\ell_{s(1)} + w\ell_{s(2)} + \cdots + w\ell_{s(q)} \ge wr_{s(q+1)} + wr_{s(q+2)} + \cdots + wr_{s(u)}$ となる最小の添字である．

[例2]　図2(a)に示す入力に対し，端子をソートして各スイッチボックスのネットリストを図2(b)に示すようなモジュールに変換する．アルゴリズムDAを適用した結果を図2(c)に示す．　□

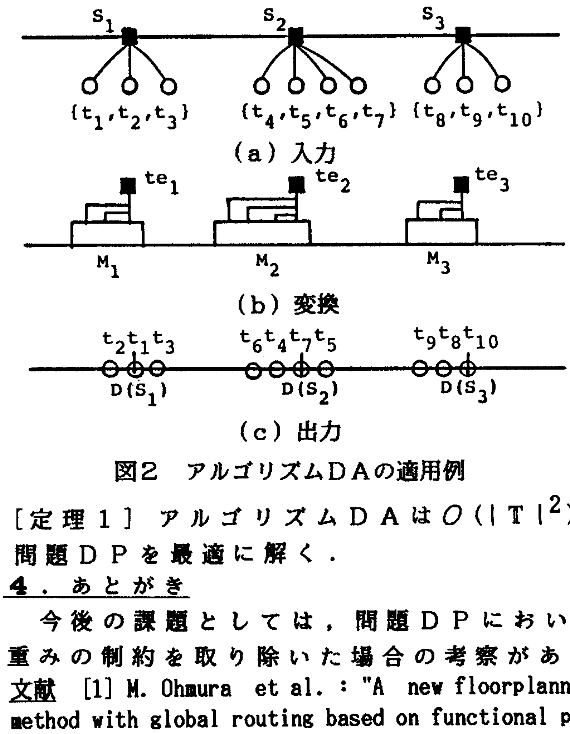

図2　アルゴリズムDAの適用例

[定理1]　アルゴリズムDAは$O(|T|^2)$で問題DPを最適に解く．　□

4．あとがき

今後の課題としては，問題DPにおいて重みの制約を取り除いた場合の考察がある．

文献　[1] M. Ohmura et al.: "A new floorplanning method with global routing based on functional partitioning", Proc. ISCAS'88, pp.1697-1700(1988). [2] 大村,他:"VLSIにおけるクリティカルネットに基づくモジュールの配置改良問題",信学技報,COMP88-52(1988).