

対象モデルによる論理回路故障診断システム — 組合せ回路のモデリングと推論方式の検討 —

7B-5

大森康正 東京電機大学
上野晴樹 理工学部

1. はじめに

近年、パーソナルコンピュータなどのデジタル技術の進歩により、論理回路の構成が複雑化、大規模化されてきた。それにともない論理回路の故障診断が重要視されるようになってきた。このような分野における問題解決は高度の専門知識が膨大に必要でありエキスパートシステムの利用が期待されている。しかしながら、人間のエキスパートと比較して実際の場面における問題解決能力が大幅に劣っていることが多くの研究者から指摘されている。その理由の一つとして、エキスパートシステムの知識ベースに記述されている知識が浅い知識に限られていることがある。例えば故障診断のためのエキスパートシステムにおいては、故障事象と故障原因の関係として、ルールなどで表現したものが知識ベースに蓄えられている。そして推論機構がその知識と与えられた情報からルールの連鎖をたどることによって推論し故障原因を見つける。このような浅い知識に基づくシステムでは、知識ベース作成時に予想されていない事実に対しては、ヒットするルールが存在しないので全く対処できないという問題点がある。この問題を解決する方法の一つとして、浅い知識の他に深い知識を利用して問題解決を行なうことが有効であると考えられる。このようなことから近年深い知識を定義した知識ベースを有するシステムが研究、開発されてきた。ここでは深い知識を一つの知識で様々に解釈できるような知識とする。また、より多くの解釈ができる知識がより深い知識であるといえる。我々は対象モデル[1]の概念を提案し、その実験システム[2]を作成してきた。

本論文では、それらの成果を基に、深い知識の一種である対象モデルによって論理回路の一種である組合せ回路を表現し、その故障診断システムについて述べる。ここで対象としている回路は、組合せ回路の一例である2ビット加算回路である。対象モデルはZERO[3]のフレーム表現形式を用いている。

2. 組合せ回路のモデル表現

対象としている回路は、図1に示すような2ビットのキャリイ先見方式加算回路である。この回路の対象モデルでの表現は、ほぼ文献[1][2]で示した表現方法と同じである。その従来の表現方法によって論理回路を対象モデルで表現する際、次のことが問題となる。第一に論理回路では機能表現が真理値および論理式によって表わされるが、これを表現できない。

第二に構成要素間の複数の信号線を明確に記述できない。このような問題点を解決するためにいくつかの表現について追加と修正を加えた。その部分について述べる。まず真理値表および論理式が記述できるようにBEHAVIORスロットを以下に示すように変更した。

```
((IF (入力状態部)(操作部)
  THEN (応答部)(出力状態部))...
```

入力状態部は、入力値を述語で記述する。またそこには、論理式などをLISP関数で表現することもできる。出力状態部は出力値を述語によって表現する。操作部及び応答部は、それぞれの状態を述語によって表現する。これにともない、VALID-INPUT-VALUEおよびVALID-OUTPUT-VALUEなどのスロットにはその対象構成要素が取り得る全ての入出力値の定義を行なう。また、信号線を明確にするために入出力先を指定する場合、相手の構成要素と接続されているポート名を次の形式で記述することにした。

構成要素名. ポート名

またポート名は接続元と接続先では同一な名前を取ることにする。これによってどの全体部分関係のレベルでも、どの構成要素のどのポートと接続関係があるかが分かるようになる。これらによって表現された対象モデルの階層表現とFullAdder1-aフレームの例を図2と図3に示す。

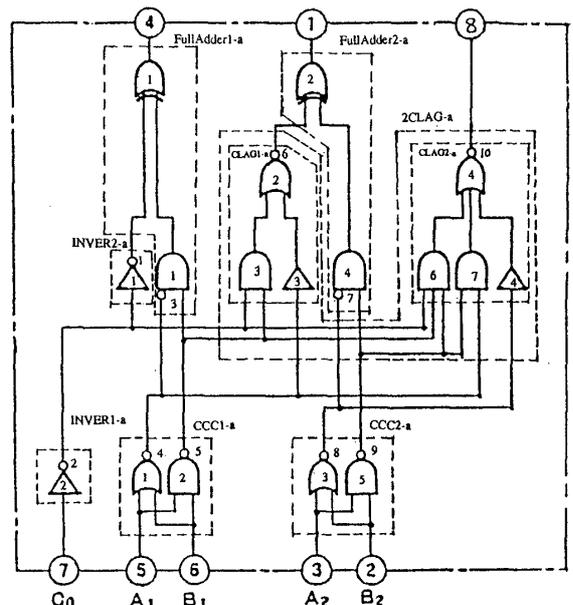


図1 2ビット全加算回路の論理回路図

3. 故障診断方法

論理回路の故障診断は一般に被検査回路に適当な入力系列を加えて、その出力系列を観察し、予想する値と比較することによって行なう。しかしその場合、効率的な入力系列を生成することが問題となる。そこで対象としている回路が組合せ回路なので、故障が判明した入力系列と出力系列のみを利用して診断することにする。ここで対象としている故障は、単一故障とする。また、ここではすべての最小構成要素の入出力値が観測可能であると仮定する。つまり、ここで用いているゲートはプリント基板上で構成されているとする。診断方法は以下の通りである。

まず、注目構成要素の出力系列で異常な出力と正常な出力に分け、それぞれの入出力経路を求める。これは構造の記述から求めることができる。つぎに、異常な出力経路から正常な経路にも含まれる同一の構成要素を除き、異常な構成要素の候補を作成する。それに対する入力系列と出力系列を機能・振る舞いの知識などを利用してシミュレーションを行なうことによって求め、現在のその部分の状態を観察した結果と比較して正常か異常かを判断する。その判断基準は文献[2]と同じである。異常と判断した場合は、さらにその構成要素について、同様に繰り返して行なう。異常と判断した構成要

素が同一の経路上にある場合はより入力に近い構成要素を異常とする。

4. 考察

以上のように、組合せ回路を対象モデルによって表現することによって、故障診断を無駄な探索を行なうことなく推論することができると考えられる。しかしながら、実際の論理回路の多くはVLSIなどによって集積化され、このように値を観測することは不可能である。よって今後、観測不可能な場合の推論方式と順序回路のモデリングについて検討していく。

参考文献

- [1]上野晴樹：対象モデルの概念に基づく知識表現についてー深層知識システムへのアプローチー、信学会技法AI86-4、1986
- [2]大森康正、上野晴樹：深い知識と浅い知識を組合せた故障診断システムー対象モデルの応用ー、信学会技法AI87-30、1987
- [3]今井、伊藤、吉村、上野：汎用フレーム・システムZEROーその概要とユーザ・インタフェースについてー、信学会技法AI87-22、1987

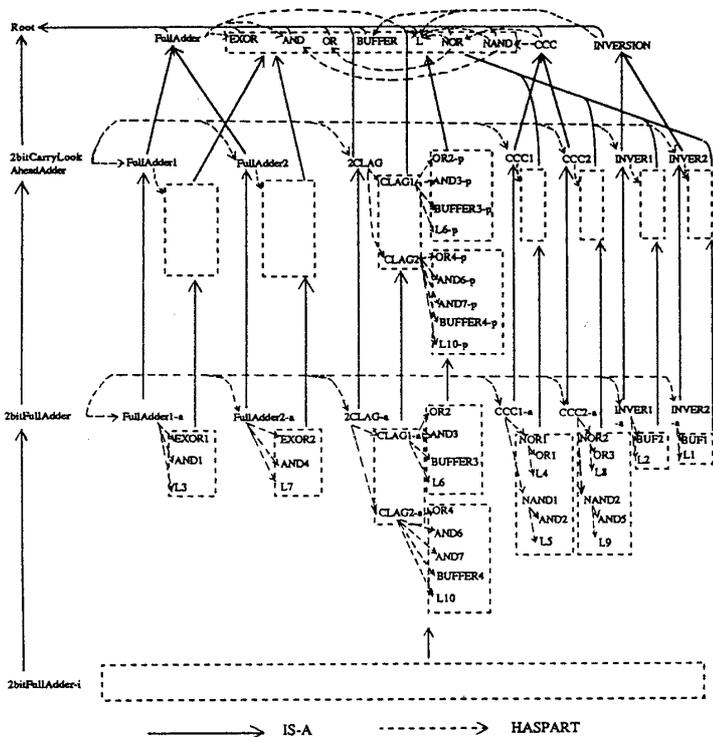


図2 対象モデルで記述した2ビット全加算回路の階層構造

FRAME NAME: FullAdder1-a		FRAME TYPE: CLASS
A-KIND-OF	FRAME	FullAdder1
D-DSCENDENTS	FLIST	(FullAdder1-a.i)
HASPARTS	FLIST	(EXOR1 AND1 L3)
PARTOF	FRAME	M74LS283P
PORTS	LIST	(CO P1 G1 4 X Y)
RELATIONS	PREDICATES	((CONNECT EXOR1.X AND1.X) (CONNECT AND1.Y L3.Y) (EXTERNAL-INPUT L3.P1 CCC1-a.P1) (EXTERNAL-INPUT AND.G1 CCC1-a.G1) (EXTERNAL-INPUT EXOR1.CO L1.CO) (EXTERNAL-OUTPUT S1.4 L1.CO))
INPUT-FROM	FLIST	(L1 CCC1-a)
OUTPUT-TO	FLIST	(S1)
BEHAVIOR	BRULES	((IF (BINARY-DIGIT L1.CO ?CO) (BINARY-DIGIT CCC1-a.P1 ?P1) (BINARY-DIGIT CCC1-a.G1 ?G1) (?4 --- (EXOR ?CO (AND (NOT ?P1) ?G1)))) NIL THEN NIL (BINARY-DIGIT S1.4 ?4)))
VALID-INPUT-VALUE	PREDICATES	((BINARY-DIGIT L1.CO (H L)) (BINARY-DIGIT CCC1-a.P1 (H L)) (BINARY-DIGIT CCC1-a.G1 (H L)))
VALID-OUTPUT-VALUE	PREDICATES	((BINARY-DIGIT S1.4 (H L)))

図3 図2で示したFullAdder1-aのフレーム例