

アルゴリズム駆動ニューロコンピュータ AN 1

3U-7

(4) トータルシステム

阿江忠 相原玲二 新田健一 久長穰 三井靖博
(広島大学)

1. まえがき

我々は、基本ブロックとしてホップフィールド型ニューラルネットワーク(1)を用意し、その組合せでより大きなネットワークを構成し、それにノイマン型のコンピュータ(これをニューラル制御プロセッサと呼ぶ)を接続したものを「アルゴリズム駆動ニューロコンピュータアーキテクチャ」として提案している(2)。ニューラル制御プロセッサからみれば、基本ブロックの集合を一種のメモリ(この意味でニューラルメモリと呼ぶ)として用いアルゴリズムが実行される。

現在、我々はプロトタイプマシンとしてAN 1 (Algorithm-driven Neurocomputer -Prototype 1-)を製作中である。AN 1では、アルゴリズム駆動アーキテクチャの具体的な形として、基本ブロックを行集合と列集合に二分する直交アーキテクチャ(図1)を採用している(図ではニューラル制御プロセッサは省略してある)。

本稿では、AN 1のハードウェア構成について述べる。

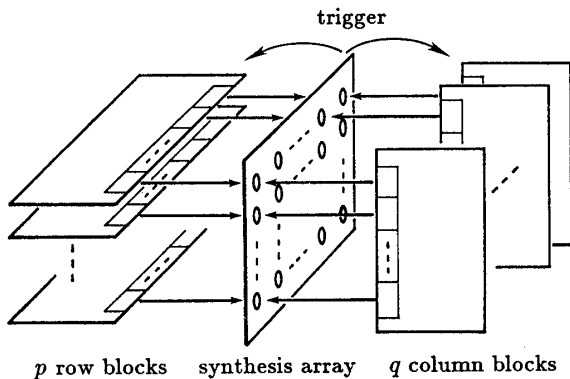


図1 直交アーキテクチャ

2. 基本ブロック

基本ブロックは、すべてのしきい値素子相互間に帰還のある結合を持つネットワークである(図2)。AN 1では、しきい値素子はそれと等価なブール関数素子によって実現される。実際には、関数が書換え可能であることからSRAMに真理値表を書き込む。図2の基本ブロックはRAMニューロンにより実現されている。基本ブロックには、関数の設定すなわちSRAMへの真理値表の書き込み/読出しモードとニューラルメモリとしての動的な動作モード、の2つのモードがある。さらに、ニューラルメモリとしての動的な動作モードは、状態の書き込み、状態遷移、状態の読出し、の3フェーズに分かれる。

状態の書き込みは、各ニューロンの出力を強制的に0,1または不定にすることにより行われる。これを実現するために、2ビットのトリガ入力を用意している。

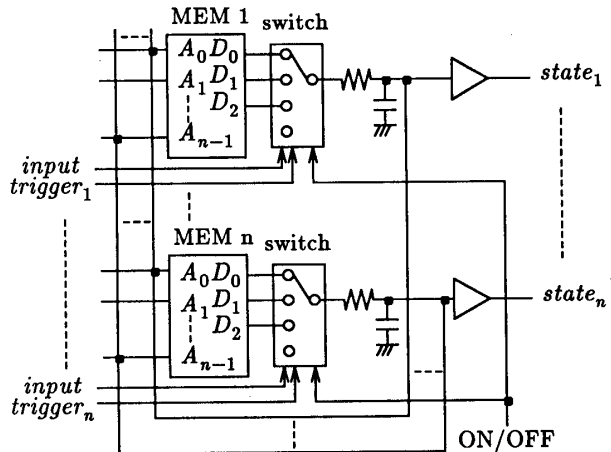


図2 RAMニューロンによるホップフィールド型ニューラルネットワーク

ニューロン本来の真理値表はSRAMのデータビット0 (D_0) に書き込まれている。SRAMの出力を強制的に0(1)にするためには、すべての入力に対して0(1)を出力するように真理値表を構成し、 D_1 (D_2)に書き込んでおく。状態の書き込みは、3つのデータビットをスイッチ(図2のswitch)で切り替えることにより実現される。

状態遷移時は、スイッチを D_0 へ切り替えることによって、書き込まれた状態から次の状態へ遷移する。また、基本ブロックの一部のビットを1または0に固定することによってそこをマスクした状態で行わせることもできる。

遷移後の基本ブロックの状態は、ニューラル制御プロセッサNPによって読み出されるとともに、3で述べる合成アレイに渡される。

本来、トリガ入力はSRAMから見ると、真理値表の入力という意味で他のSRAMからの入力と同じである。今回は、SRAMとして8bit×32Kのものを用い1枚の基板上に15個を相互結合したため、アドレス線をすべてそれに使い図2のような構成にした。

各RAMニューロンの出力に付加されている積分回路は、1) シグモイド状の関数と同等の作用、2) 遅延から生じる発振の防止、を目的として挿入されている(3)。

SRAMへの真理値表の書き込みは、スイッチによってホップフィールド型ニューラルネットワークにおけるフィードバックループを切り、通常のメモリとしてNPがアクセスする。読出しは関数を検証するために用いる。真理値表の書き込み/読出しはオフライン的に用いられるモードであり、しきい値関数を与えると自動的に真理値表が作成される。

基本ブロックは、以上の機能の他に、テストなどのためにNPからトリガが入力できるように、トリガレジスタを用意している(本来、トリガは合成アレイを用いて入力される)。これによって基本ブロック単体でも動作可能となっている。

AN1: Algorithm-driven Neurocomputer
(4) Total system
Tadashi AE, Reiji AIBARA, Ken-ichi NITTA,
Yutaka HISANAGA, Yasuhiro MITSUI
Hiroshima University.

1つの基本ブロックは、189×279mmのプリント基板上に実装されている(図3)。AN1では、この基板を最大30枚(行列基本ブロック、各々15枚)実装することができる(図4)。したがって、AN1の最大ニューロン数は最大SRAM数と等しく、450となっている。

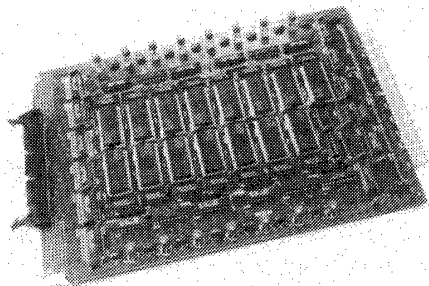


図3 基本ブロック

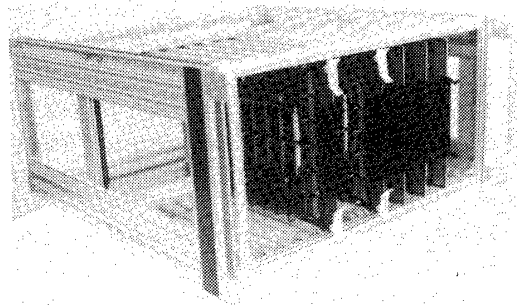


図4 ニューラルメモリ

3. 合成アレイ

合成アレイには、行基本ブロックと列基本ブロックのつくる格子点ごとに演算ユニットがあり、2つのニューロンの状態を入力とする演算を行い、その結果を2つのニューロンまたはNPに渡す(図5)。さらに、特別な演算として、すべての格子点において行と列のニューロンの状態が一致しているかどうかを出力ものがある(ただし、ニューロンへは出力されない)。

前節で述べたように、各ニューロンは2ビットのトリガ入力を持っているので合成アレイの出力も2ビット用意している。各演算 $f_1 \sim f_4$ は任意の2変数ブール演算(16個ある)であり、各々独立に演算を選択できる。1つの f は1個のPLAによって実現され、演算の選択はPLA内の4ビットのレジスタを用いて行われる。

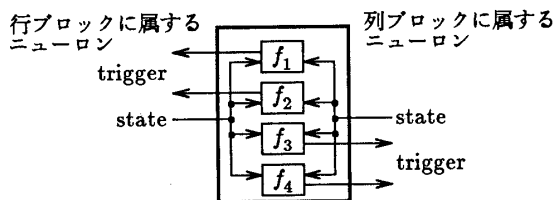


図5 1つの格子点に対応する演算ユニット

演算結果は、基本ブロックのトリガに出力するかどうかを選択でき、またNPで読み出すこともできる。

8個の格子点に対応する演算ユニットを203×216mmのプリント基板上に実装する設計になっている。合成アレイは、AN1の最大構成時には、1つの行または列に対して2枚の基板を対応させるため、全部で30枚の基板で実現される。

4. トータルシステム

2,3で述べた基本ブロック、合成アレイおよびNPを含めた全体構成を図6に示す。ただし、SRAMの書換えおよび合成アレイの演算の変更を行う部分には図には含まれていない。図6のSWは、基本ブロック上にあるトリガレジスタからのトリガ入力と合成アレイからのトリガ入力を切り替えるためのものであり、基本ブロックのプリント基板上に実装されている。

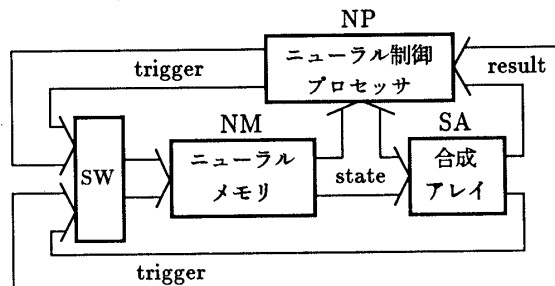


図6 AN1の全体構成

現在、NPとしてNEC PC-9801E1台を用いているので、ニューラルメモリの読み書き、合成アレイの演算結果の読出し、SRAMの書換え、合成アレイの演算の変更、はすべて16ビット単位でしか行えない。しかし、基本ブロックと合成アレイの結合はすべて並列であるので、図5に示す格子点のビット演算はマトリクスすべて並列に実行される。

5. 今後の課題

現在のAN1(暫定版)ではニューラルメモリと合成アレイは並列接続されているが、これらとNPとの結合が弱いため、この部分がボトルネックになる可能性がある。これはNPを並列化することで解決されるので、基本ブロック数と同じ数(30)のプロセッサを用いた並列プロセッサによる実現に変更する予定である。

ホップフィールド型ニューロコンピュータの特徴を生かすために、系の評価関数を定めそれを用いて問題を解く必要がある。アルゴリズム駆動ニューロコンピュータでは、基本ブロックごとに評価関数を設け、それを要素とするベクトルを全体の評価関数としている。AN1では評価関数を計算するハードウェアがなくても、ホップフィールドのエネルギー関数に相当する評価関数は物理系として直接実現されている。もっとも、リアプノフ関数である評価関数をユーザが自由に設定したい場合は、基本ブロックの状態はNPで読出し可能であるから、任意の評価関数が計算できるが、計算時間が問題になる。今後、問題に応じた評価関数が必要となるならば(4)(5)、それを計算するハードウェアを用意する必要がある。

文献

- (1) J.J.Hopfield and D.W.Tank; "Neural computation of decisions in optimization problems", Biological Cybernetics, 52, pp.141-152 (1985).
- (2) 阿江,山下,相原,新田; "アルゴリズム駆動ニューロコンピュータAN1", 信学技報, ICD, Dec.1988.
- (3) 久長,新田,相原,阿江; "アルゴリズム駆動ニューロコンピュータAN1のハードウェア", 情報処理学会計算機アーキテクチャ研究会, 1989.
- (4) 新田,相原,山下,阿江; "リアルタイム・ネットワークのためのニューラル・スケジューラ", 第37回情報学大会4N-6, Sep.1988.
- (5) T.Ae, M.Yamashita and K.Nitta; "Neural scheduler for real-time networks", Proc. Hawaii International Conference on System Sciences, Jan.1989.