

6T-4

データパラレル計算機による ICCG法の並列処理

前田栄一郎¹⁾ 村松 晃²⁾ 吉原郁夫²⁾

日立ニュークリアエンジニアリング(株)¹⁾ (株)日立製作所システム開発研究所²⁾

1. はじめに

分散型共有メモリを有する並列計算機(データパラレル計算機)^{1),2)}の性能を評価するためにソフトウェアシミュレータを開発し、偏微分方程式求解プログラムの実行を模擬した。

データパラレル計算機は処理されるデータに内在する並列性を引き出すことに重点を置いたSAM D型並列処理を特徴としている。本報告では、D O Lループ内の並列性を引き出すだけで十分な並列処理が可能であることを、主要部に逐次処理記述を含むICCG法プログラムを例に述べる。

2. シミュレータの概要

開発したシミュレータの構成は図1のようにホスト計算機、要素プロセッサ(PE)、相互結合ネットワークの各モデル部とグラフ表示部から成る。モデル部はデータパラレル計算機の構成要素の動作を模擬し、FORTRANで書かれた応用プログラムを実際に実行しながらシミュレーションを行なう。

シミュレータ本体はGPS Sで記述され、計算機上のデータや信号は、シミュレータではトランザクションとして扱われる。

(1) ホスト計算機：ホスト計算機を起動するトラ

ンザクションを発生し、ホスト用プログラムを実行する。そしてプログラム中で発行されるPEの起動命令は、PE用プログラム名を持つトランザクションとして全PEへ放送される。

(2) PE：放送されたプログラム名を持つPE用プログラムを実行する。実行中に発行される通信・同期命令はトランザクションとしてネットワークを介して目的のPEへ送られ、その命令に対応した処理が施される。ここで、届いたトランザクションがREAD命令の場合にはデータを読み出した後、再びネットワークを介して要求元のPEへ戻される。

(3) 相互結合ネットワーク：2次元のハイパクロスバスイッチと呼ぶ完全結合ネットワーク中をながれるメッセージをトランザクションとして扱う。

3. ICCG法の並列処理効率の評価

3.1 ICCG法の並列処理

データパラレル計算機の偏微分方程式への適用実験として、ICCG法²⁾の核心部を応用プログラムとしてシミュレータにかけ、その実行時性能を評価した。

ICCG法は高速反復解法の一つで、その主要部は完全独立処理部、内積計算部および前進・後退代

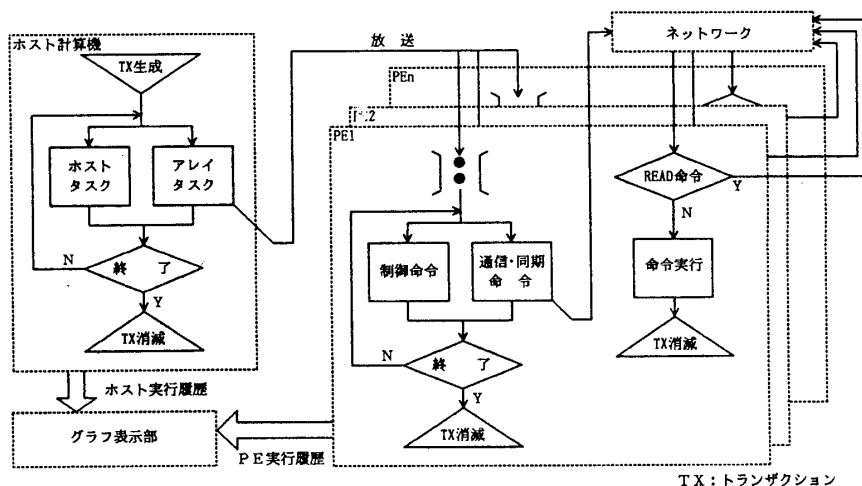


図1 データパラレル計算機シミュレータの構成

Parallel Processing of ICCG Method on Data Parallel Computer

Eiichiro MAEDA¹⁾, Akira MURAMATSU²⁾, Ikuo YOSHIHARA²⁾

Hitachi Nuclear Engineering, Ltd.¹⁾, Hitachi, Ltd.²⁾

入部より成る。このうち、通常逐次処理型ループとして記述される前進・後退代入部の性能によって全体の性能が大きく左右される。この部分をを対象の構造上で（3次元的に）見ると、図2のようにある格子点の値 X_0 が決まるとそれに隣接する X_1 、 X_2 、 X_3 の値がつぎつぎに計算可能となる。従って、この種の問題ではデータ依存関係のある繰返しループの並列処理がクリティカルである。

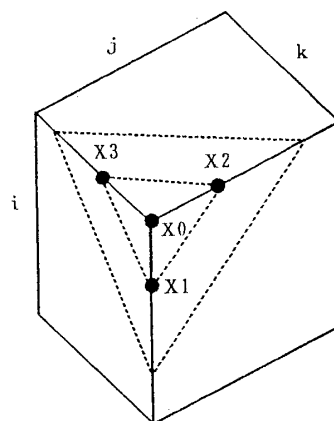


図2 前進代入部のウェーブフロント

3.2 シミュレーションによる評価

問題のサイズを3次元（64×16×16）、PE台数を64として、1台のPEには（j, k）平面を割り当てて、シミュレーションを行なった。その結果、図3に示すように処理全体としてみると、正味のプログラム実行が63%で、他PEからのデータ書き込みが7%、待ちが30%であるが、逐次性の強い前進・後退代入部では待ちは43%に達する。

4. 考察

全体で平均30%の処理装置の待ちは、ロード命令およびストア命令の待ちで、図4を見ても分かるように、おもに前進・後退代入の逐次性によるものと思われる。しかし本来逐次処理として記述されるこの部分で処理装置の平均稼働率が、57%に達しており、データフロー同期機構/コピー制御機構を持つデータパラレル計算機の有効性が示されている。

5. おわりに

分散型共有メモリ方式の並列計算機（データパラレル計算機）を偏微分方程式求解に適用した場合の性能をシミュレーションにより評価した。その結果、データフロー同期機構とコピー制御機構により、DOLープに内在する並列度を最大限に抽出できることを確認した。

6. 参考文献

- 1) 村松、他：データパラレル計算モデルの提案，第36回全大，1988
- 2) 村田、他：スーパーコンピュータ，丸善，1985
- 3) 村松、他：分散型共有メモリを持つデータパラレル並列計算機のアーキテクチャ，第38回全大，1989
- 4) 齊藤、他：分散型共有メモリのためのFORTRANインタフェイス，第38回全大，1989
- 5) 吉原、他：多次元FFTの並列処理，第38回全大，1989

	演算	代入	ループ制御	データパラレル固有の命令 割込	待ち
処理全体	40	5	17	7	30
前進・後退代入部	33	3	14	6	43

図3 PEの稼働率内訳

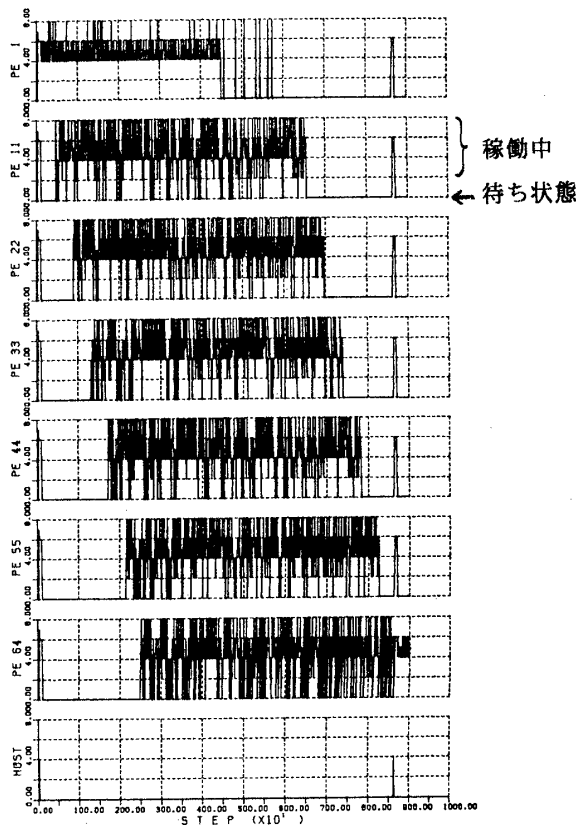


図4 前進代入部のPEの稼働状況