

大規模ゲートアレイのための

Min-Cut 配置の一実現法(2)

6S-4

高橋 一浩 藤野 康弘 寺井 正幸 佐藤 興二

三菱電機株式会社 カスタムLSI設計技術開発センター

1. はじめに

ゲートアレイの集積度の増大と共にレイアウト設計の複雑度も増大しており、より短時間により良い結果を得る配置配線CADが強く望まれている。配置配線設計においては、特に配置結果の良否が配線結果の良否に大きな影響を与えることから、より良い配置結果を短時間で得ることが重要であり、我々は次のように考察した。

- ①良い配置結果を短時間で得るために、初期配置に重点を置き配置改善は短時間ですませる。
- ②ゲートアレイでは配線不能の原因となる配線の局所混雑をなくすことが最も重要であることから、配線混雑度を評価関数として用い比較的高速であるMin-Cut法を採用する。

以上の考察の下に、与えられた回路接続情報(ネットリスト)の階層構造の中からレイアウトに適したものだけを利用して回路分割を行ない、かつ品種毎に適した分割順序を決定する機能を持つMin-Cut配置プログラムを開発した。

本報告ではMin-Cut配置プログラムにおけるネットリストの階層構造利用と分割順序決定法について述べ、その有効性を適用結果により示す。

2. ネットリストの階層構造を利用したMin-Cut配置

Min-Cut配置は図1のようにチップを二分する水平または垂直方向の線分(カットライン)と交わる信号線の数(カットバリュー)が少なくなるように回路を分割するという処理を繰り返し、セルの位置を決定する(1)。我々は文献(2)で、Min-Cut配置において処理時間の大部分が最初の数回の回路分割に要する時間であることに

着目し、1~n回目(nは小さい自然数)の回路分割にネットリストの階層構造を利用するMin-Cut配置を提案した。しかし、階層構造をそのまま利用しただけでは処理時間は短縮されるが配置結果が悪くなる場合がある。この問題を解決するためネットリストの階層構造の中でレイアウトに適したものを抽出し利用する手法について考察する。本手法はクラスタリング、クラスタ単位の分割、セル単位の分割の3ステップから成る。

2. 1 クラスタリング

このステップでは、配置問題の規模を小さくし、回路分割をクラスタ単位で効率よく行なうためにネットリストの階層構造に従って複数個のセルを1個のクラスタとする(図2参照)。このクラスタリングにおいて、大き過ぎるクラスタやクラスタ内のセル間の結合度が低いクラスタは配置結果に悪影響を及ぼす可能性があるため次の制約を満たすネットリストの階層モジュールだけをクラスタとする。

[サイズ制約] 1個のクラスタ内に含まれるセルサイズの合計が指定した上限値以下である。

[結合度制約] 次式で定義するクラスタの結合度が、指定した下限値以上である。

$$\text{結合度} = IP / (IP + EP) \times 100 (\%)$$

IP: クラスタ内部に含まれるピンペアの数

EP: クラスタ内外にまたがるピンペアの数

上記の制約を満たさない場合はその深さでのクラスタリングは行なわず、一段下の階層でクラスタリングを試みる。

クラスタ生成後クラスタ間のネットリストを作る。

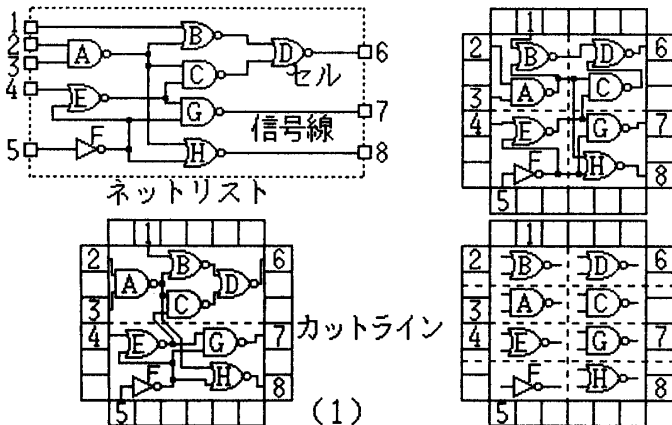


図1 Min-Cut配置

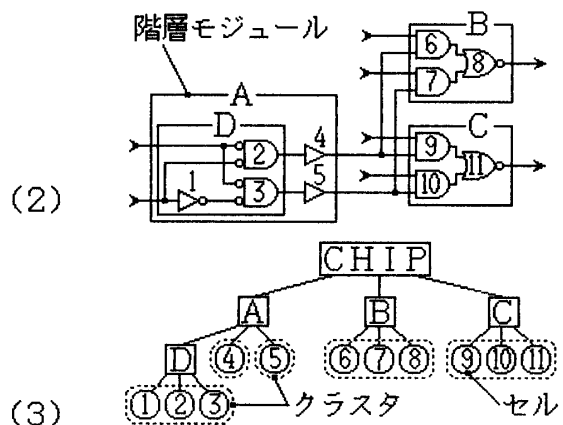


図2 クラスタリング

An Implementation of Min-Cut Placement for Very Large Gate-Array (2)

Kazuhiro TAKAHASHI, Yasuhiro FUJINO, Masayuki TERAJ, Koji SATO

ASIC Design Engineering Center, Mitsubishi Electric Corp.

2.2 クラスタ単位の分割

このステップではクラスタ間のネットリストに基づいてクラスタ単位の回路分割を行なう。クラスタリング時にサイズ制約と結合度制約を考慮しているため、短時間に良い分割結果が得られる。

2.2 セル単位の分割

クラスタ単位の分割を終了した後、セル間のネットリストを使ってセル単位の回路分割を行ない、さらに詳細な配置を決定する。各セルはクラスタ単位の分割時に割り付けた領域の中に配置する。

3. 分割順序自動決定機能

Min-Cut配置では分割順序によって垂直方向と水平方向の配線長の割合が変わるが、ゲートアレイにおいては通常ベースアレイ毎に分割順序を固定してMin-Cut配置を適用している⁽³⁾。しかし、sea-of-gates array (以下SOGと記す)では特に、ベースアレイの構造が同じでも品種毎に垂直方向と水平方向の配線容量の割合が大幅に異なるため、品種毎に分割順序を決定する必要がある。そこで、品種毎に次式で定義する水平方向の配線容量Cxと垂直方向の配線容量Cyを求めその割合から分割順序を決定する。

$$C_x = \text{水平方向チャンネルの高さの合計}$$

$$C_y = 1 \text{セル列当りの平均フィードスルー数}$$

分割順序は垂直方向、水平方向の二等分を交互に繰り返すQuadratureが一般に良いとされている⁽¹⁾ため、極端に一方の分割を優先するのではなく、Quadratureを基本とした表1の垂直優先及び水平優先の分割順序を定めCy/(Cx+Cy)の値に応じてこの中から選択する。選択基準を図3に破線で示す。表1において(V)Hとは既に行なった分割によって生じた小領域をすべて垂直(水平)方向のカットラインで二分することを指す。

4. 適用結果と考察

本配置プログラムを7kG~20kG規模のSOGに適用した。図4にクラスタ単位の回路分割の実験結果を示す。n回目の分割迄クラスタ単位で行なうためにはサイズ制約の上限値を{チップ上の全トランジスタ数/(m・2ⁿ)} (mは小さい自然数)とすることが望ましい。mを1とすると分割の自由度が小さくなり、mを大きくすると処理時間の短縮効果が小さくなる。ここではn=3, m=6としている。品種Bのようにサイズ制約だけではクラスタ単位の分割結果が悪くなる品種でも、結合度の下限値を40~50%に設定することにより良い分割結果が得られる。

比較的規模の大きい6品種について、階層構造を利用した場合と利用しない場合の処理時間(CPU時間/15MIPS)を図5に示す。セル数が多いほど処理時間は短縮され6品種平均で61%に短縮できた。

さらにSOG12品種について、表1に示す6通りの分割順序の中から選択した最適な分割順序と配線容量の比の関係を図3に●で示す。これにより、破線で示した選択基準による分割順序が有効であることがわかる。

5. まとめ

Min-Cut配置には数多くの制御パラメータがあるが、これらの中で品種毎に変更すべきものは自動決定し、1通りのデフォルト値で十分なものは評価実験から求めた最適値で運用しており、人手によるパラメータ指定無しに充分実用的な配置結果が得られている。

最後に開発に御協力頂いた三菱セミコンダクタソフトウェア株式会社鶴崎浩氏に感謝致します。

参考文献

- (1) M. A. Breuer, "Min-Cut Placement", J. of D. A. and F. T. Computing, Oct. 1977, pp. 343-362
- (2) 高橋、藤野、鶴崎、寺井、佐藤, "Min-Cut配置の一実現法", 情報処理学会第37回全国大会講演論文集
- (3) H. Shiraishi and F. Hirose, "EFFICIENT PLACEMENT AND ROUTING TECHNIQUES FOR MASTER SLICE LSI", Proc. 17th D. A. C., 1980, pp. 458-464

表1 分割順序

番号	分割順序	番号	分割順序
①	V-V-H-V-H-V-H-V...	④	H-V-H-V-H-V-H-V...
②	V-H-V-V-H-V-H-V...	⑤	H-V-H-H-V-H-V-H...
③	V-H-V-H-V-H-V-H...	⑥	H-H-V-H-V-H-V-H...

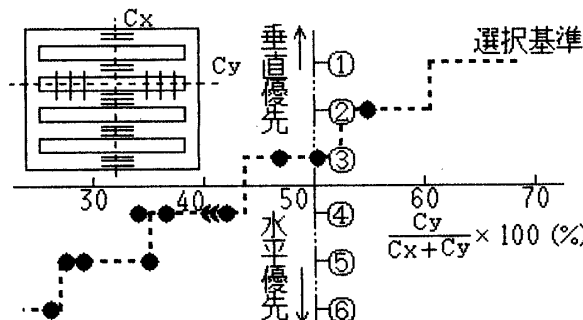


図3 配線容量の比と最適な分割順序

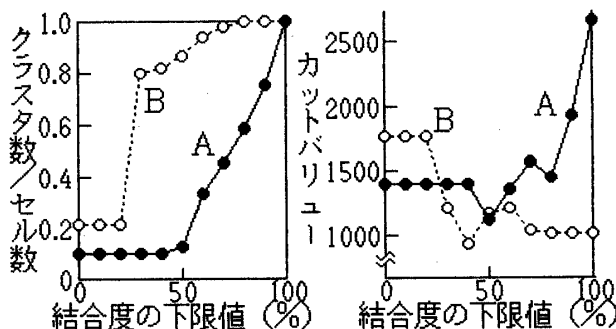


図4 結合度制約適用結果

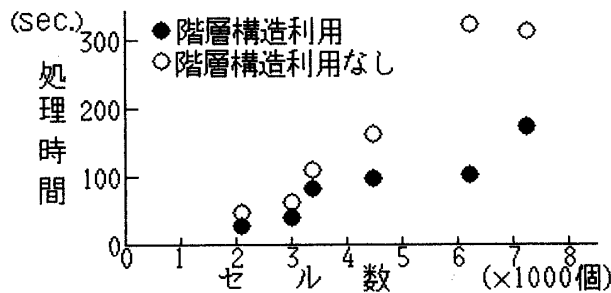


図5 セル数と処理時間