

4S-3

多相クロックを用いたデジタル回路の設計

林 世紀 田中 譲
北海道大学 工学部

1. はじめに

計算処理の大規模化並びに高速化への要求により、従来ソフトウェアで実現されていた処理機構がハードウェア化されてきている。このため、ハードウェア設計の非専門家が設計を行うことが多くなると考えられる。本稿では、設計者がソフトウェアを作成するように、逐次代入型のプログラムを用いて動作を記述すると考える。そのプログラムから、多相クロックを用いたデジタル回路への自動設計をレジスタ転送レベル(RTL)で扱う。ハードモデルと呼ばれるターゲットとなる回路モデルを定義し、プログラムからハードモデルへの設計手法について述べる。

デジタル回路の多くは二相クロックを用いて実現されている。ここでは、より一般的な多相クロックを用いる。これにより、設計者の自由度を増し、計算速度の向上、チップ面積の縮小を可能とする。

以下、ハードモデルについて述べ、動作仕様記述を単一代入規則に従う一つのループに制限した場合の設計手法を述べる。これは[1]を一般化した手法である。ここではレジスタの制御信号を多相クロックに制限した。そのため、動的レジスタを用いた回路に有効である。通常、セルライブラリ[2]を用いた設計では関数素子は分解不可能と仮定する。この手法でも、同様の制約が置かれるため、そのような設計の際に特に有効である。

2. ハードモデル

ハードモデルは、レジスタの制御信号を多相クロックに制限したRTLの回路モデルである。多相クロックとは図1のような信号群を言う。各サイクル内ではフェーズ信号は常に同じ順序で発生する。このようなサイクルが無限に続く。ただし、ハードモデルではフェーズの周期や位相差による規定は行わず、その前後関係のみで扱う。ここではデジタル回路をモジュール単位でモデル化する。ハードモデルは複数の外部入出力を持つ。入出力値は各サイクルにおいて唯一つと仮定する。各サイクルの入出力値を並べた系列

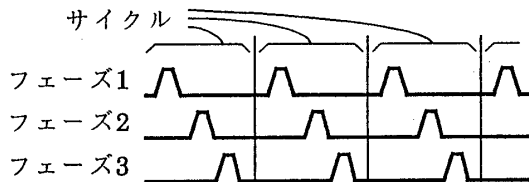


図1 多相クロック

を入出力時系列と呼ぶと、入力時系列から出力時系列を決める方法が外部動作と考えられる。

ハードモデルは以下により定義される。図2がその一例である。

- ①四種類(関数素子、レジスタ、外部入出力)の構成素子
- ②それらの接続関係
- ③フェーズ仕様
- ④外部タイミング仕様

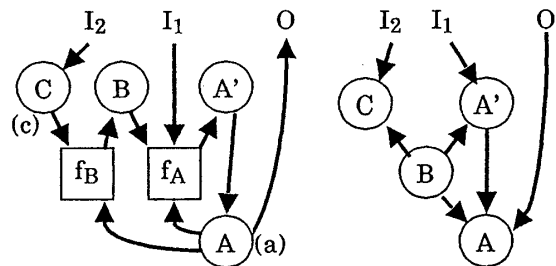
①②は一般的なRTLと同様である(図2-a参照)。レジスタと外部入力は動作開始時の値、初期値を持つ。③のフェーズ仕様とは、各々のレジスタを制御するフェーズの間の時間的前後関係である。この関係は一サイクル内で、一方のレジスタにフェーズ信号が送られる時刻と、もう一方のレジスタのその時刻との前後を表す。

④の外部タイミング仕様は一サイクル内での次の二つの時刻間の前後関係である。

- ・ レジスタにフェーズ信号が送られる時刻
 - ・ 外部入出力の有効期間
- ここで有効期間とは、
- ・ 外部入力については外部の回路が有効な入力値を外部入力に与えるべき時刻
 - ・ 外部出力については有効な出力値を保証する期間

を意味する。ただし、これらの関係は関数素子を通して接続されている構成素子間のみ定義される。これは外部動作を決めるには、このような構成素子間以外に前後関係を定める必要がないからである。③④はともにレジスタ並びに外部入出力上の関係により表すことができるので、それらをまとめて関係 $\leftarrow \phi$ により表す(図2-b参照)。

()内は初期値 □ 関数素子 ○ レジスタ



(a) 接続関係 (b) 関係 $\leftarrow \phi$

図2 ハードモデルの例

3. 設計手法

プログラムによる動作記述からハードモデルへの設計手法を示す。プログラムは図3のような三つの部分から構成される。繰り返し部分は単一

Design of a Digital Circuit using Multiphase Clocking

Toshinori HAYASHI, Yuzuru TANAKA

Hokkaido Univ.

```

input I1, I2  入出力の宣言
output O
A ← a;      初期値設定部分
C ← c;
do forever  繰り返し部分
begin
  O ← A;
  B ← fB(A, C);
  A' ← fA(B, A, I1);
  A ← A';
  C ← I2;
end
    
```

図3 動作仕様を表すプログラムの例

の無限ループである。ループ内は単一代入規則に従う代入文の列である。これらの代入文は逐次実行される。

この手法では、一旦プログラムをハードモデルに合成した後、最適化を考慮してハードモデルの間で等価変換を行う。この変換はグラフ上の簡単な特徴量に基づく。設計手法は三つのステップから成る。

ステップ1 自明なハードモデルの合成

ここでは、最適化は行わず、プログラムに対応するハードモデルを直接的な形で合成する。このハードモデルの外部動作はプログラムの表す動作と明らかに等しい。図3の例では図2のようになる。

ステップ2 レジスタ割り当て

ここでは、ハードモデル間の変換を行う。その際、関数素子の接続関係は変えない。レジスタの配置やフェーズ仕様、外部タイミング仕様のみを変更する。

図4-aのようなレジスタを通しての関数素子の接続関係を表すグラフをG_wとする。また、図4-bのような関数素子を通してのレジスタの接続関係を表すグラフをG_rとする。ただし、両グラフとも外部入出力を縮約して、頂点Extで表す。

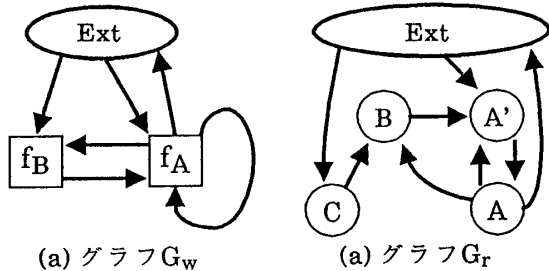


図4 図2の例のG_w, G_r

レジスタ割り当てにおいて満たすべき条件を示す。なお、レジスタ割り当て後のハードモデルの各記号には^を付ける。例では図5のようなハードモデルを考える。

条件1 G_wとG_w[^]は同型。すなわち、関数素子の接続関係は変えない。

条件2 G_wの有向閉路をC、それに対応するG_w[^]の有向閉路をC[^]として、p(C) = p(C[^])。

ここで、関数pはC(図6-aの細線)に対応するG_rの有向閉路上(図6-bの細線)のラベルpの数である。ここでラベルpは次のようなG_rの辺u上に定義される。辺uがrからr'への辺だとして、r ←_φ r'が成り立つ。ラベルpの意味は、辺の終点へレジスタ

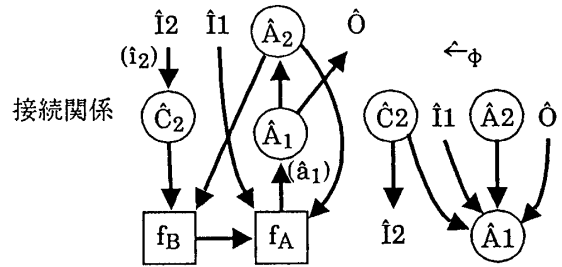


図5 レジスタ割り当て後のハードモデルの例

転送または出力が行われる際に、始点の構成要素の前のサイクルにおける値を用いるということである。

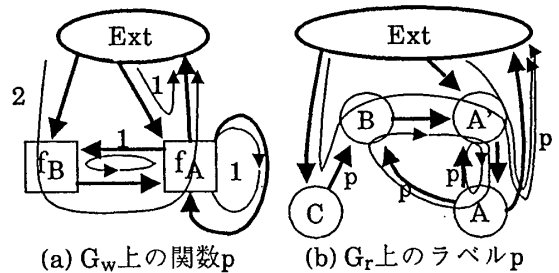


図6 図2の例の関数pとラベルp

ステップ3 初期値決定

レジスタの初期値決定は次の二つの段階からなる。(1)初期値条件の構成(2)初期値の計算

(1)の初期値条件とは初期値に関する条件で、割り当て前後のハードモデルの外部動作が同じになることを保証する。例では次のようになる。

$f_B(a_1, c) = f_B(\hat{a}_1, \hat{i}_2), a_1 = a_2 = \hat{a}_1$

(2)では、この条件式を割り当て後の初期値に関する連立方程式とみなして解く。これにより、初期値が求まる。

4. 設計手法の特徴

この設計手法は次の特徴を持つ。

(1)比較的設計が容易。(2)等動作性は完全に保証される。(3)設計制約が少ない。

(3)の設計制約は次の二点である。

- ①プログラム中の関数の用い方は変更しない。
- ②記号レベルで考えた場合の外部動作が等しい。

②では関数、初期値、並びに入力値を単なる記号とみなし、出力値も記号から構成される項により表す。この場合の外部動作が等しいことを意味する。図2の例では関数はf_A, f_B、初期値はa, c、I₁の入力値はi₁₁, i₁₂, ..., I₂の入力値はi₂₁, i₂₂, ...などの記号により表す。

5. おわりに

多相クロックを用いたデジタル回路のRTLでのモデルを示した。さらに、プログラムによる動作記述からそのモデルへの設計手法を示した。今後はこのモデルを用い、さらに品質の高い設計結果の得られる手法を開発していきたい。

参考文献

[1] 林、田中:多相クロックを用いたデジタル回路のレジスタ転送レベルにおける設計手法、情処第34回全大2F-6
 [2] J. Newkirk, R. Mathews, "THE VLSI DESIGNER'S LIBRARY", Addison-Wesley, 1983