

デザイン・ルール・チェックシステム

3S-1

松本展彦¹、鈴木幸司¹、小川孝治²、鎌田重夫¹、稲吉 稔¹

1 (株)日立製作所 戸塚工場

2 同 日立京浜工業専門学院

1. はじめに

情報処理装置の論理回路設計を短期に行なうためには、設計の初期段階で高品質を保障する設計支援システムの整備が、欠かせないものになっている。このため従来より論理不良抽出ツールとして論理シミュレータが使用されている。しかし論理シミュレータは論理的不良を抽出するものであり、ノイズマージン不足に代表される部品使用ミスの抽出は困難である。しかも部品使用ミスは環境や経年変化に依存するため、一度作り込まれると解析に手間取る上に実機でも検出できないことがある。

そこで部品使用ミスを自動的に抽出することを目的とした設計支援ツールとしてデザイン・ルール・チェックシステム (Design Rule Check System: 以下DRCシステムと略する。) の開発を行なった。

一般にDRCと言うと実装設計レベルのチェックを指すことが多いが、今回報告のものは論理設計レベルのチェックである。

本報告ではまずシステム全体の概要について述べた後、DRCのチェック例について述べる。

2. 特徴

今回開発のデザイン・ルール・チェックシステムの特徴としては次の点が上げられる。

(1) 論理設計レベルでのチェックが可能

ノイズマージン不足による不良には回路構成のみに着目することで検出できるものと、実装条件まで考慮しなければならないものとに分けられる。よって前者に当たるものをここで撲滅する。また実装上不良を作り込む危険のある回路構成にたいしてアラームを出す。(図1)

(2) 従来にない詳細チェックを論理レベルで実現

次の各チェック項目にたいして部品及びピン毎に異なる電気条件や機能を考慮したチェックを行なった。①ファンアウトチェック②フリップフロップ等のエッジピンへの直接接続③空き入力ピンの未処置④ディレイラインの駆動能力不足と周辺回路構成チェック⑤モノマルチバインダの使用ミス⑥フリップフロップへの入力パルス幅不足⑦結線論理より発生するリンギングの対策不良。また、抵抗、コンデンサやディレイラインのある回路のファンアウトチェックなど一律の計算式で処理出来ない

ものに対応するためバリエーションの洗い出しを行ない回路構成により異なるチェックを行なった。

(3) ベテラン設計者のノウハウをデータベース化

(2)の実現にあたり、プログラムで全て対応しようとするとは複雑かつ拡張性のないものになってしまうことを考慮し、ノウハウと部品情報のデータベース化を行なった。(図2)

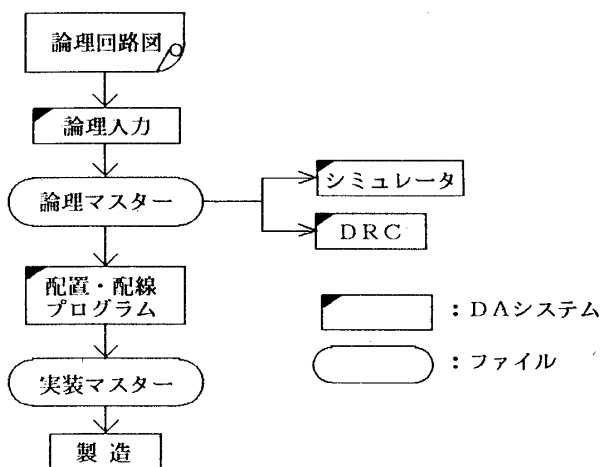


図1. システムの流れ

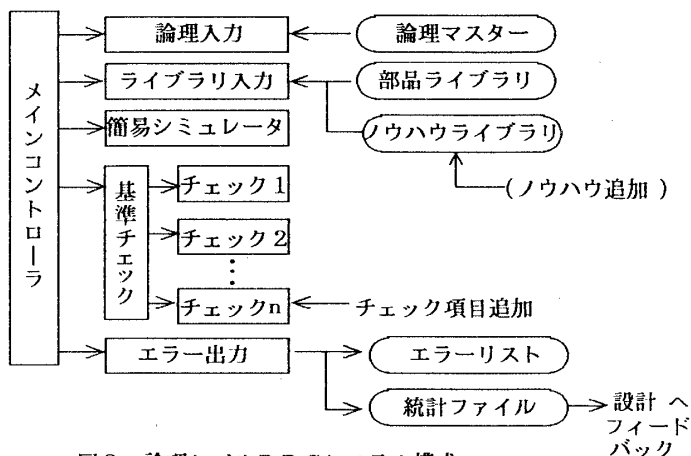


図2. 論理レベルDRCシステム構成

Design Rule Check System

Nobuhiko MATSUMOTO, Kozi SUZUKI,

Takaharu OGAWA, Sigeo KAMATA, Minoru INAYOSHI

Hitachi Ltd.

3. 論理レベルDRC詳細チェックの例

(1) ファンアウトオーバーチェック

使用する部品の種類により、その接続数が限定される。これを規定する要因は、DCファンアウトとACファンアウトの二つがあり、それぞれをチェックする。

① DCファンアウト

以下の点を考慮したことにより、正確なチェックが可能になった。(i) ローレベルとハイレベルのいずれでもチェックする。(図3) (ii) 各部品ごとに定義されたDCパラメータ、及び抵抗値をもとに受信の信号電流が規格値に収まることをチェックする。(図3) (iii) 回路構成に応じたチェック手法を設定する。(図3) (iv) トライステートのイネーブル信号が固定であればプルアップ不要とする。イネーブル信号のレベルは、入力信号なしでも回路構成でレベルが固定されている部分のみをシミュレーションすることにより決定する。(図4)

② ACファンアウト

上記のようにDCファンアウトを正確にチェックした場合ACファンアウトとして残る要因は配線パターン長である。そのためACファンアウトは簡易チェックとし、受信素子数が回路系に設定された許容数以下であることをチェックするに止めた。

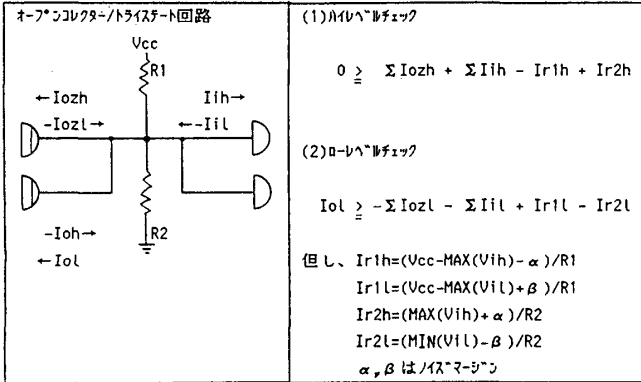


図3. ファンアウトチェックの一例

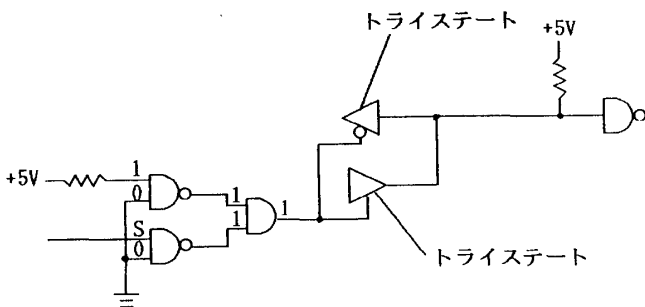


図4. 簡易シミュレーション方式

(2) デイレイライン使用法のチェック

デイレイライン駆動にはパワーが必要である。そのため、本システムでは次のようなチェックをする。①駆動能力計算②終端法③周辺回路構成④送信素子と受信素子数

このうち①②について以下説明する。

①駆動能力計算

送信素子の駆動能力及び抵抗値が次の式を満たしているかチェックする。

$$I_{ol} + V_{ol} / R_2 \geq (V_{cc} - V_{ol}) / R_1 + \Sigma |I_{il}|$$

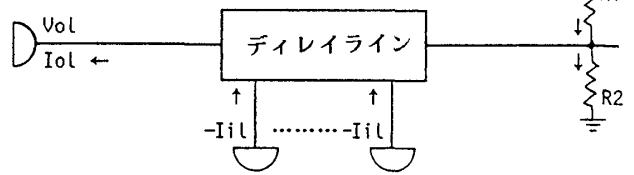


図4. 駆動能力計算

②終端法

終端方法は受信素子数と全遅延時間により異なるため、表1で示すようなチェックを行なう。

表1. 終端方法

全遅延時間	≤ 25 ns	≤ 50 ns	≤ 100 ns	≤ 200 ns
受信素子数				
1 ~ 2	300Ωのプルアップ抵抗			
≥ 3	使用禁止	430Ωのプルアップ抵抗	820Ωのプルアップ抵抗	使用禁止

また、抵抗内蔵型のデイレイラインで終端する場合は最終タップで終端され、電源ピンは開放されているかをチェックする。(図5)

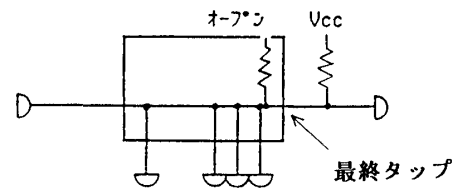


図5. プリダ抵抗の取り付け方 (抵抗内蔵型デイレイライン)

5. おわりに

本システムを開発し、プリント基板100品種に適用した結果、当初の予定通り部品使用ミスによる不良を摘出できた。