

2M-2

組込型簡易デバッグシステム

佐々木 政幸

日本電気テレコムシステム株式会社システム事業部

遠藤 幸男

日本電気株式会社伝送通信事業部

1. まえがき

近年、新規開発する製品では専用プロセッサも同時に開発されることが多い。しかしこのような専用プロセッサのプログラム開発においては往々にしてデバッグ環境が未整備であり、デバッガやROM作成ツール等が無い場合が多い。またデバッガの開発には膨大な費用と時間を要する。

今回、専用プロセッサを採用した画像処理装置開発にあたり、製品自体にデバッグの為の機能を盛り込みPCを接続することによりプログラムの入れ替えやメモリダンプ等が可能、デバッガ機能を持った製品組込型簡易デバッグシステムを開発したので報告する。

2. ハードウェア構成

図1に製品のプロセッサ構成を示す。

本製品は、画像処理プロセッサ¹⁾とホストプロセッサで構成されており、画像処理に専用プロセッサ、ホストに汎用プロセッサを使用している。ホスト-画像処理プロセッサ間はデータバスと制御線で接続され、ホストプロセッサから画像処理プロセッサ内のインストラクションメモリとワークメモリに対してリード/ライトできる。

ホストプロセッサからの書込みを早く行なうため、対象となる画像処理プロセッサに一括または個別に転送可能な構造とし、更にDMA転送でスピードを上げている。

また汎用プロセッサはRS232Cインタフェースにより、9600BPSの伝送速度でPCと接続する。データの信頼性を確保するため、チェックサムとACK/NAKによる簡易プロトコルを使用している。

3. デバッグシステムの構成

画像処理プロセッサの命令プログラムはPC上で編集・アSEMBルを行ないオブジェクトファイルを生成する。デバッグ中はプログラムを頻繁に変更するがこのファイルはホストプロセッサのメモリ上で固定データとして扱うため、PCからホストプロセッサへのファイル転送を行なうのみでよく、ホスト側では再リンクの必要がない。これによりプログラム変更からダウンロードまでの時間を短縮できる。

画像処理プロセッサによる処理結果を数値的に検証してデバッグを行なえるようにするため、ワークメモリ内容をホストプロセッサを介してしてPC上にファイルとして格納または表示する。これによりモジュール単位のデバッグができる。

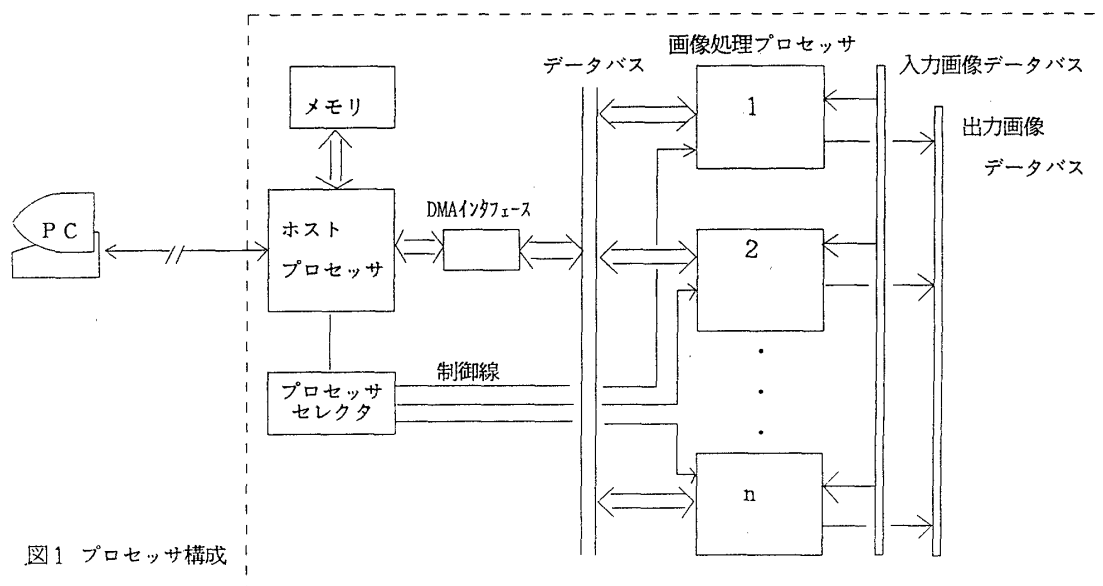


図1 プロセッサ構成

Built-in Debugging System
Masayuki Sasaki¹⁾, Yukio Endo²⁾

1) NEC Telecom Systems, Ltd, 2) NEC Corporation

4. ソフトウェア構成

このデバッグシステムはPCとホストプロセッサにデバッグ用プログラムを配備することにより構成されており、デバッグ操作はPCからのコマンド形式となっている。尚、機能は大別して以下のとおりである。

- 1) PC-ホストプロセッサ間のファイル転送
- 2) ホスト-画像処理プロセッサ間のデータ転送
- 3) 画像処理プロセッサの実行/停止制御
- 4) ホストプロセッサのメモリ、I/Oのリード/ライト

PC側のプログラムはFD上に作成してあり、キーボード入力により起動する。図2にコマンド体系を示す。

ホストプロセッサ側のプログラムは図1に示すメモリ上に格納してあり、タスク構成を図3に示す。このプログラムは大別して送受信割込処理と、コマンド解析処理からなる。RS232Cインタフェースからの送受信割込により1キャラクタ毎にPCへの送信及びPCからの受信を行なう。受信処理はPCからの1コマンドを受信バッファ上にバッファリングし、1コマンド受信完了時にメインタスクに通知する。送信処理は、コマンド解析処理からの送信要求によりPCへの送信データを送信する。コマンド解析処理は受信完了を受けてメインタスクより呼び出されて、受信バッファ上のコマンドを解析し対応の処理を行なう。

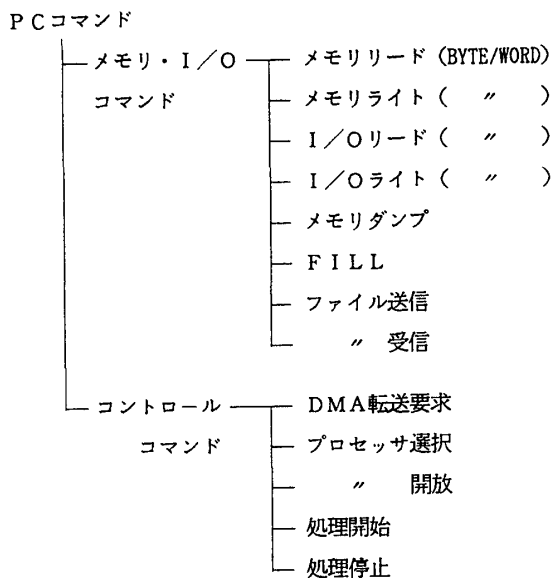


図2 コマンド体系

5. まとめ

今回のデバッグシステムの組み込みにおいては、製品ハードウェアの設計段階からデバッグの思想を取り入れ、総合的な設計を行なった。ソフトウェア処理を用いる製品開発においてのデバッグ環境の効率的整備は増々重要となっている。

このデバッグシステムはコマンドによる起動方式を取っている。繰り返し処理や、同期を要する処理への対応が今後の課題である。

6. 謝辞

開発に際し御指導頂いた伝送通信(専) 飯島部長、日電テレコム(株) 川谷内課長、C&Cシステム研矢野主任に深謝致します。

参考文献

- 1) Nishitani. et al, "Video Signal Processor Configuration by Multiprocessor approach", Proc. ICASSP86 April 1986

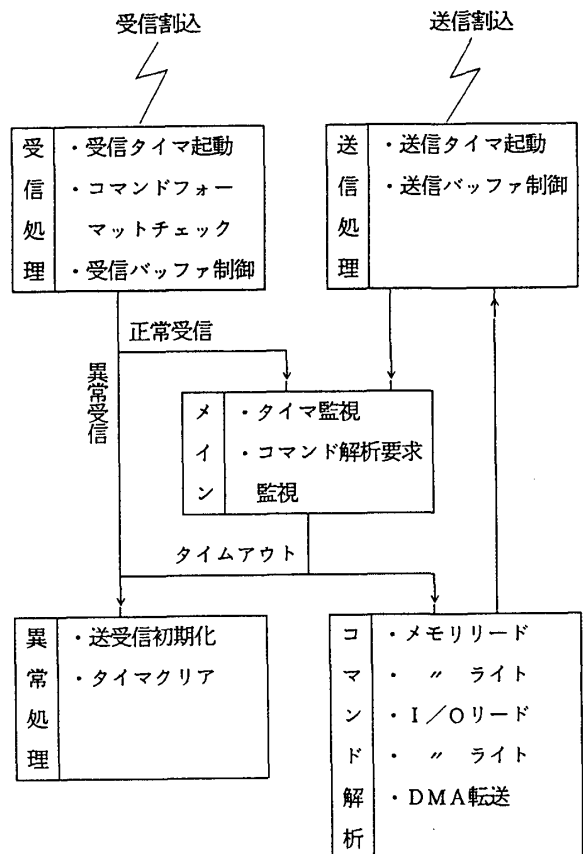


図3 タスク構成図