

7K-2

画像処理のための自律型非同期超並列プロセッサ

谷口倫一郎 雨宮真人
九州大学総合理工学研究科

1. まえがき

画像処理や信号処理など比較的整構造をした処理を高速に実行するためのプロセッサには、シストリックアレイ^[1]やCLIP^[2]等の並列プロセッサシステムがよく知られている。これらのシステムは全てのプロセッサエレメント(PE)を同期的に動作させる必要があるため、プログラムの困難性、プロセッサ稼働率の低さ、処理の柔軟性の欠如等の問題を持っている。本稿ではデータ駆動制御を用いて各PEを非同期に動作させ、柔軟で高能率な並列処理を実現する自律型非同期マルチプロセッサを提案し、それを用いた画像処理プロセッサシステムの実現について述べる。

2. 非同期マルチプロセッサの構成

ここで述べるプロセッサの構成は、多数のPEがネットワークで結合され、各PEが非同期に動作するものである^[3]。ネットワークの構成は、適用する問題によって適切なものを構成するが、ここで述べる画像処理の場合は、メッシュ結合が良いと考えられる。

PEの設計に当たっては、①データ駆動による非同期実行制御、②単純な構造(VLSI化し、 10^4 個以上のPEを実装可能にする)、③高速処理(多数回の繰り返し計算)、④データ系列の順序保存、を考慮した。このためPEは、再帰呼び出しや動的なプロセス管理機構を持たない静的なアーキテクチャとする。また、1つの物理的PEが複数の論理的PEにマッピングできるようにする。PEの構成を図1に示す。

Queue Buffer(Q):同期管理、データストリームの順序保持。

Operand Memory(OM):複数のレジスタセット

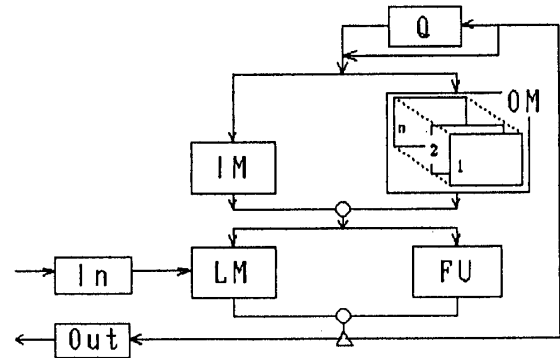


図1 PEの構成

(2次元メモリ)からなっており、1つのレジスタセットとFUの組合せで1つの論理PEに対応する。

Input(In), Output(Out):他PEとの通信、特にデータの行き先管理を行なう。

Instruction Memory(IM):命令コードとLMアドレスを保持する。

Link Memory(LM):命令のリンケージ情報を保持し、継続命令のIMアドレス決定を行なう。スイッチ制御も行なう。

Function Unit(FU):PEの演算を行なう。32bitの算術/論理演算、ビット操作をサポート。

プロセッサ間通信のためのprimitiveとしては、send, receive, demandを用意する。sendはデータを指定したPEに転送し、receiveは指定したPEからデータを受け取り、そして、demandは指定したPEにデータの転送を要求するものである。

3. 画像処理への適用

ネットワークは図2のようなメッシュ構造を用いる。各物理PEに、複数の論理PEを割り当て、各論理PEに画像の1画素を対応させる。つまり、ImPP^[4]等とは異なり、

画像データは各プロセッサ内に分散して格納されており、必要なデータが他のプロセッサに通信 primitive を用いて供給される。また、同一物理 PE 内にある論理 PE 間の結合には制約がないので、図 2 の物理的結合でピラミッド型の階層的結合を論理的に実現することができ、多重解像度の画像処理方式も容易に実現できる(図 3)。

処理手順の例として Vanderbrug の線検出処理^[5](3×3 のマスク処理)を挙げる。この処理では各論理 PE で以下のプログラムを実行させればよい(記法は Valid^[6] に準拠)。尚、N, S 等は論理 PE の位置を示す。(図 4 参照。x は自 PE 内の画素データ。)

```
function main(x:integer, dest:PEname)
  return(done_signal)
={ send(x,N), send(x,S), send(x,E),
  send(x,W), send(x,NE), send(x,SE),
  send(x,NW), send(x,SW),
  Vanderbrug(x,dest)}
function Vanderbrug(x:ingeter, dest:PEname)
  return(done_signal)
={ let center=x+(receive(N)+receive(S)),
  right =receive(E)+(receive(NE)+
  receive(SE)),
  left =receive(W)+(receive(NW)+
  receive(SW)),
  data =if (center-right) >
  (center-left)
  then center-right
  else center-left
  in send(data, dest)}
```

4. あとがき

最近、ニューラルネットワークモデルの研究が盛んになってきている。ニューラルネットワークの実現にも単純な構成のプロセッサを多数結合した非同期型の超並列計算機の実現が不可欠である。ここで述べた自律型非同期マルチプロセッサはこのよう

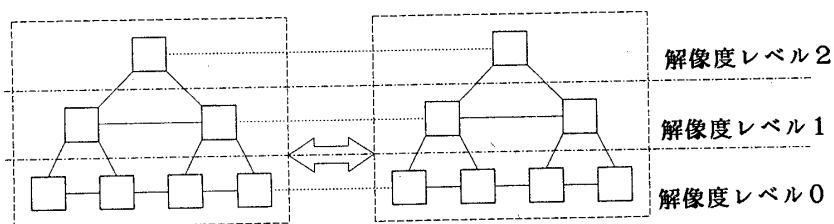


図3 ピラミッド型の画像処理方式

な超並列計算機の実現を可能にするものと思われ、現在ニューラルネットへの応用も検討している。

今後は、プロトタイプの PE を作成するとともに、プログラム記述のための関数型言語とそのコンパイラについても開発を進めていく予定である。

参考文献

- [1]H.T.Kung, "On the implementation and use of systolic array processors", Proc. Int. Conf. Computer Design: VLSI in Computers, pp.370-373(1983).
- [2]M.J.B.Duff, "Parallel processors for digital image processing", in Advances in digital image processing (P.Stucki ed), Plenum, pp.265-276(1979).
- [3]雨宮, 成瀬, "自律型アレイプロセッサ", 特願昭 57-064437.
- [4]松本, 倉川, 大内, 拔山, 星, 天満, 岩下, "画像処理分野をねらったデータフロー型プロセッサ LSI", 日経エレクトロニクス, No.340, pp.181-218(1984).
- [5]G.J.Vanderbrug, "Semilinear line detector", CGIP, Vol.4, pp.287-293(1975).
- [6]雨宮, 長谷川, 小野, "データフロー計算機用高級言語 Valid", 研究実用化報告, Vol.33, No.6, pp.1167-1181(1984).

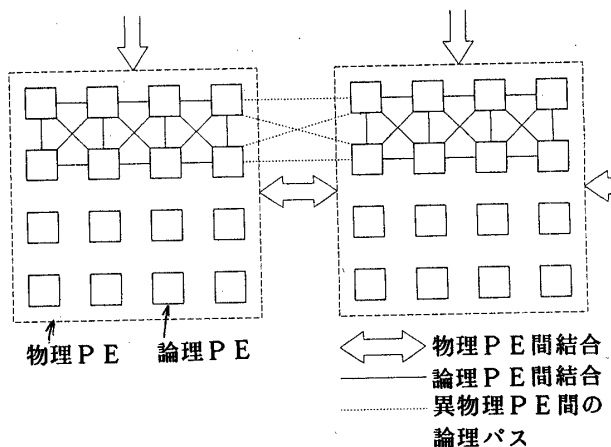


図2 画像処理用非同期マルチプロセッサシステム

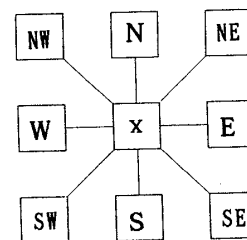


図4 画素間のデータ通信