

リーフセル回路最適化手法

田中正和[†] 福井正博[†]

リーフセルの回路最適化において、性能および面積の観点からトランジスタの折り返し段数を最適化する手法について記述する。従来のトランジスタの性能最適化手法では、サイズすなわちゲート幅のみが最適化の対象であり、折り返し段数はレイアウト設計時に性能を考慮せずに決定されていた。一方、本手法では、トランジスタの拡散共有や折り返しが性能および面積に与える影響を推定する手法を利用し、性能最適化の観点からトランジスタサイズだけでなく折り返し段数をも決定する手法について記述する。実験の結果、トランジスタサイズのみを最適化した場合と比較して、ライブラリセルの遅延を最大 15%改善できることが分かった。

A Circuit Optimization Method for Leaf Cell Design

MASAKAZU TANAKA[†] and MASAHIRO FUKUI[†]

This paper presents a new method to optimize transistor folding and transistor size for leaf cell design. Prior works determine transistor folding without considering the performance. In this method, transistor folding is optimized in account of the performance, using an accurate estimation model for the capacitance of diffusion regions and the layout area considering diffusion sharing or transistor folding. The experimental results for standard cell libraries show 15% delay reduction in the best case from conventional methods.

1. はじめに

プロセスの微細化や低電圧化の影響により、デバイス性能のばらつきやリーク電流、あるいは寄生素子等、LSI 設計時に考慮すべき問題は増加の一途をたどり、高集積かつ高性能な LSI の実現は、ますます難しくなっている。

従来、セルベース設計においては、ライブラリとして準備されたリーフセルを使用し、レイアウトすることによって LSI 設計が行われていた。しかしながら、高集積かつ高性能な LSI を実現するには、個々のリーフセルが性能や面積の観点から最適化されていることが必要であるが、近年、配線遅延のみならず、クロストークや IR ドロップ等レイアウトに依存する効果が増大しており、レイアウトから得られた条件を用いなければ個々のリーフセルを真に最適化することは困難となっている。リーフセルを構成するトランジスタは、その負荷容量、駆動能力、面積がリーフセルの性能に与える影響は大きく、トランジスタの最適化技術は重要性を増している。

一方、ライブラリ設計においては、低消費電力重視や高速動作重視等、開発すべき LSI の要求性能に応じて個々のライブラリセルを最適化設計しておかなければ所望の機能が実現できなくなっている。そのため、ライブラリ設計における性能最適化技術の確立が望まれている¹⁾。

トランジスタレベルにおける従来の最適化手法としては、文献 1)~6) があった。文献 2), 3) では、トランジスタを定抵抗でモデル化し、その拡散容量および面積はトランジスタサイズに比例するというモデルを用いている。また遅延関数がトランジスタサイズに対して凸関数の性質を持つことを利用して高速に最適化を行っている。また文献 4), 5) では、より正確な非線形のトランジスタ動作モデルを用いて高精度化をねらっている。

それに対し文献 1) では、文献 2)~5) の手法で用いられた容量や面積の値がレイアウトに基づいた容量や面積と比較して大きな誤差を含んでいることに着目し、トランジスタの接続関係や配置領域の形状等から拡散共有の行われる箇所等を推定し、推定結果に基づいて遅延および面積を計算することからより最適性の良いトランジスタサイズを決定する手法を提案している。また文献 6) では、リーフセルの配置配線を行った後

[†] 松下電器産業株式会社半導体先行開発センター
Advanced LSI Technology Development Center, Matsushita Electric Industrial Co., Ltd.

に実際の配線容量等に基づいてリーフセルのトランジスタサイズを最適化することにより、面積および遅延の制約のもとで消費電力の最小化を実現している。

一方、実際のリーフセル内のレイアウトにおいては、配置領域よりも大きなサイズのトランジスタは、複数のトランジスタに分割してそれらを並列に接続し拡散共有して配置が行われている。これをトランジスタの折り返し、またそのときの分割数を折り返し段数と呼んでいる。トランジスタの面積および拡散容量は、この折り返しの影響を受けるため、トランジスタの折り返しを最適化することはライブラリセルの性能最適化を行ううえで重要である。ところが、従来の手法^{1)~6)}において、最適化の対象となっていたのはトランジスタのサイズのみであり、トランジスタの折り返しを性能の観点から最適化する方法はなかった。また折り返しは、すでに決定されたトランジスタサイズに基づいて、レイアウト設計時に性能を考慮せずに決定されていた。

さらに、実際の設計にはさまざまな評価指標が存在し、それらのトレードオフ関係を考慮して、それぞれの評価指標間の優先度と制約条件とに基づいて、最適な解を選択しなければならない。しかし、従来の手法^{1)~6)}においては、最適化目標や制約条件とする評価指標をあらかじめ限定することにより最適化を実現している。

本論文では、トランジスタの折り返しがレイアウト面積や遅延に大きな影響を与えることに着目し、文献 1) で提案されている面積および遅延モデルを用いて折り返しを反映した遅延および面積を推定することにより、最適なトランジスタのサイズと折り返し段数とを決定する手法と、複数の評価指標のもとでの制約条件と最適化目標の表現方法、および、それら制約条件のもとで最適化目標を実現する手法について提唱する。2 章では、最適化の問題定義を行い、3 章では本手法の折り返しおよび遅延面積モデルについて記述する。4 章では、これらのモデルのもとで制約条件を満たしつつ最適なトランジスタのサイズおよび折り返し段数を決定する手法について記述する。さらに、5 章では実験結果を示し、最後に 6 章でまとめを行う。

2. 問題定義

本章では、最適化問題の定義を行う。設計の各評価指標において、与えられた制約条件を満足する範囲内において、それぞれの評価指標を最小化（あるいは最大化）することが最適化問題となる。

2.1 評価指標

評価指標とは、設計された回路の良し悪しを定量的に表現するための尺度である。リーフセルにおいては、以下のような評価指標がある。また評価指標を定義する際には、出力負荷容量、入力信号波形、電源電圧等の評価条件を明確にしておく必要がある。

- 遅延（最大遅延、平均遅延、遅延差）
- 面積
- 消費電力
- 低電圧耐性（動作保証最低電源電圧、低電圧時遅延）
- リーク電源電流
- ピーク電源電流
- 電源電流傾き
- 入力端子容量
- 出力駆動能力

実際の設計においては、これらの評価指標の中から何を最適化時に用いるか、あるいは各評価指標間の優先度はどうか等を決定しなければならない。また、最適化処理時間と最適化の結果得られる回路の最適性との間には、トレードオフ関係が成立するため、設計時には対象とする回路やプロセス、あるいは開発する LSI の用途等を考慮して最適な評価指標を決定する必要がある。

本手法では、 N 個の評価指標を設計に用いる場合、式 (1) のように各々の評価指標 M を N 次元ベクトルで表現する。

$$M = (M_1, M_2, \dots, M_N) \quad (1)$$

一般に評価指標としては最大化すべきもの、最小化すべきもの、ある一定値に近づけるべきもの等がある。本論文では、簡単のため、すべての評価指標は最小化すべきものと仮定する。

2.2 制約条件

最適化設計において、評価指標の一部をあらかじめ定めた値以下になるよう限定する場合、これを制約条件として明記する。制約条件を用いるのは、たとえば以下のような設計の場合である。

- パスに与えられた遅延制約を満足させるために、個々のリーフセルに遅延制約を割り当てる場合
- ポストレイアウト検証後に、リーフセル面積を制約して他の評価指標を最小化する場合
- ライブラリ設計において、同機能のセルに対して異なる性能のパリエーションを揃える場合

評価指標数が N 個として、制約条件 C を式 (2) で表現する。

$$C = \{ M_i \leq S_i | 1 \leq i \leq N \} \quad (2)$$

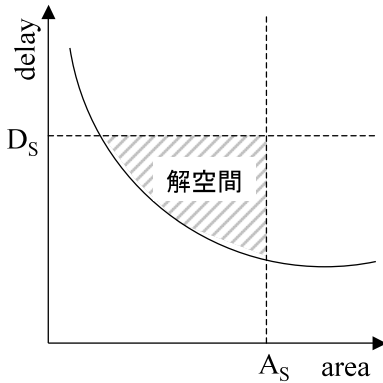


図1 制約条件

Fig.1 Constraints on area or delay.

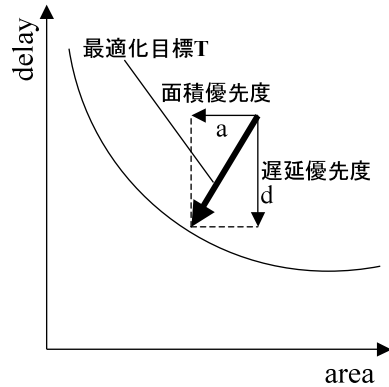


図2 最適化目標

Fig.2 Optimization target.

ここで、 $M = M_1, M_2, \dots, M_N$ は評価指標の集合であり、 $S = S_1, S_2, \dots, S_N$ は各評価指標の上限値である。また評価指標 M_j に制約条件を与えない場合、 $S_j = \infty$ とする。

評価指標として面積と遅延を用いる場合の制約条件 C は、式 (3) で表される。図 1 において、制約条件とトレードオフカーブに囲まれた部分が求めるべき解空間となる。

$$C = \{ A \leq A_S, D \leq D_S \} \tag{3}$$

ここで、 A および D は最適化対象回路の面積および遅延であり、また A_S および D_S は対象回路の面積および遅延の上限値である。

2.3 最適化目標

評価指標 M における最適化の優先度を表すために、最適化目標ベクトル T を式 (4) で表現する。

$$T = (T_1, T_2, \dots, T_N) \tag{4}$$

ここで、 T_j は評価指標 M_j に対する最適化の優先度であり、最小化を目標とする場合は負の値とする。

図 2 において、面積および遅延を $(-a) : (-d)$ の優先度で最小化する場合、最適化目標 T は式 (5) で表される。

$$T = (a, d) \tag{5}$$

面積および遅延の 2 次元座標において、対象回路のとりうる解空間の中で、最適化目標ベクトルの指し示す方向に他の解がないときにそれが求めるべき解となることを意味している。

3. 本手法モデル

本章では、我々の手法を用いたライブラリ設計フローと、トランジスタの折り返しモデル、および遅延・面積モデルについて記述する。

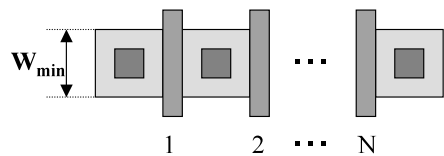


図3 折り返し段数上限

Fig.3 Upper limit of folding.

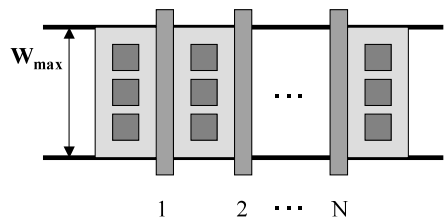


図4 折り返し段数下限

Fig.4 Lower limit of folding.

3.1 折り返しモデル

デザインルールから決定されるトランジスタサイズ W の最小値を W_{min} 、折り返し段数 F とすると、折り返しのため分割された各トランジスタがデザインルールを満足するためには、式 (6) が成立しなければならない (図 3)。

$$F \cdot W_{min} \leq W \tag{6}$$

一方、セル高さによるトランジスタサイズの最大値を W_{max} とすると、セル高さを維持するためには、式 (7) を満足する必要がある (図 4)。

$$W \leq F \cdot W_{max} \tag{7}$$

したがって式 (6), (7) より、トランジスタのサイズ W と折り返し段数 F との制約関係は式 (8) で表される (図 5)。

$$W/W_{max} \leq F \leq W/W_{min} \tag{8}$$

従来⁷⁾のレイアウト設計手法において折り返し段数

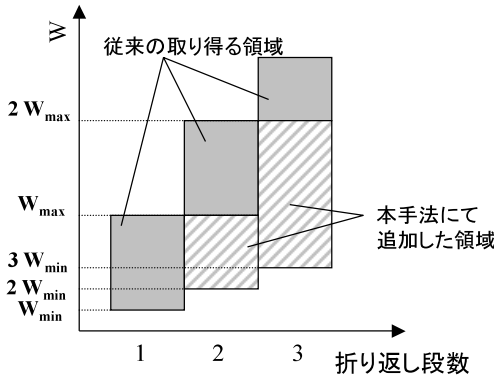


図5 パラメータ変化領域
Fig. 5 Parameter range.

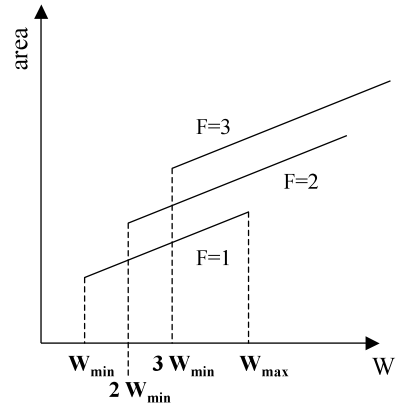


図6 面積特性関数
Fig. 6 Area function.

F は、式 (7) を満たす整数 F の最小値のみが用いられていた。本手法では、式 (8) を満足する範囲において任意の F の値をとることを可能としている。

3.2 遅延・面積推定モデル

回路レベルにおいて、正確に最適化を行うには、レイアウトの寄生効果を反映した正確な面積および遅延モデルが重要である。さらに、トランジスタの折り返しを最適化するには、その折り返しによってレイアウト後の面積や遅延がどのように変化するかを正確に見積もることが必要である。

本手法では、遅延および面積の見積りに文献 1) のモデルを用いている。このモデルでは、各トランジスタの折り返し段数と、トランジスタ間の接続関係とから、回路上でトランジスタの拡散共有の行われる箇所を確率的に推定し、そこから導き出される拡散形状に基づいて、トランジスタの占める面積と、拡散領域の底面および側面の接合容量の計算を行っている。さらに、配置領域の形状等から推定したトランジスタの敷き詰め率に基づいてセル面積の推定を行っている。

図 6 および図 7 は、トランジスタのサイズ W および折り返し段数 F に対する文献 1) の手法の面積関数および遅延関数を表したグラフである。どちらの場合も折り返し段数 F が同一であれば連続関数であるが、折り返し段数 F の値が変化すれば、その値が不連続に変化する。一方、遅延と面積との関係を示したのが図 8 である。同一折り返し段数のもとでは凸関数の性質を持つが、異なる折り返し段数を考慮すると局所解が存在する。

4. 最適化手法

本章では、複数の評価指標に対する制約条件および最適化目標を用いた最適化手法と、不連続点に起因する局所解を含む関数に対する最適化手法について記述

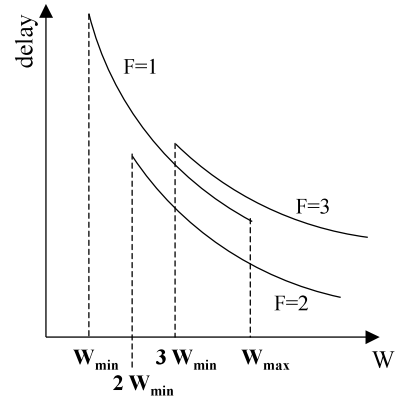


図7 遅延特性関数
Fig. 7 Delay function.

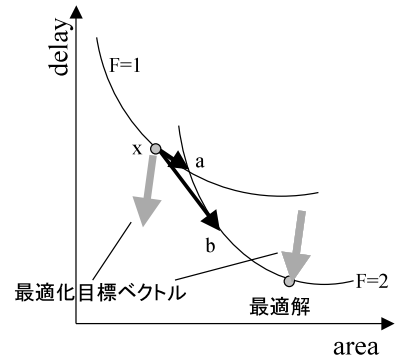


図8 面積と遅延との関係
Fig. 8 Area-delay curve.

する。

4.1 最適化目標

本手法では、あらかじめ与えられた最適化目標ベクトル T の方向を最適化目標とするが、初期回路において、少なくとも 1 つの評価指標が制約条件に違反し

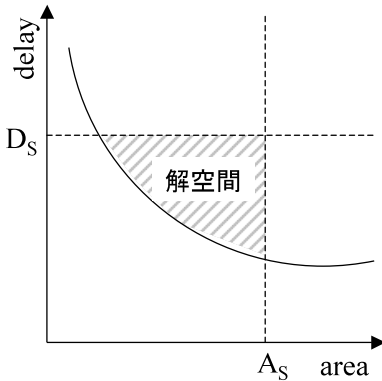


図9 制約違反時における最適化目標
Fig.9 Optimization target against violation.

ている場合に関しては、制約条件を満足するまでの間、制約条件違反の解消方向を最適化目標とする。このときの最適化目標 T は、現在の回路の各評価指標値を $x = (x_1, x_2, \dots, x_N)$ として式 (9) で表す。

$$T = (\min((S_1 - x_1)/x_1, 0), \min((S_2 - x_2)/x_2, 0), \dots, \min((S_N - x_N)/x_N, 0)) \quad (9)$$

面積と遅延のみを評価指標とする場合の最適化目標 T は式 (10) となる。図 9 において、太矢印の指し示す方向が、その地点での最適化目標ベクトル T を表している。

$$T = (\min((S_A - x_A)/x_A, 0), \min((S_D - x_D)/x_D, 0)) \quad (10)$$

ただし、 x_A, x_D は、それぞれ、現在の回路の面積および遅延であり、 S_A, S_D は、それぞれ、面積制約および遅延制約である。

4.2 変更ベクトル

本手法では、トランジスタのサイズや折り返し等の回路変更に対応した各評価指標の変化の比を表す指標として、変更ベクトル z を定義する。変更ベクトル z は、変更前および変更後の回路の各評価指標値をそれぞれ、 $x = (x_1, x_2, \dots, x_N), y = (y_1, y_2, \dots, y_N)$ として式 (11) で定義する。

$$z = ((y_1 - x_1)/x_1, (y_2 - x_2)/x_2, \dots, (y_N - x_N)/x_N) \quad (11)$$

面積と遅延のみを評価指標とする場合、変更ベクトルは式 (12) となる。

$$z = ((y_A - x_A)/x_A, (y_D - x_D)/x_D) \quad (12)$$

ここで、回路変更前の面積および遅延は、それぞれ、 x_A, x_D 、回路変更後の面積および遅延は、それぞれ、

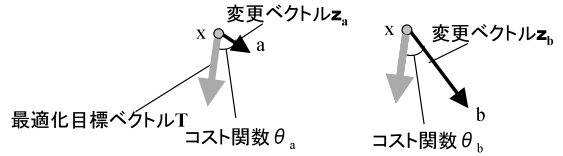


図10 コスト関数
Fig.10 Cost function.

y_A, y_D である。

4.3 コスト関数

本手法のコスト関数について記述する。コスト関数は、回路変更の方向が、設計目標方向にどれだけ近いかを示す指標とする(図10)。コスト関数は変更ベクトルと設計目標ベクトルとのなす角度 $\theta (0 \leq \theta \leq \pi)$ で定義する。すなわち、改善方向が最適化目標に近いほど改善コストは小さくなる。変更ベクトルを $z = (z_1, z_2, \dots, z_N)$ 、最適化目標を $T = (T_1, T_2, \dots, T_N)$ とすると、改善コスト θ は余弦定理により次式で表される。

$$|z - T|^2 = |z|^2 + |T|^2 - 2|z||T| \cos \theta \quad (13)$$

より、

$$\theta = \text{Cos}^{-1} [(|z|^2 + |T|^2 - |z - T|^2) / (2|z||T|)] \quad (14)$$

4.4 探索空間

本手法では、折り返しの変更を考慮しているため、最適化対象関数は凸関数とはならない。そのため、対象関数にはいくつかの局所解が存在する。しかし、折り返し段数が変化しない領域であれば対象とする関数は凸関数と見なすことができるため、凸関数を想定した最適化と折り返し変更による探索を組み合わせることにより大域的な最適化を実現している(図8)。

- 折り返し段数を固定したままのトランジスタサイズの微小変化
- 折り返し段数を増加および減少させ、コスト関数が最も最小となる点(ただし制約条件に違反する領域は探索空間から除外する)

4.5 最適化アルゴリズム

本手法の最適化アルゴリズムについて記述する(図11)。

初期回路の入力 回路の接続情報および初期パラメータの入力を行う。

制約条件確認 現在の回路における各評価指標がすべての制約条件を満足しているかのチェックを行う。

変更候補探索 各トランジスタにおいて、トランジスタサイズ W のみを微小変化させたときのコスト関数、および、折り返し段数 F を $F + 1$ およ

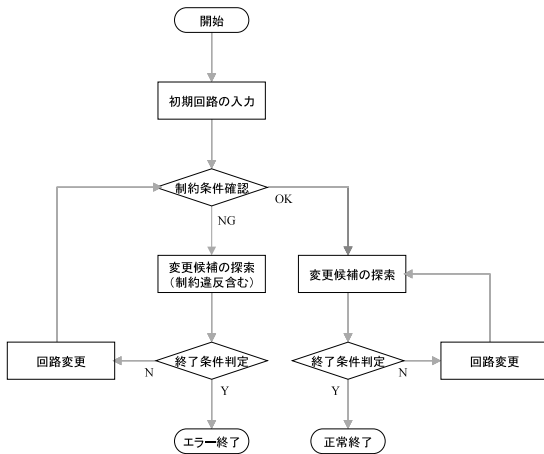


図 11 最適化フロー

Fig. 11 Optimization flow.

表 1 遅延改善比較結果

Table 1 Experimental results of delay reduction.

No.	回路種類	従来手法	本手法	改善度
1	buffer	265	237	-10.6%
2	cmp-gate	277	233	-15.9%
3	half-adder	268	257	-4.1%
4	inv	204	174	-14.7%
5	nand	310	294	-5.2%
6	nor	386	369	-4.4%
7	ex-or	470	447	-4.9%

び $F - 1$ としたときのコスト関数の最小値を計算する。

変更候補の選択 コスト関数の最も小さな変更候補を選択する。

終了条件判定 変更候補のコスト関数が $\pi/2$ 以上の場合、処理を終了する。

回路変更 選択された変更候補に従い回路のトランジスタサイズ W および折り返し段数 F を変更する。

5. 実験結果

本手法の最適性を評価するため、従来手法¹⁾との比較を行った。本手法ではトランジスタのサイズと折り返し段数の両方の最適化を行っているが、従来手法¹⁾ではトランジスタサイズのみ最適化しか行っていない。また実験対象として、 $0.35\ \mu\text{m}$ スタンダードセルから代表的な回路を数個選択した。比較のため、各回路ごとに同じ面積制約値を与え、最適化目標 $T = (0, -1)$ 、すなわち、遅延最小化を行った。比較結果を表 1 に示す。

表 1 によると、本手法の方が、従来手法¹⁾と比較して最大 15% の遅延の改善が得られることが分かった。

また本手法によれば、それぞれの評価指標に対して制約条件や最適化目標に応じた最適化ができるので、設計対象の回路に応じて評価指標や制約条件を与えることにより、所望の性能のリーフセルの最適化設計が可能である。

6. まとめ

本論文では、ライブラリセルやブロック設計におけるリーフセルを最適化する手法を提案した。本手法においてはトランジスタのサイズだけでなく折り返し段数をも最適化の対象とし、局所解を含む関数の最適化手法を提案した。また、複数の評価指標に対する制約条件や最適化目標を定義し、それらの最適化手法を提案した。実験結果により、スタンダードセルライブラリの遅延を同面積で最大 15% 改善できることを確認した。

最適なライブラリラインナップを決定するためには各セルに対してどのような制約条件や最適化目標を与えるのかを決定することが、ライブラリ設計における今後の課題である。一方、ブロックレベルの設計においては、全体最適化の観点から、各々の評価指標に応じた制約条件を各リーフセルにどのように割り振るかを決定することが今後の課題である。

参考文献

- 1) Tanaka, M. and Fukui, M.: レイアウトを考慮した容量/面積推定モデルおよびトランジスタサイズ最適化方法, 情報処理学会論文誌, Vol.40, No.4, pp.1644-1650 (1999).
- 2) Fishburn, J.P., Shyu, J. and Dunlop, A.E.: TILOS: A posynomial programming approach to transistor sizing, *Proc. Int. Conf. on Computer-Aided Design*, pp.326-328 (1985).
- 3) Yamada, M., Kurosawa, S., Nojima, R., Kojima, N., Mitsuhashi, T. and Goto, N.: Synergistic Power/Area Optimization with Transistor Sizing and Wire Length Minimization, *IEICE Trans. Electron* (1995).
- 4) Hedlund, K.S.: Aesop: A tool for automatic transistor sizing, *Proc. Design Automation Conf.*, pp.114-120 (1987).
- 5) Sapatnekar, S.S., Rao, V.B., Vaidya, P.M. and Kang, S.M.: An Exact Solution to the Transistor Sizing Problem for CMOS Circuits Using Convex Optimization, *IEEE Trans. Computer-Aided Design Integrated Circuits and Systems* (1993).
- 6) Hashimoto, M. and Onodera, H.: Post-Layout Transistor Sizing for Power Reduction in Cell-

Base Design, *IEICE Trans. Fundamentals*, Vol.E84-A, No.11, pp.2769-2777 (2001).

- 7) Fukui, M., Shinomiya, N. and Akino, T.: A New Layout Synthesis for Leaf Cell Design, *ASP-DAC*, pp.259-264 (1995).

(平成 13 年 9 月 25 日受付)

(平成 14 年 1 月 16 日採録)



田中 正和

昭和 41 年生 . 平成元年大阪大学工学部電子工学科卒業 . 平成 3 年同大学院修士課程修了 . 同年 , 松下電器産業 (株) 入社 . 以来 , 遅延最適化 , 自動レイアウト , 機能検証等 , LSI 設計自動化の研究開発に従事 . 電子情報通信学会会員 .



福井 正博 (正会員)

昭和 58 年大阪大学大学院修士課程修了 . 同年 , 松下電器産業 (株) 入社 . 以来 , 自動配置配線 , モジュール合成 , セル合成等半導体 CAD の研究開発に従事 . 平成元年 ~ 平成 3 年 U.C. Berkeley にて客員研究員 . 工学博士 . 電子情報通信学会 , IEEE 各会員 .