

大規模高速 ASIC 用クロック分配回路レイアウト設計ツールの開発

寺井正幸[†] 金本俊幾^{††} 小谷 健^{††}
 柴山泰範^{††} 岡崎 芳[†]
 堀場康孝^{†††} 岩出秀平[†]

本論文は、大規模高速 ASIC 用クロック分配回路のレイアウト設計手法を提案する。対象とする ASIC は、セルを配置配線して回路を実現する。本手法の特長は、大規模クロック分配回路のスキューを抑えることを狙ったトランク方式レイアウト、すなわち、LSI チップ全面にメッシュ状に敷設したトランク配線を介して多数の並列駆動クロックバッファでフリップフロップを駆動する方式を採用していること、配置配線後にクロックスキュー改善のために FF 配置の疎密に基づきクロックバッファの駆動力調整を行うことである。本手法を実現したプログラムを、1.5 M ゲート規模、200 MHz の周波数のクロックを含む LSI 設計に適用し、その有効性を示す。

A Clock Distribution Circuit Layout Design Tool for Large-scale and High-speed ASICs

MASAYUKI TERAJ,[†] TOSHIKI KANAMOTO,^{††} KEN KOTANI,^{††}
 YASUNORI SHIBAYAMA,^{††} KAORU OKAZAKI,[†] YASUTAKA HORIBA^{†††}
 and SHUHEI IWADE[†]

This paper proposes a clock distribution circuit layout tool, termed CCgen, for ASIC's. We employ the trunk layout style, which can control the resultant clock skew within a specified small value for large-scale clock distribution circuits. The proposed method consists of floor-planning, trunk circuit generation, placement and routing, and clock skew improvement that adjusts drivability of clock buffers based on the densities of flip flops on regions of the LSI chip. The application results are shown in order to demonstrate that the method is effective.

1. ま え が き

LSI の製造技術の微細化の進歩にともない、LSI 回路の大規模化、高速化が進むとともに、信号伝播遅延に対する配線遅延の影響が増大している。特に、チップ全体にわたるクロック信号は、長い配線が必要であり、レイアウト設計におけるクロックスキューの考慮が必須となっている。クロックスキューとは、クロックのソースからフリップフロップやラッチ等の記憶素

子（以下、FF と略記する）のクロック端子までのパス群のディレイの最大差と定義する。クロック周期を P 、クロックスキューを s 、FF 間の最大パス遅延を d_{max} 、FF のセットアップタイムを t_s とすると、よく知られた以下の関係が成り立つ。

$$P \geq s + d_{max} + t_s \quad (1)$$

クロック周期を小さくするためには、スキュー s と最大パス遅延 d_{max} を小さい値（たとえば s は P の 5% 程度）に抑えることが必要である。LSI の微細化により配線遅延の信号伝播遅延に対する割合が高まり、LSI が大規模化するにつれて、クロック回路の設計におけるスキューの制御は困難になってきている。

クロック分配回路のレイアウト方式としては、RC 遅延バランス配線手法に基づくクロック木^{1)~4)}、大型クロックドライバでチップ内の FF を一括駆動するクロックトランク^{5),6)}が報告されている。クロック木のうち、H-tree¹⁾は LSI 上の非対称な FF の配置に対しては適用困難であり、文献 2) はクロック信号の伝播

[†] 三菱電機株式会社システム LSI 事業化推進センター
System LSI Development Center, Mitsubishi Electric Corporation

^{††} 三菱電機株式会社システム LSI 事業統括部
System LSI Division, Mitsubishi Electric Corporation

^{†††} 関西大学工学部電気工学科
Faculty of Engineering, Kansai University
現在、大阪電気通信大学工学部
Presently with Osaka Electro-Communication University

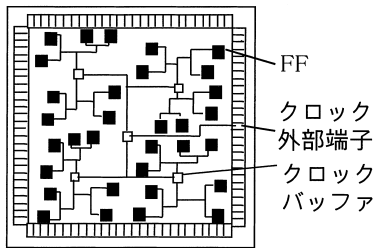


図1 クロック木分配回路
Fig. 1 Clock tree circuit.

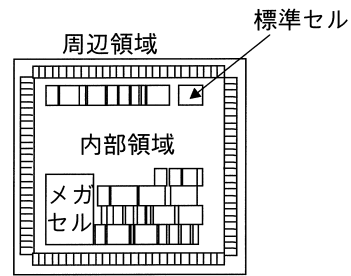


図2 LSIレイアウト
Fig. 2 LSI layout.

遅延ではなく配線長の均衡を狙った方法である．その後発表されたクロック木^{3),4)}は，図1のように複数段のクロックドライバによりバイナリ木状の回路を構成し，その末端のノードにつながるFFを駆動する．その生成処理はLSIチップ上のFFのクラスタリング，クラスタ群のトップダウン分割により木状回路のトポロジ作成とバッファ挿入位置の決定，配線の寄生容量と抵抗によるRC遅延を考慮した等遅延配線からなる．等遅延配線を行うには配線障害物がほとんどないことが必要なので，通常はクロック信号の等遅延配線は他の信号ネット配線より先に行われる．等遅延配線手法を用いてもクロック木のレイアウト設計でスキューが生じる原因は，等遅延配線処理で配線障害物（すなわち，セル内配線や電源グランド配線等）が多い場合に迂回配線を余儀なくされることと，この段階ではまだ配線されていない通常の信号ネットとクロック配線の間の隣接配線容量を正確には考慮できないことがあげられる．

市販の業界標準ツールを用いた我々の評価では，実際のASICクロック木を生成した場合メガセルや電源配線等の配線障害物によってスキュー値は大きくなる．また非常に多数のFFを駆動する場合，クロック木の段数やクロックパス長が大きくなり，スキューはさらに大きくなることを確認している．一方，クロックトランク方式は，駆動力の大きなクロックドライバでチップ全面にメッシュ状に敷設されたトランク配線，および，FFとトランク間の短い配線を介してFFを駆動する方式である．この方式では，FF配置の疎密によりスキューが増大するという問題が生じる．

本論文では，クロックトランク方式でかつFF配置の疎密に対するスキュー改善機能を備えたクロック分配回路レイアウトツールCCgen (clock distribution circuit generator) とクロックスキュー解析ツールCSDP (clock skew error diagnosis program ⁷⁾) から構成される設計手法を提案する．対象とするLSIは，論理ゲート，FF等の機能を持つセルと呼ばれる回路

構成要素をLSIチップ上に配置し，セル端子間の接続情報（ネットの集合）に従いセル間を配線するレイアウト方式である．計算機用回路等において要求される200MHz級のクロック信号を60,000個程度のFFに供給するような大規模かつ高い周波数のクロック分配回路に対して，CCgenはトランク方式の分配回路を自動生成し，CSDPが生成結果のクロックスキューを評価し，各FF入力端子でのクロック信号遅延値を表示する．

本レイアウト設計手法は大規模クロック分配回路のスキューを抑えることを狙ったトランク方式を採用しており，その特長は，配置配線後にFF配置の疎密に基づくクロックバッファの駆動力調整を行うことである．全ネットの配線後に駆動力調整を行うので，通常信号ネットとクロック配線間の隣接配線容量も考慮した正確な配線寄生RCを用いてスキュー値を評価し改善が行える．本システムを，1.5Mゲート規模，200MHzの周波数のクロックを含むシステムLSI設計に適用し，その有効性を示す．

2. LSIのレイアウトモデル

本論文で取り扱うLSIはセルベース設計方式で，そのレイアウト構造を図2に示す．LSIは中心部分の内部領域と，内部領域を取り囲む周辺領域から構成される．周辺領域にはI/Oバッファセルが，内部領域には1対のpおよびn型トランジスタを横1列に並べトランジスタ間を接続して実現した論理ゲートやFF等の機能を持つ標準セルとRAM/ROMのようなメガセルが配置される．セルの端子間の配線要求をネットと呼ぶ．ネットの配線には5層の金属配線を用いる．各配線層にはあらかじめ垂直（Vと表示）もしくは水平方向（Hと表示）の優先使用方向が決められている．本論文では，“VHVHV”（第1層がV，第2層がH，…，第5層がV）の配線層使用方式を採用する．内部領域には垂直および水平方向の配線トラックが定義さ

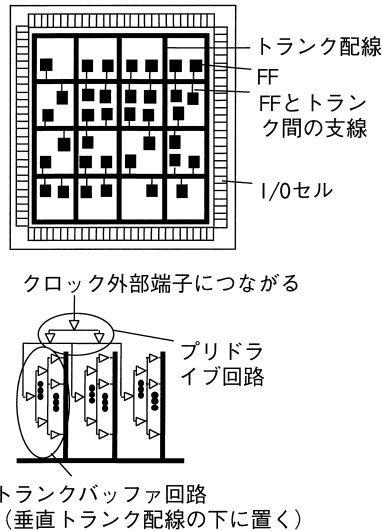


図3 トランク方式クロック分配回路

Fig. 3 Clock circuit of trunk layout style.

れ、配線は配線トラックの上に置かれる。標準セルとメガセル内配線は第1層と第2層の配線を用いて構成される。このためセル間の配線は第3~5層で標準セル上を自由に通過できる。一方、ROM等のメガセル上は回路特性の維持のため第3層のセル間配線の通過が禁止され、第4~5層のみセル間配線が通過できる。

トランク方式のクロック分配回路を図3に示す。リング状のトランク配線および水平垂直のトランク配線を敷設し、各FFは近傍の水平トランク配線に接続する。リング内部の垂直トランク配線は第3層に、それ以外のトランク配線は配線層使用方式どおりに第4層と5層に置く。各垂直トランク配線はブリドライブ回路とトランクバッファ回路により駆動される。ブリドライブ回路は人手配置固定し、トランクバッファ回路は垂直トランク配線の下に置く。

3. クロック分配回路レイアウトフロー

本章では、CCgenとCSDPを用いたクロック分配回路のレイアウト設計フローについて述べる。そのフローを図4に示す。以下では、各ステップについて説明する。

(1) フロアプランニングおよびクロックトラック生成

まず、達成可能なトランジスタ集積密度はある範囲内におさまるという経験則に基づいて回路規模(トランジスタ数)からチップサイズを見積もる。次に、標準セルを列状に並べるべきセルベンチとメガセルのチップ上での配置を決める。標準セルは同一の高さで異なった横幅を持つので、セルベンチは長方形の領

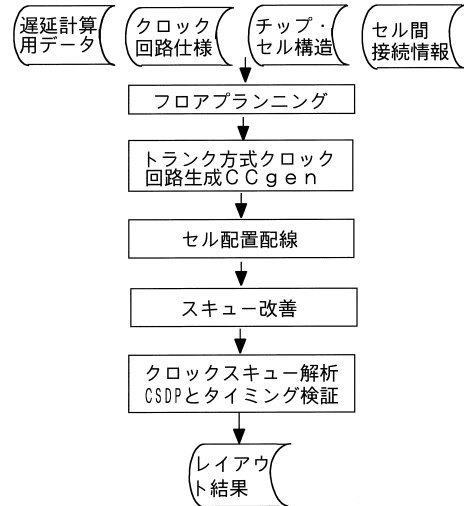


図4 クロック分配回路レイアウトCAD手法

Fig. 4 Layout flow of clock circuits.

域で、これらをチャンネルレスで敷き詰める。この後、CCgenによりトランク配線とクロックドライバを生成する。その方法は、4章で説明する。

(2) セル配置配線

式(1)のパス遅延制約に基づいて標準セルをタイミング駆動配置する。次に、セル間配線処理で、FFとトランク間のクロックネットをできるだけ短い配線で接続するとともに、クロック以外の全ネットの配線を行う。自動配置配線ツールとしては、我々が開発したHغالop^{8)~11)}を用いる。

(3) クロックスキュー改善

小領域単位で見たFFの配置分布の疎密(FFによる負荷の大小)に基づいてトランクバッファ回路の最終段のクロックバッファの駆動能力を調整する。

(4) クロックスキュー解析CSDP

生成したクロック分配回路に対して、CSDPを実行してスキュー値を求め、所望の値以下であることを確認する。CSDPは、5章で述べるように、配線の寄生容量と抵抗を抽出してトランジスタレベルのネットリストを作成し、回路シミュレーションを実行してスキュー値を評価する。

4. クロック分配回路生成ツールCCgen

CCgenは、トランク方式のクロック分配回路のレイアウトを自動生成し、さらに負荷の偏り(FF配置のばらつき)に基づいてトランクバッファ回路の駆動能力を自動調整する機能ならびに、生成結果のレイアウトを表示・編集する機能を備える(図5参照)。

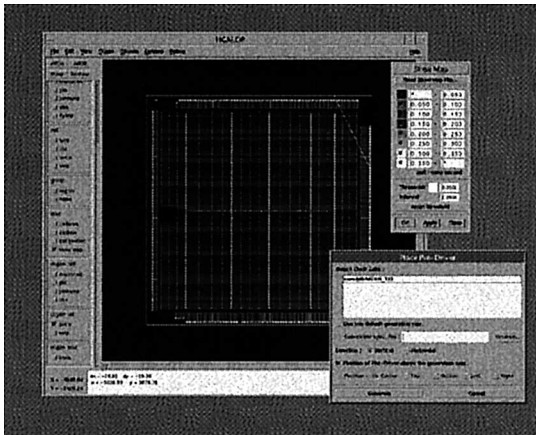


図5 CCgenの対話編集画面によるトランク配線表示例
Fig.5 Clock trunk layout results by CCgen.

トランク方式のクロック分配回路は、複数のトランクバッファ回路と、それらのトランクバッファ回路に等遅延でクロック信号を伝播するプリドライブ回路で構成する。大きな駆動能力を得るために、駆動能力の小さなバッファセルを垂直トランク配線下に多数、均等に配置し、それらを同時に駆動する。トランク・プリドライブのカスケード段数は外部よりクロック仕様として与える。通常、トランクバッファ回路は2~3段、プリドライブ回路は1~2段で構成すると指定する。また、トランク配線の配線幅、配線層と間隔の最大許容値も外部からユーザが与える。

CCgenは、まず初めに、トランクバッファ回路の最終段のバッファセル総数 N を算出する。FF 入力端子容量の総和とトランクの配線寄生容量見積り値の和を C 、バッファセルのソース抵抗を R_s 、電源電圧を V_{dd} とすると、 N の算出手法は以下ようになる。図6(a)の最終段バッファセルからFFへのクロック分配回路におけるバッファセルの出力電圧波形 v は、図6(b)のRC直列回路へ階段波形式を印加した場合の応答波形で近似できる。図6(b)の応答出力波形 v と電流 i は式(2)と(3)で表現される。

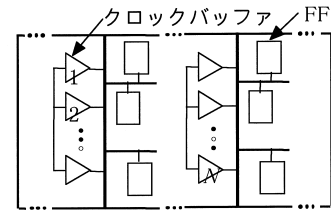
$$v = V_{dd}(1 - \exp(-t/RC)) \quad (2)$$

$$i = (V_{dd}/R) \exp(-t/RC) \quad (3)$$

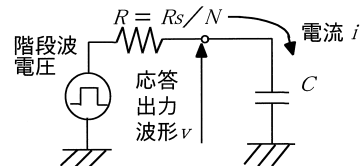
式(2)の応答波形 v は図6(c)で表される。本段階では図6(c)の波形の立ち上がり時間 $Trise$ が小さい値(周期の1/30程度)になるように、すなわち、式(4)を満たすように、バッファ総数 N を決める。

$$Trise = RC \cdot \log 9 < [\text{周期の約 } 1/30] \quad (4)$$

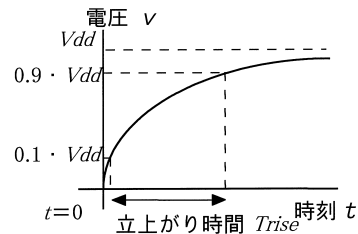
後述するスキュー改善処理はクロックバッファを駆動力0のダミーセルに置換してスキューを改善するので、改善後のクロック波形の立ち上がり時間はスキュー



(a) トランクバッファ回路からFFへのクロック回路



(b) 回路(a)のRC直列回路モデル



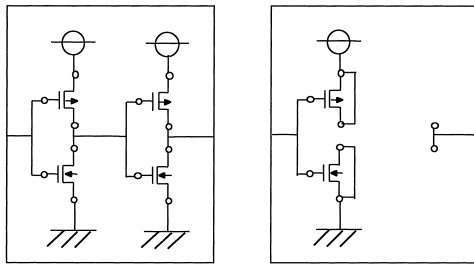
(c) 応答波形 v

図6 トランクバッファ回路のバッファセル数算出手法
Fig.6 Calculation of buffer cell count.

改善前に比べて大きくなる。後のスキュー改善に備えて、本段階では N を十分大きい値に設定しておく。

次に、垂直トランク配線本数 T を、[チップ幅]/[垂直トランク配線間隔の最大許容値]に等しいかまたはこれを超える最小の整数と決定し、1本の垂直トランク配線あたりのバッファセル数を算出する。その後、順次前段のバッファセル数を算出する。その際にも図6(b)のRC直列回路モデルを用いるが、この場合の C は次段バッファセルの入力端子容量の総和と次段との配線の寄生容量見積り値の和とし、立ち上がり時間 $Trise$ の最大許容値としては通常値(周期の1/10程度)を用いる。最後に、算出値に従ってバッファセルを配置し、それらとの間の配線、ならびに、最終段バッファセルの出力端子に接続する垂直トランク配線を生成する。

FF配置は一般に疎密を生じる。疎の領域では密の領域と比較して負荷容量が小さいためFFへのクロック信号の遅延時間が短くなり、これが大きなスキューを生じる1つの大きな原因となる。疎な領域の近傍のクロックバッファセル(最終段セル)を駆動能力0のダミーセルへ置き換えることにより、疎領域のFFへのクロック信号遅延時間を密領域の遅延時間に揃え、



(a) クロックバッファセル (b) ダミーセル

図7 ダミーセルの回路

Fig. 7 Dummy cell circuit.

スキューを小さくできる。ダミーセルは、図7に示すように信号受け側のトランジスタのソースドレイン間をショートしたうえで出力側のトランジスタを取り除いたセルである。バッファセル削除ではなくダミーセル置換の採用により、バッファセルとダミーセルの入力端子容量は同一となり、最適化前後においてクロック分配回路の入力から最終段セル入力端子までの遅延時間は変化しない。

各垂直トランク配線の下に置くトランクバッファ回路はすべて同一にすることから、数千個以上のFFへのクロック分配回路の場合で、クロック入力から最終段バッファセルまでのクロック信号到達時間差は、クロック分配回路全体のスキューの5%以内であることが多いと経験的に分かっている。したがって、クロック入力から最終段バッファまでの遅延は変えずに、最終段バッファからFF入力端子までの遅延を揃えるように改善して目標スキューを達成する手法は有効である。この原理を用いて、CCgenは、後述のCSDPを用いて、最終段バッファセルから各FFへの遅延時間を求め、遅延最小のFF近傍の最終段バッファセルをダミーセルへ置き換えるスキュー改善処理を行う。

ダミーセルへの置換は、処理を高速化するために以下のような複数バッファセルを並行して置換する技法を用いている。まず、近傍領域とダミーセル置換操作を定義する。通常、上記の遅延時間最小のFFは最終段バッファセルが駆動する垂直トランク配線の近くに位置するので、垂直トランクを中心線として近傍領域を以下のように定める。

〔近傍領域の定義〕 水平および垂直トランク配線の交点を中心とし、高さが水平トランク間隔と等しく、横幅が垂直トランク間隔に等しい矩形を近傍領域と定義する。ただし、チップ上下左右端の近傍領域は、それぞれ高さと横幅を図8のように拡張する。

〔ダミーセル置換操作〕 最終段バッファセルから

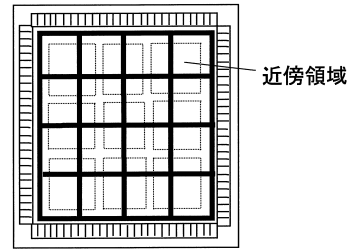


図8 近傍領域の定義

Fig. 8 Area for dummy cell replacement.

各FFへのクロック信号遅延時間をCSDPで求め、遅延時間が小さい順に m 個(m はパラメータ)のFFを選択する。選択されたFFが含まれる各近傍領域に対してそれぞれ内部の中心に近い最終段バッファセル n 個(n はパラメータ)をダミーセルに置換する。本操作で同一近傍領域内の複数のFFが選択されても、その領域内のダミーセルへの置換は n 個のみとする。

スキュー改善処理は次の2ステップからなる。

ステップ1: $m \leftarrow 0.03 \cdot [\text{FF総数}]$, $n \leftarrow 2$ としてダミーセル置換操作を繰り返し実行する。

ステップ2: $m \leftarrow 1$, $n \leftarrow 1$ としてダミーセル置換操作を繰り返し実行する。

ステップ1,2はともに、目標スキュー値を達成するか、またはスキュー改善幅が指定値以下に収束するまでダミーセル置換操作を繰り返す。この際のCSDPは、高速化のため回路シミュレーションの代わりにAWE手法¹²⁾を用いてFFの入力端子ノードでの波形を計算する。

最後にトランク配線幅の決め方について簡単に述べる。CCgenへのインプットであるトランク配線幅の値の変動は(1)配線容量によるクロック信号伝播遅延値の増大や(2)エレクトロマイグレーション発生の原因となるが、一方、上記の(1)と(2)はCCgenを実行してクロック分配回路のレイアウトを得た後、初めてCSDPで正確にチェック可能となる。まず、トランク配線を通る電流値を大雑把に見積もり、エレクトロマイグレーションの制約に基づき配線の幅を見積もる。以下では、垂直トランク配線を例にその手法を示す。クロック周波数を F とし、垂直トランク本数を T とする。最終段トランクバッファの単位時間あたりの消費電力は、貫通電流を無視した場合、充放電電流による要素のみとなり、 $1/2(C \cdot V_{dd}^2 \cdot F)$ で表される。

垂直トランク配線1本あたりを通る電流値は近似的に、 $1/2(C \cdot V_{dd} \cdot F/T)$ となる。この値の電流を流してもエレクトロマイグレーションが発生しない配線

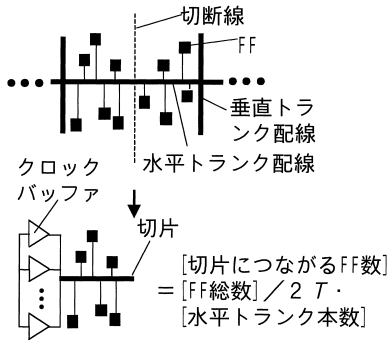


図9 水平トランク切片とクロックバッファ
Fig. 9 A trunk wire connected to buffers.

幅を算出し，これを垂直トランク配線幅とする。

この垂直トランク配線幅の計算時点では，まだ配線幅が決まっていないので負荷容量 C は仮の見積り値を用いる．したがって，計算によって得られた配線幅の値を用いて C を更新し，再度トランク配線幅を計算しなおすことが必要である．しかし，数千個以上の FF へのクロック分配回路ではトランクの寄生配線容量値より FF の入力端子容量の総和の方が大きいという我々の経験則を適用すると，この再計算により配線幅の値はほとんど変わらないことが分かり，再計算は不必要となる．

水平トランクの配線幅も，バッファセルが負荷容量の充放電により消費する単位時間あたりの電力と電流値を計算することにより以下のように決定する．図9のように2本の垂直トランク配線に挟まれた水平トランク配線の半分の切片にクロックバッファ群が直接つながる回路に対して垂直トランク配線の場合と同じ手法で算出した電流値を，水平トランク配線を通る電流であると近似する．この電流値を流してもエレクトロマイグレーションが発生しない配線幅を水平トランクの配線幅とする．

5. クロックスキュー解析ツール CSDP

クロックスキュー解析ツール CSDP は，現状の技術では最も精度が高い3Dの配線 RC 抽出^{13),14)}と，RC 多段梯子型の配線モデル¹⁵⁾，および BSIM3 トランジスタモデル¹⁶⁾を用いて動的に応答波形を得る SPICE 互換の回路シミュレーションを行う．このうち，クロック分配回路の回路モデル(ネットリスト)は以下の3つの工程で作成する．

- (1) 配線線分の RC 多段梯子型回路の作成
- (2) via hole に対する抵抗素子挿入
- (3) FF の入力トランジスタゲート容量素子の接続

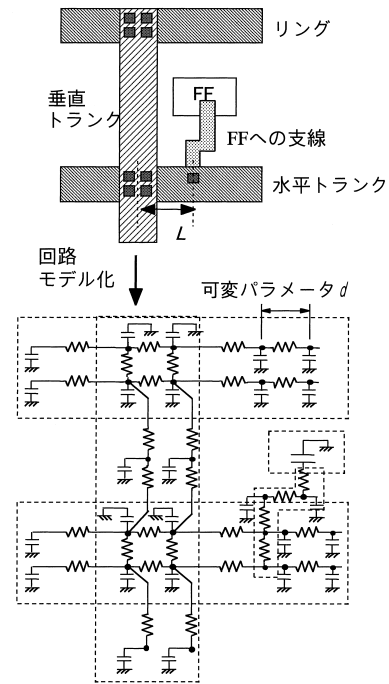


図10 トランク方式クロック回路の寄生 RC の回路モデル
Fig. 10 Parasitic RC networks.

(1)~(3)の工程を説明した図が図10である．一般に，配線を駆動するバッファから次段のバッファ(最終段はFFの入力トランジスタ)までを，配線寄生抵抗3段以上にモデル化すれば遅延誤差は3%以下であると文献15)で実証されている．CSDPはトランク/ブランチ配線を長さ d ごとに(本評価実験では $d = 100 \mu\text{m}$ と設定)，分岐と折れ曲り点ごとに，RC1段の回路にモデル化する．したがって，クロックバッファとFF間のパスの大部分はRC3段以上の回路にモデル化され，3%以下の誤差になると考えられる．ただし，例外的な一部のFFについてはRC1段回路にモデル化される配線長 d 未満の配線を介してクロックバッファと接続している．その一例は，図10のFFに対し図中の距離 L と d の間に $L < d$ が成り立つ場合である．このような場合も長さ L の短い配線の配線遅延誤差はクロックバッファの無負荷遅延にくらべかなり小さく無視できるため，3%以下の誤差が保証できることを文献7)で実証した．

図11にCSDPのシステム構成図を示す．配線RC抽出には高精度ではあるが処理時間のかかる米国EDAベンダー製の3D方式RC抽出ツールおよび我々が開発した高速なツールHBagen¹⁷⁾を用いている．HBagenは処理速度が速いことから，CCgenのスキュー改善処理中でCSDPを呼び出すときのみ用いる．

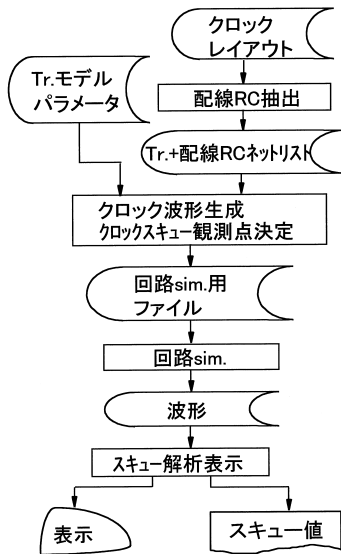


図 11 CSDP のシステム構成図

Fig. 11 Processing flow diagram of CSDP.

HBAGEN は、スキュー改善処理全体で 1 回だけ実行し、ダミーセル置換ごとには HBAGEN は再実行しない。HBAGEN を用いる配線 RC 抽出は、処理の高速化のために以下のようにする。HBAGEN はセル間配線の寄生 RC を抽出する。セル内配線の寄生 RC は事前に全種類のセルに対し配線 RC 抽出を実行して得られた値をライブラリとして登録しておき、これを用いる。このとき、セル上空をある確率で各配線層のセル間配線が通過することを想定した近似モデルを用いる。HBAGEN によるセル間配線の RC 抽出では、標準セルのセル内配線は第 1 層で敷き詰められていると想定して簡単化し、メガセルのセル内配線は実際の配線パターンどおりとして、セル内配線との間の寄生容量を計算する。クロックバッファはその形状からの分類で標準セルであるので、ダミーセル置換前後でセル内配線パターンは第 1 層敷き詰めで変化しない。このため、HBAGEN の再実行は行っても抽出結果の配線 RC は変わらず、再実行が不必要となる。

CSDP は抽出した配線 RC を MOS トランジスタの接続情報とともに業界標準形式 DSPF で回路シミュレータに渡す。本システムに対し、設計者はクロック波形入力ノードと末端の FF 名、および解析結果の出力形式 (3 次元表示/リスト出力) を指定するだけでよい。CSDP はクロック波形を生成し、全 FF の入力端子をクロック観測点として、回路シミュレーションの入力ファイルを生成する。

回路シミュレーションが終了すると、CSDP はシミュレータの出力波形および入力クロック波形を基に

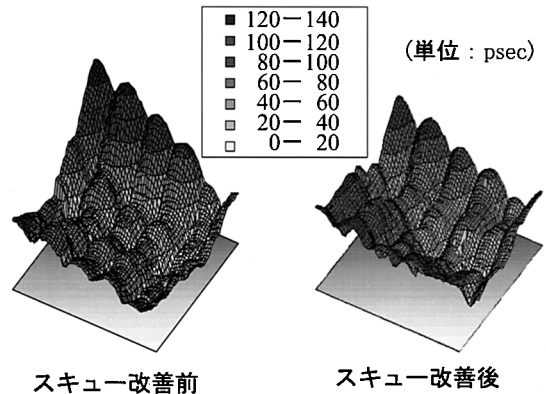


図 12 クロック信号到達時間差の 3 次元分布表示 (LSI 回路 A)

Fig. 12 Clock skew analysis results.

各観測点におけるクロック信号遅延値を計算し、指定された形式で出力する。クロックのリング状配線で囲まれた領域を 64×64 の矩形の 2 次元配列に分割してできた各矩形を粗い格子と呼ぶ。各粗い格子に対し、その重心に近い位置に存在する 1 つの FF のクロック入力端子への信号到達時間をその格子の信号遅延とする。CSDP が出力する各粗い格子のクロック信号遅延とそれらの最小遅延値との時間差の 3 次元表示の例を図 12 に示す。これによりクロック分配回路の各ノードの遅延値の分布が明確となり、クロック分配回路の人手修正を容易化する。

6. 評価結果

本章は本設計ツールを 100 ~ 200 MHz 級のクロック分配回路を含む ASIC に適用した結果を示す。

図 13 と表 1 は CCgen と CSDP を用いて設計した ASIC のクロック周波数とスキュー値を示す。0.18 CMOS テクノロジの場合、トランクの配線幅は、下にバッファ回路を置く垂直配線が第 3 層で、 $18.0 \mu\text{m}$ 、それ以外は第 4、第 5 層で $2.0 \mu\text{m}$ である。FF への支線の幅は、第 1—4 層は $0.28 \mu\text{m}$ で、第 5 層は $0.5 \mu\text{m}$ とした。また、垂直、水平トランク間隔はそれぞれ $2,000 \mu\text{m}$ 以内、 $84 \mu\text{m}$ (セルベンチ 10 段相当) 以内と指定した。図 13 と表 1 から分かるように、トランク方式クロック分配回路は 20,000 ~ 70,000 個の FF を 100 ps 程度のスキューで駆動することができている。CCgen によるトランク方式とクロック木を比較するために、市販の業界標準ツール A を用いてクロック木回路を生成した。本ツール A は文献 3) と同じ範疇にはいる手法を用いてクロック木を生成していると推定できる。しかし、正確な生成手法が不明であるので、個々の LSI のクロック回路生成結果に対する詳細かつ

正確な議論は困難であるが、我々が現在までに適用した結果を図 13 に示す。図 13 から分かるように、FF 数が 20,000 個以下の場合には、クロック木方式回路でスキュー値 200ps 程度を達成できているが、20,000 個を超えると、CCgen によるトランク方式のほうがスキュー値を小さく抑えるのに有効であることが分かる。例として、回路 D に対する本ツール A の実行結果の詳細を表 1 に示す。

次に、FF 配置の疎密に基づく CCgen のバッファ回路駆動力調整機能の有効性を検証する。実験に用いた LSI 回路 A, B1, B2 の FF 数はそれぞれ 69,290 個, 2,581 個, 2,822 個で、垂直トランク配線を 5 本、

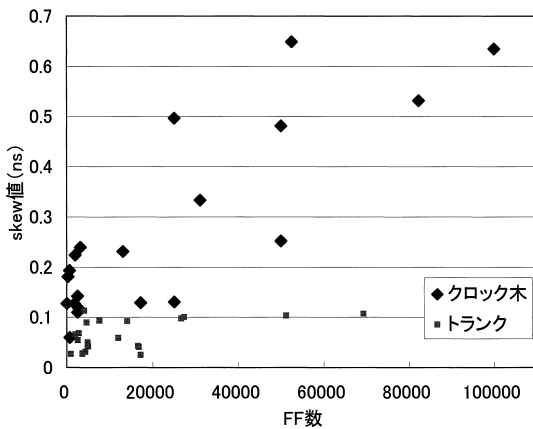


図 13 0.25/0.18 μm ルール LSI におけるクロックスキュー値と FF 数の関係
Fig. 13 Relationship between skew and FF count.

2 本、2 本敷設している。LSI 回路 A の場合、各トランクバッファ回路のバッファセルのカスケード段数は 3 で、各レベルでバッファを 8 個、30 個、520 個並列駆動して回路を構成している。LSI 回路 B1 (B2) の場合、カスケード段数は 2 で、各レベルでバッファを 4 個、83 個 (8 個、145 個) 並列駆動して回路を構成している。この後、AWE 手法により最終段バッファから各 FF への遅延時間を計算し、遅延最小の FF 近傍のバッファセルを順次ダミーセルに置換した。この結果、LSI 回路 A の場合、755 個のバッファセル置換後に表 2 のようにスキュー値は、136ps/130ps から 100ps/97ps へ減少し (rise/fall), 目標スキュー値を達成した。LSI 回路 A のスキュー改善処理に要した CPU 時間は 1.9 時間、その後の CSDP の 3D 方式配線 RC 抽出と回路シミュレーションの CPU 時間はそれぞれ 33.0 時間、4.2 時間 (450 MHz の Ultra SPRC 使用) であった。なお、プリドライブ回路のカスケード段数は 2 で、各レベルでバッファを 4 個、12 個並列駆動して回路を構成している。回路 B1 と B2 は、同一 LSI 上の階層ブロックである。このブロック単位に相異なる相のクロック信号が供給されている。

回路 A, B1 と B2 に対するスキュー改善効果を表 2 に示す。そのスキュー改善前後での CSDP によるチップ上に設けた粗い格子単位のクロック信号到達時間と最小遅延時間との差の表示を図 12, 14, 15 に示す。この 3 次元表示では、一般に、垂直トランク配線部分のノードの遅延は小さいので「谷」として表示され、

表 1 CCgen を適用した LSI のクロック周波数とスキュー値
Table 1 Resulting values of clock frequency and skew by CCgen.

LSI 名	回路規模	テクノロジ	FF 数	周波数	クロック分配方式	スキュー値 (rise, fall)	最大/最小クロック遅延値 (rise, fall)	最終段バッファ数	バッファの tpd 値 (rise, fall)
A	1.4MG	0.25 μm	69,290	133MHz	トランク	100ps, 97ps	1.227ns/1.127ns, 1.245ns/1.148ns, 0.876ns/0.808ns,	2,806	208ps, 164ps
B1	1.2MG	0.18 μm	2,581	200MHz	トランク	68ps, 70ps	0.895ns/0.825ns, 0.808ns/0.754ns,	153	120ps, 126ps
B2			2,822	200MHz	トランク	54ps, 57ps	0.814ns/0.756ns,	221	120ps, 126ps
C1	1.5MG	0.18 μm	4,839	166MHz	トランク	81ps, 87ps	0.581ns/0.500ns, 0.581ns/0.494ns,	308	120ps, 126ps
C2			16,577	166MHz	トランク	48ps, 49ps	0.780ns/0.732ns, 0.796ns/0.747ns,	608	120ps, 126ps
D	1.5MG	0.18 μm	82,313	120MHz	木	373ps, 505ps	3.906ns/3.533ns, 5.057ns/4.552ns	2,225	438ps, 306ps

表 2 CCgen スキュー改善機能の適用結果
Table 2 Application results of CCgen skew improvement.

LSI 回路	64X64 分割領域中の FF 数 (疎)	バッファの減少数	スキュー値 (rise, fall)		最小遅延値 (rise, fall)	
			最適化前	最適化後	最適化前	最適化後
A	1~51 個	755	136ps, 130ps	100ps, 97ps	1.089ns, 1.113ns	1.127ns, 1.148ns
B1	0~31 個	13	96ps, 99ps	68ps, 70ps	0.777ns, 0.793ns	0.808ns, 0.825ns
B2	0~33 個	69	92ps, 97ps	54ps, 57ps	0.712ns, 0.715ns	0.754ns, 0.756ns

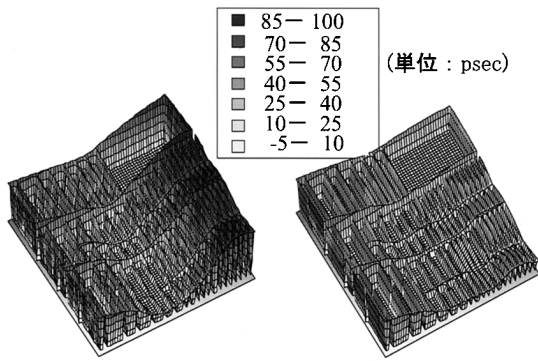


図 14 クロック信号到達時間差の 3 次元分布表示 (LSI 回路 B1)
Fig. 14 Clock skew analysis results.

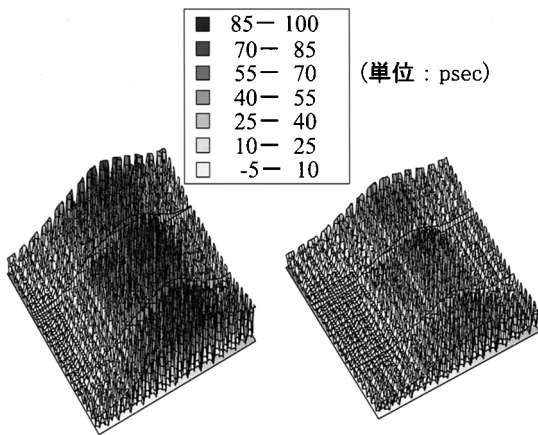


図 15 クロック信号到達時間差の 3 次元分布表示 (LSI 回路 B2)
Fig. 15 Clock skew analysis results.

垂直トランク配線間のノードの遅延は大きいので「尾根」として表示される。トランク間で FF の分布が密の部分が「ピーク」として表示される。この傾向は図 12 において最も顕著である。図 12, 14, 15 においてスキュー改善によりピークは低く抑えられ、結果として、スキュー値は小さくなっていることが分かる。

7. む す び

本論文では、計算機用回路等の高い周波数のクロック信号を要求される大規模 ASIC 向けに開発したクロック分配回路設計用 CAD システムを提案した。本システムを ASIC 事業に実際に用いており、クロック回路レイアウト設計を自動化している。しかし、まだ適用回路数が少なく、クロック木方式との比較評価が十分ではない。適用回路の実績を積み比較評価することが今後の課題である。

参 考 文 献

- 1) Bakoglu, H.B., Walker, J.T. and Meindl, J.D.: A symmetric clock-distribution tree and optimized high-speed interconnections for reduced clock skew in ULSi and WSI circuits, *Proc. IEEE Int. Conference on Computer Design*, pp.118-122 (1986).
- 2) Kahng, A., Cong, J. and Robins, G.: High-performance clock routing based on recursive geometric matching, *Proc. 28th Design Automation Conference*, pp.322-327 (1991).
- 3) Minami, F. and Takano, M.: Clock tree synthesis based on RC delay balancing, *Proc. 1992 Custom Integrated Circuits Conference*, 28.3.1-28.3.4 (1992).
- 4) Tsay, R-S.: An exact zero-skew clock routing algorithm, *IEEE Trans. CAD of ICAS*, Vol.12, No.2, pp.242-249 (1993).
- 5) 荒川隆彦, 奥野義弘, 岡辺雅臣, 大野多喜夫, 蔵満洋一: 高性能クロック分配機能付 0.8 μm CMOS SOG, 信学技報 VLD 89-103, pp.47-52 (1989).
- 6) 福山弘幸, 野村周司, 山本一郎: クロックスキュー保証レイアウト手法, 信学技報 VLD92-37, pp.13-18 (1992).
- 7) 金本俊幾, 柴山泰範, 寺井正幸, 堀場康孝, 外園三彦, 味岡佳英, 岡崎 芳: システム LSI 用クロック分配回路設計手法とそのクロックスキュー解析手法, 情報処理学会論文誌, Vol.41, No.4, pp.871-880 (2000).
- 8) 寺井正幸, 八原俊彦: タイミング駆動型ミニカット配置アルゴリズム, 電子情報通信学会論文誌, Vol.J75-A, No.6, pp.1054-1063 (1992).
- 9) Takahashi, K., Nakajima, K., Terai, M. and Sato, K.: Min-cut placement with global objective functions for large scale sea-of-gates arrays, *IEEE Trans. CAD of ICAS*, Vol.14, No.4, pp.434-446 (1995).
- 10) 寺井正幸, 佐藤興二, 松崎日出夫, 高橋一浩: 3 層配線ゲートアレイ用グローバル配線の新手法, 電子情報通信学会論文誌, Vol.J78-A, No.10, pp.1372-1384 (1995).
- 11) 寺井正幸, 城田博史, 柴谷 聡, 佐藤興二: 3 層チャネルレス・ゲートアレイのための高速配線手法, 情報処理学会論文誌, Vol.38, No.3, pp.657-668 (1997).
- 12) Pillage, L. and Rohrer, R.: Asymptotic waveform evaluation for timing analysis, *IEEE Trans. Computer-Aided Design*, Vol.9, No.4, pp.352-366 (1990).
- 13) Akcasu, O.E., Lu, J., Dalal, A., Mitra, S., Lev, L., Vasseghi, N., Pance, A., Hingarh, H. and Basit, H.: "NET-AN" a full three-dimensional parasitic interconnect distributed RLC extrac-

tor for large full chip applications, *IDEM 95*, pp.19.5.1–19.5.4 (1995).

- 14) Lee, M., Chavez-Reyes, E. and Zorinsky, E.: A reliable traversal clock delay evaluation including input slew effect with 3D parasitic interconnect RLC extraction, *Proc. IEEE Custom Integrated Circuits Conference*, pp.123–126 (May 1997).
- 15) Sakurai, T.: Approximation of wiring delay in MOSFET LSI, *IEEE J. of Solid State Circ.*, SC-18, 4, pp.418–426 (Aug. 1983).
- 16) Klein, P., Hoffmann, K. and Lemaitre, B.: Description of the bias dependent overlap capacitance at LDD MOSFETs for circuit applications, *IDEM 93*, pp.19.3.1–19.3.4 (1993).
- 17) 小谷 健, 寺井正幸, 高橋一浩, 堀場康孝, 岡崎 芳: ディープサブミクロン LSI 設計における仮想配線容量見積りの精度向上の一手法, 情報処理学会論文誌, Vol.42, No.4 (2001).

(平成 13 年 9 月 14 日受付)

(平成 14 年 3 月 14 日採録)



寺井 正幸 (正会員)

昭和 51 年大阪大学工学部電子工学科卒業。昭和 53 年同大学大学院修士課程修了。同年三菱電機(株)入社。以来, LSI の自動レイアウト技術の研究開発に従事。現在, 同社システム LSI 事業化推進センター勤務。工学博士。電子情報通信学会会員。



金本 俊幾

平成元年日本大学理工学部物理学科卒業。平成 3 年同大学大学院修士課程修了。同年三菱電機(株)入社。以来, LSI の物理検証技術の研究開発に従事。現在, 同社システム LSI 事業統括部勤務。



小谷 健 (正会員)

平成元年大阪大学基礎工学部情報工学科卒業。平成 3 年同大学大学院修士課程修了。同年三菱電機(株)入社。以来, LSI の自動レイアウト技術の研究開発に従事。現在, 同社システム LSI 事業統括部勤務。



柴山 泰範

昭和 62 年早稲田大学理工学部電気工学科卒業。同年三菱電機(株)入社。以来, LSI の回路設計 CAD 技術の研究開発に従事。現在, 同社システム LSI 事業統括部勤務。



岡崎 芳 (正会員)

昭和 44 年大阪大学工学部電子工学科卒業。昭和 51 年同大学大学院博士課程修了。同年三菱電機(株)入社。以来, LSI の CAD 技術の研究開発に従事。平成 14 年 4 月より大阪電気通信大学工学部教授。工学博士。電子情報通信学会会員。



堀場 康孝

昭和 39 年名古屋大学工学部電子工学科卒業。昭和 41 年同大学大学院修士課程修了。同年三菱電機(株)入社。以来, リニア IC, CMOS デジタル IC, パイポーラ/MOS ゲートアレイ, デジタル信号処理 LSI の研究開発に従事。現在, 関西大学工学部教授。工学博士。電子情報通信学会会員。



岩出 秀平

昭和 51 年大阪大学理学部物理学科卒業。昭和 53 年同大学大学院修士課程修了。同年三菱電機(株)入社。以来, 高速ゲートアレイ回路設計, 赤外線イメージセンサ, MOS アナログ回路およびシステム LSI の研究開発に従事。現在, 同社システム LSI 事業化推進センター勤務。理学博士。電子情報通信学会会員。