

ニューラルネットワークを実現する メモリネットワーク

5F-5

古谷立美+ 遠藤義博++ 国分明男+ 松田郁夫++

+電子技術総合研究所

++日本工業大学

1. はじめに

実時間の応用では、ニューラルネットワークの機能をハードウェア化し高速化する機構が要求されている。本論文では、神経ユニットを1ビット幅メモリ(RAM又はROM)で置き換えて多層ニューラルネットワークを構成する方法について検討を加えると共に、2, 3の実現方式を提案する。

2. 1ビット幅メモリとニューロンユニット

神経ユニットは図1(a)の様に、重み(w_i)付き入力(x_i)の総和がしきい値(θ)を越えた時出力(y)を出す。このユニットで入力と出力が0/1の2値のみを取るものは、図1(b)に示す1ビット幅メモリと等価である。即ちメモリのアドレス線に入力(x_i)を入れ、メモリに出力値を記憶させることにより任意の重みとしきい値を実現できる。メモリの内容は、アドレス線に与える入力パターンに対してそれぞれ $\sum x_i w_i$ を計算し、これがしきい値より大きければアドレス(入力パターン)されたメモリの内容を1にするという風に、全アドレスパターンについて出力を計算しメモリに格納する。このメモリを神経ユニットとしてネットワークを構成することによりニューラルネットワークが実現できる。以下これをMEMネットと呼ぶ。本論文ではこの方式を用いた多層ニューラルネットワークの実現を検討するが、本方式の利点として期待できる点は、①高速性②バックプロパゲーション(BP)学習の結果をメモリにセット出来ることであり、問題点はメモリ容量の制限から入力線数がせいぜい20程度しか取れない点である。

3. BP学習結果のMEMネットへの移植

BP学習では神経ユニットの入出力関数にシグモイド関数を用いるため、ユニットの出力が0と1の間の中間値を取る。一方MEMネットでは入出力値が0/1の2値であるため学習結果をメモリに格納した場合正しく入出力関係を満たすかどうかが重要である。表1は、3層(各層16ユニット)ネットワークにBP学習させた時の覚えたパターン数と学習結果をMEMネットに入れたときの正しく答えられるパターン数である。この結果、記憶パターン数がネットワークの記憶量の限界に近い所では誤りを生ずるが、この問題を認識していれば問題ないレベルと思われる。各層のユニット数が多いネットワークでは、メモリのアドレス線の制限から、層間ユニットを完全結合(各ユニットを前層の全ユニットに結合)することが難しい。層間が完全結合されていない種々の3層ネットワークにBP学習を試み、記憶可能な入出力パターン数を調べた結果が表2である。表2(a)から中間-出力層間を比較的密に結合すれば入力-中間層はかなり疎でもよく覚えることが分かる。又、さらに疎な結合では表2(b)のようにあまり学習がうまくいかないことが分かる。

4. データ圧縮ネットワーク

各層のユニット数が多くかつ層間の結合が疎な場合には、BP学習が難しい。そこでMEMネットで入出力パターンを学習させるのではなく、複数の入力パターンを異なる重複のないパターンに変換

(圧縮)することを試みた。もしこれがうまくいけば図2のような回路で圧縮後のデータをメモリアドレスとすることにより希望の出力パターンを導くことができる。ここでは入力層256, 中間層128, 出力層64ユニットの3層で、各ユニットの入力線数が16のネットワーク(ネット1:各層間を規則的に結合, ネット2:各層をランダムに結合)を調べた。このネットに1024個の入力パターンを与えたところ出力には重複のない任意のパターンがあらわれた。この出力をみると、1024個のなかのどんなパターンでもほとんど0又は1しか出力しないユニットがある。そこで出力に0/1のあらわれる割合の多い順からユニットを取り除いてみて他のパターンと区別できれば削除することを繰り返し圧縮することを試みた。その結果が表3で、表中のステップ関数とシグモイド関数とは、ユニットの入出力関数を示す。又、表中のaは上記の圧縮方法を用いたもの、bは任意のユニットを取り出しANDまたはORをとってさらに圧縮をしたものである。表3から、このネットの場合20数ビットで1024のパターンを区別できるが、ネットワークの形態や、入力に与えたパターン中の1の数は圧縮にほとんど影響ないことが分かる。図3は、上記と同じ構成のMEMネットにおける引き込みを調べたものである。図は学習させたパターンと1~3ビット変えたパターンを入力した時正しい値を出力する割合を示している。図の丸でプロットしたものはメモリの内容を、重み付きしきい値関数を満たすようにセットしたもので、三角は乱数を用いてメモリ中の0/1をセットしたものである。この結果、重み付きしきい値関数を満たす方が引き込みが強いことが分かる。

5. PLA風MEMネット

ニューラルネットワークへの入力線が多い場合4節のデータ圧縮ネットワークでは、メモリの内容をアルゴリズム的に決めるのが難しい。本節ではPLAの構造に基づくMEMネットを提案する。この方式では、PLAで開発された技術を利用し、ネットワークの構成をアルゴリズム的に決めることが出来る。図4が全体構成で、入力パターンがANDアレイに入り、ANDアレイの出力がメモリMaのアドレス線に入る。Maの出力はORアレイに入り、ORアレイの出力は、メモリMoのアドレス線に入る。基本的な考え方は、Maの出力線をPLAの積項線、Moの出力線をPLAの出力線と考えればよい。Maでは、Maのアドレス線がすべて1の時1を出力し、それ以外の時0を出力するようにメモリを設定すれば、MaはAND回路となりMaの出力は完全にPLAの積項線と等価になる。Moはアドレス線がすべて0の時のみ0を出力するようにメモリを設定すればORゲートと等価になりMoの出力がPLAの出力線となる。この様にMaとMoをそれぞれAND, ORにセットすることによりPLAの機能を保証でき、さらにMaの中の1あるいはMoの中の0を増やすことにより冗長性のある積項線、出力線が構成でき引き込みが可能になる。図4ではAND, ORアレイの両出力にメモリを用意しているが、多くの場合一方でもよいと思われる。本方式はPLAの構造に基づいているため、PLAでの技術が利用でき、メモリ内容決定のアルゴリズムも考えやすいと思われる。

Memory Network Architecture for Neural Networks

Tatsumi FURUYA Akio KOKUBU (Electrotechnical Laboratory)

Yoshihiro ENDOH Ikuo MATSUDA (Nippon Institute of Technology)

6. まとめ

- i) 各層間が密に結合されているネットワークでは、BP学習した結果をメモリに移し換えることができる。
 - ii) 層間の結合が疎なネットワークでは入力パターン圧縮ネットとして使える。このネット自身の引込みは弱いが、これにもう一段メモリを用いることにより引込みを強め希望の出力パターンを導ける。
 - iii) PLA風MEMネットは、PLAの経験を利用できる他、各メモリのアドレス線数が少なく済みVLSI化にも適する。現在メモリ内容の決定アルゴリズムを検討中である。
- 最後に、御議論頂いた当研究室田中敏雄氏と本研究の機会を与えられた棟上情報アーキテクチャ部長に感謝致します。

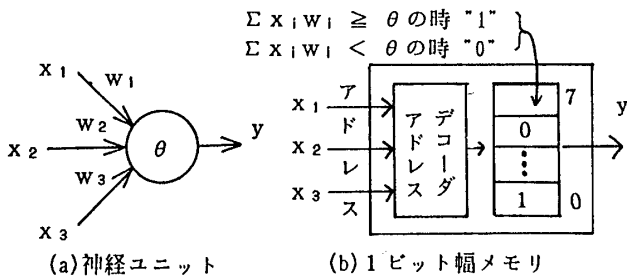


図1 ニューロンとメモリ

表1 BP学習結果のメモリへの移し換え
入力層16 中間層16 出力層16ビット 完全結合

入出力パターン数	BPで学習したパターン数	MEMネットでの正しいパターン数
5	5	5
6	6	6
7	7	7
8	8	8
9	9	9
10	9	9
11	10	8
12	12	8

表2 入力線を制限したBP学習

(a) 入力層 中間層 出力層各層16ユニット

結合形態 a-b	16-16	16-8	16-4	16-2	16-1
記憶総数	9	10	8	6	6
結合形態 a-b	16-16	8-16	4-16	2-16	1-16
記憶総数	9	15	15	12	14

aは中間層の各ユニットへの入力総数
bは出力層の各ユニットへの入力総数

(b) 入力層256 中間層128 出力層64ユニット
(接続形態は16-16)

ネット\パターン	No.1	No.2	No.3
規則的結合	18	14	10
ランダムな結合	21	18	10

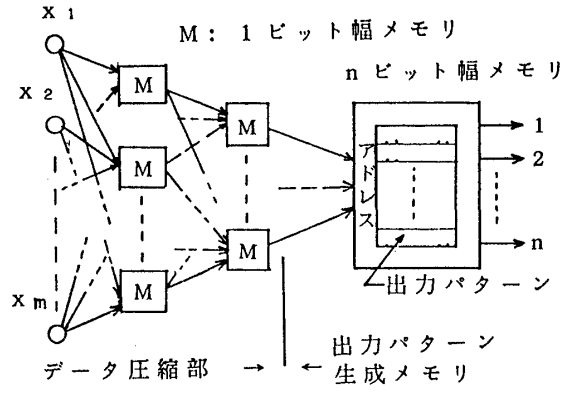


図2 データ圧縮ネットワーク

表3 出力層の圧縮 (入力層256 中間層128 出力層64ビット)

出力パターン数	ネット1			ネット2		
	32	64	128	32	64	128
シグモイド関数	25	26	22	22	25	23
ステップ関数	21	23	21	21	22	20
ステップ関数	-	24	-	-	22	-

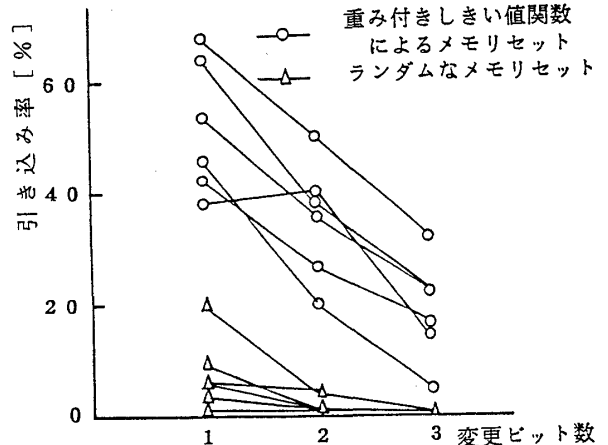


図3 データ圧縮ネットワークの引き込み

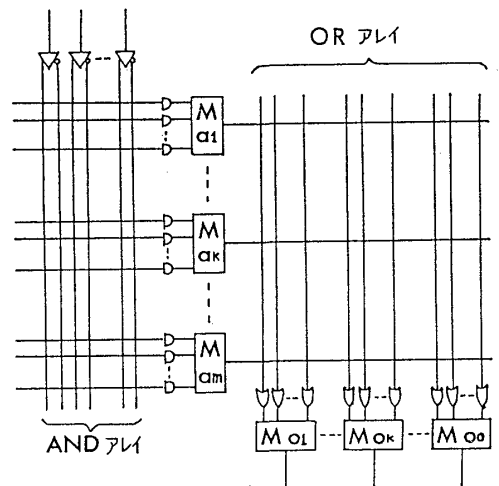


図4 PLA風MEMネット