

7U-5

PLD混在装置設計支援システム

和田 直人

田中 英俊

下野 武志

日本電気エンジニアリング(株)

日本電気(株)

はじめに

PLD(programmable logic device)設計における一手法を確立したので報告する。これは、PLD単体の設計支援ツールと装置全体の設計支援ツールとのインターフェイス開発により、それぞれの長所を生かした設計手法となっている。

1. PLDの設計支援ツール

PLDの設計では、その手軽さから、PLD専用の設計支援ツールが普及している。これらは通常、論理式記述からPLDのフーズマップを自動作成でき、人手で作成したテストベクタによるPLD単体のシミュレーションが実行できる。また、テストベクタの作成も一部自動化されている。しかし、これらPLD設計支援ツールには次のような欠点がある。

- シミュレーションケース不足による、機能確認漏れ。
- 装置に組み込んだ時の動作の確認が不可能。
- 人手テストベクタによる、テストの不十分さ。

2. 設計法の概略

以上の問題を解決するためには、PLDを含む装置全体のシミュレーションによる論理の検証や、PLDの論理式より、全てのAND、OR項を活性化するテストパターンを自動発生が必要である。これらの設計法の有効性は、ゲートアレイ等のLSI設計で確認されている。そのため、既に標準となっている設計法である。

上の設計法を実現する為に、PLD専用の設計支援ツールで閉じていた設計データを、装置全体の設計支援ツールの設計データ形式に変換する簡易なインターフェイスプログラムを作成した。これを基に、装置レベルシミュレーションや自動テストパターン発生が可能となる設計支援環境を構築した。

3. 装置レベルシミュレーション

PLD設計支援ツールで設計者が記述したPLDの論理式記述を、ミックスレベル論理シミュレータMIXS[1]のRTL言語FDL[2]に変換

するツールを作成した。変換して得られたFDLは、ライブラリとして登録され、PLDが搭載されるパッケージの製造データベースや、ゲートアレイLSIのFDL記述などとリンクされて、PLDとLSI等が混在した装置・パッケージレベルのシミュレーションモデルが構築できる。装置レベルのシミュレーションでは、装置のROMにファームウェア、メモリにはテストプログラムなどをロードし、実際の機能試験と同等の機能確認が可能となる。(図1)

また、変換された論理が正しいかを検証したい場合には、PLD設計支援ツールで作成したテストパターン(JEDEC形式のテストベクタ)をMIXSで運用できる形式に変換するツールが利用できる。このテストパターンをFDLに印加し、FDLから得られる出力値をテストパターンの正解値と比較して論理の一致を検証することができる。[3] (図2)

4. テストパターンの作成

PLD設計支援ツールで作成したテストパターンを変換するだけでなく、FDLに変換された論理式記述からテストパターンを自動生成することにより、検出率の高いテストパターンを発生することが出来る。

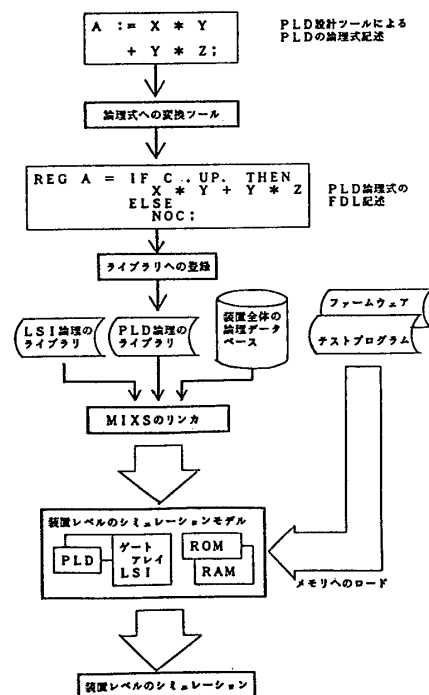


図1 装置レベルシミュレーション

Design verification of a system including PLDs.

Naoto Wada** Hidetoshi Tanaka* Takeshi Shiono*
*NEC Corporation **NEC Engineering Corporation

FDLからゲートレベルの回路図に論理合成するツールFUSION[4]を用いて、FDLの論理式をANDブロック、ORブロック、FFブロックで構成される等価な論理の回路図に展開する。その回路図に基づいて、テスト設計支援システムFUTURE[5]の自動テストパターン生成(ATG)機能によって、等価回路中に故障を定義し、それを検出するテストパターンの自動生成を行う。(図3)

また、前記の装置レベルシミュレーションにおいて、システムレベルのシミュレーションモデル中のPLDの端子の入出力値をシミュレーション実行中に抽出できるように設定し、テストプログラムをシミュレーションモデル上で実行することにより、装置の実際の動作に即したテストパターンを得ることもできる。(図4)

このようにして得られたテストパターンは、ゲートアレイLSI用のテスト設計支援システムにそのまま入力できる。これにより、PLDのテストを、ゲートアレイLSIと同様に汎用のLSIテストによって、高速かつ正確に行うことのできる環境を整備した。

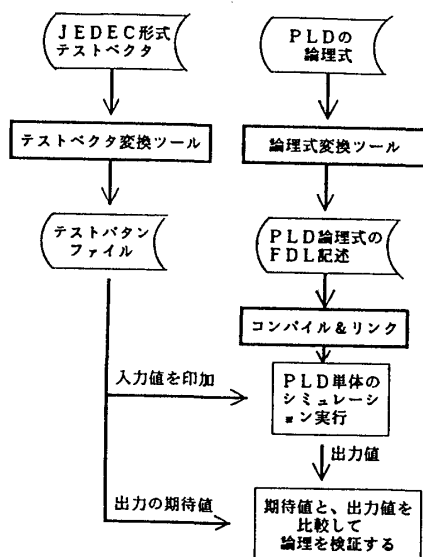


図2 変換された論理の検証

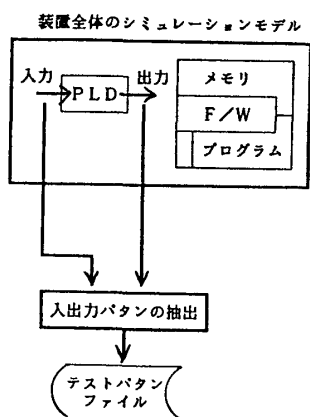


図4 装置レベルシミュレーションの応用によるテストパタンの発生

5. まとめ

以上のように、PLD混在装置の設計に際して、システムレベルシミュレーションによるPLDの検証と、テストパターンの自動生成が可能になったため、設計品質の向上と設計期間の短縮が計られた。

謝辞 最後に、本システムを開発する機会を与えてくださり、多大の助力を頂いた、日本電気エンジニアリングの渡辺健彦氏及び高野延雄氏、日本電気の高橋萬年氏及び河合正人氏各位に深く感謝いたします。

参考文献

- [1] 佐々木, 加藤, 野水, 富田, 田中, 「LSI時代のコンピュータ設計に欠かせないミックス・レベルシミュレータ」日経エレクトロニクス1980.12.8, pp.172-204.
- [2] Kato, S., Sasaki, T., "FDL: A structural behavior description language", CHDL, 1983, pp.137-152.
- [3] Sasaki, T., Nomizu, N., Tanaka, H., Kato, S., Kuwata, M., Koike, T., Yamada, A., "Automated logic verification system using MIXS VERIFIER and hardware logic simulator (HAL)", CHDL, 1985, pp.479-491.
- [4] 吉村, 「ルールベースとアルゴリズムに基づく論理合成システム」電子情報通信学会1987.10.21, VLD87-92, pp.9-16.
- [5] Kawai, M., Oozeki, K., Takahashi, M., Ono, M., Ishizaka, Y., Masui, T., "Gate level test pattern generation system", NEC Research & Development, October, 1985, pp.92-103.

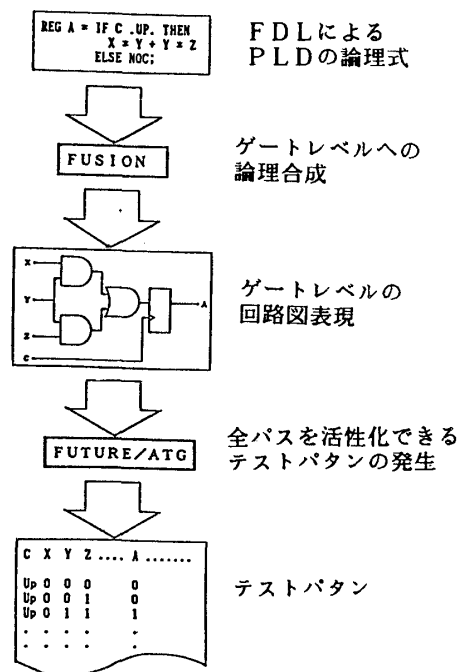


図3 論理合成によるテストパタンの発生