

階層構造をもたせたネットに対する  
概略配線手法

6U-8

大村 道郎 磯本 和典 宮尾 淳一 吉田 典可

広島大学

1. まえがき

ビルディングブロック方式によるVLSIのレイアウト設計において、配線設計での概略配線とフロアプランとを同時に決定する階層化フロアプランニング手法が提案されている[1]。設計は、トップダウンで行い、ネットにも階層構造をもたせることで高速な配線を行う。本稿では、このようなネットに対する概略配線手法を提案する。

2. 階層化フロアプランニング

チップ上の回路は、その内部が設計済のハードモジュールの集合Mhと、まだ設計されていないソフトモジュールの集合Msから構成される。各ネットは端子の集合nで与えられる。但し、 $M_h \in M_h$ の端子位置はその周辺上に予め与えられているとし、 $M_s \in M_s$ の端子はその中心で代表させる。

今、階層化フロアプランニング手法[1]のある階層iにおいて①モジュールの集合 $M_{i-1}$ 、②各モジュールが配置されるチップ上での矩形(配置領域)の集合 $R_{i-1}$ 、③ネットリスト $N_{i-1}$ 、④配線の通過チャンネルを表す概略配線の集合 $T_{i-1}$ が与えられたとする。このとき図1に示す分割によって $M_i$ 、 $N_i$ を得る。更に $T_{i-1}$ を考慮しながら、各ネット $n \in N_i$ の概略配線の集合 $T_i$ を決定し、その結果を考慮して各モジュール $M \in M_i$ の配置領域 $R_i$ を決定する。

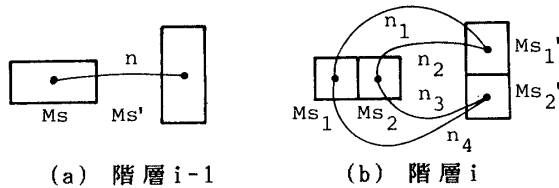


図1 ソフトモジュール及びネットの分割

3. 概略配線

階層i-1のネットnに対する概略配線グラフ[1]  $G_g(n)$ 上の配線経路を $T_{i-1}(n) = (V_{i-1}^n, E_{i-1}^n)$ と表す。ネットnは、階層iにおけるソフトモジュールの分割によって生じる端子の分割に伴って $n_1, \dots, n_m$ に

分かれる。それらを集合 $n = \{n_j | 1 \leq j \leq m\}$ で表す。ネット $n_j$ に対する概略配線を $T_i(n_j) = (V_i^{n_j}, E_i^{n_j})$ で表す。

[例1] 図2に $T_{i-1}(n)$ 、 $T_i(n_j)$ の例を示す。

$T_{i-1}(n)$ を考慮して、階層iにおける各ネット $n_j \in n$ の概略配線 $T_i(n_j)$ を求める問題を以下のように定式化する。

[問題GR<sub>i</sub>] 入力として、階層iでのチャンネルグラフ $G_c = (V_c, E_c)$ 、各チャンネルの重み $w(e) (e \in E_c)$ 、 $T_{i-1}(n) = (V_{i-1}^n, E_{i-1}^n)$ 、ネットの集合 $n = \{n_j | 1 \leq j \leq m\}$ 、正定数 $\alpha (0 \leq \alpha \leq 1)$ が与えられる。このとき、次の条件を満たす $T_i(n_j) = (V_i^{n_j}, E_i^{n_j})$ を求めよ。

$$\sum_{n_j \in n} (\sum_{e \in A} \alpha \cdot w(e) + \sum_{e \in B} w(e)) \rightarrow \min.$$

但し、 $A = \{e_k | e_k \text{ は } E_i^{n_j} \text{ に 属 し、かつ、} n \text{ の 通 過 して いた チ ャ ネ ル に 対 応 する}\}$ 、

$$B = E_i^{n_j} - A.$$

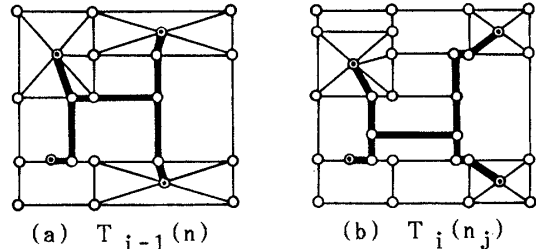


図2 概略配線

4. アルゴリズム

アルゴリズムGR<sub>i</sub>の概要を以下に示す。

[アルゴリズムGR<sub>i</sub>] 全ての $n_j \in n$ に対して次のS.1~S.3を繰り返す。

S.1:  $G_c$ より、 $G_g(n)$ を構成する；

S.2:  $G_g(n)$ 上でnの端子に対応する節点を結ぶ最小スタイナ木を求め、 $T_i(n)$ とする；

S.3:  $G_c$ の重み $w(e)$ を更新する；

5. あとがき

本稿では、文献[1]における概略配線手法について述べた。今後の課題としては実際のチップに対する有効性の確認がある。

文献[1] 大村, 他: "カスタムVLSIのための機能分割に基づく階層化フロアプラン設計について," 信学技報, VLD87-56 (1987).

A global routing method for VLSI floorplanning employing hierarchical structure in nets

Michiroh OHMURA, Kazunori ISOMOTO, Jun'ichi MIYAO and Noriyoshi YOSHIDA

Hiroshima University