

ミニカット配置の一実現法

高橋 一浩<sup>1</sup> 藤野 康弘<sup>1</sup> 鶴崎 浩<sup>2</sup> 寺井 正幸<sup>1</sup> 佐藤 興二<sup>1</sup>

<sup>1</sup>三菱電機株式会社 カスタムLSI設計技術開発センター

<sup>2</sup>三菱電機セミコンダクタソフトウェア株式会社

6U-4

1. はじめに

LSIの集積度向上に伴う配置プログラムの処理時間増大に対処するため、主としてゲートアレイを対象とする、ミニカット法<sup>(1)</sup>を用いた配置プログラムを開発した。

この配置プログラムでは、処理時間短縮のため、ネットリストの階層構造を利用したクラスタリングを行う。また、ゲートアレイのようにセル幅の異なる対象であっても、ミニカット法で効率よく配置するための機能を有している。

本報告では、処理時間短縮のための手法を中心に、上記配置プログラムの概要と評価結果について述べる。

2. 配置の対象とチップ構造

本配置プログラムが対象とするチップ、及びセルの構造の一例を図1、図2に示す。チップはセルを配置するための領域(セル列)とセル間の接続を行うための領域(チャンネル)から成る。セルの幅は等しいが、幅はその種類によって異なる。

3. ミニカット法とその問題点

ミニカット法はチップを垂直・水平に分割するとともに、回路を構成するセルの集合を分割しセルの配置を決定する。他の手法に比べて短時間に、配線混雑の少ない配置結果が得られるのが特徴である。

しかし、ミニカット法でよく用いるKernighan-Linのグラフ分割アルゴリズム<sup>(2)</sup>では、セル幅の違いを考慮しない場合でも、一回の分割の処理時間は最低で $O(n^2)$ であり(ただし、 $n$ は分割するセルの数)、セル数の増加に伴って処理時間が急増すると考えられる。また、配置の対象とするセルの幅にバラツキがある

とき、セル幅の和を均等にすることを考慮しすぎて、分割結果が悪くなる場合がある。

これらの問題点を解決するため以下のような手法を用いる。

4. ネットリストの階層構造を利用したミニカット法

ミニカット法は、回路の分割を繰り返し行いセルの配置を決定するため、一回の分割で取り扱うセルの数は分割毎に半分に減少する。しかし、最初の分割ではチップ上のすべてのセルを取り扱うことになり、長い処理時間を必要とする。

本配置プログラムではこの最初の分割にかかる処理時間を短縮するため、

- ① ネットリストの階層構造を利用してクラスタリングを行う。
- ② 取り扱うセルの数が多い最初の分割では、クラスタ単位でミニカット法を適用する[図3(a)]。
- ③ 残りの分割はセル単位でミニカット法を適用する[図3(b)]。

という手順で配置を行う。

①の処理では最初にクラスタの目標サイズを決める。次に、ネットリストの階層構造の中から、下位のレベルに含まれるセルの幅の和が目標サイズ以下となるようなレベルを選択し、下位のレベルに含まれるすべてのセルを1個のクラスタとする(図4)。あるクラスタに含まれるセルの幅の和を、そのクラスタのサイズと呼ぶ。クラスタの目標サイズが大きいと、クラスタの数は少なくなり処理時間短縮の効果は大きい。しかし、クラスタのサイズのバラツキが大きくなり、分割結果が悪くなる可能性が高い。

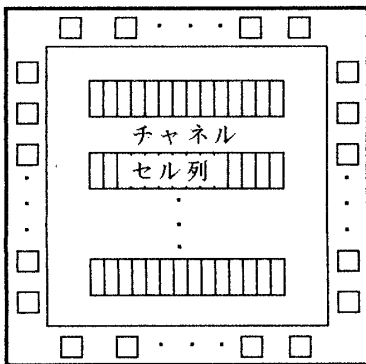


図1 チップ構造

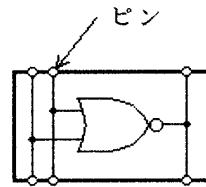
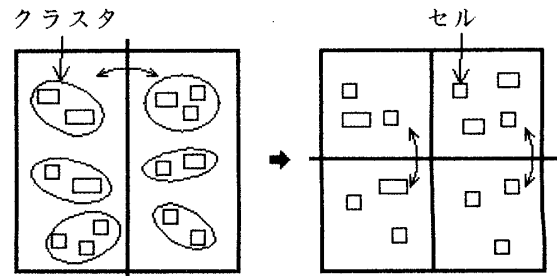


図2 セル構造



(a) クラスタ単位

(b) セル単位

図3 ネットリストの階層構造の利用

An Implementation of the Min-Cut Placement Algorithm

Kazuhiro TAKAHASHI<sup>1</sup>, Yasuhiro FUJINO<sup>1</sup>, Hiroshi UZAKI<sup>2</sup>, Masayuki TERAJ<sup>1</sup>, Koji SATO<sup>1</sup>

<sup>1</sup>ASIC Design Engineering Center, Mitsubishi Electric Corp. <sup>2</sup>Mitsubishi Semiconductor Software Corp.

本配置プログラムでは、目標サイズを最大セル幅以下に設定している。最大セル幅以下に設定することにより、大きいセルは単独でクラスタとなり、小さいセルは結び付きの強いものが数個集りクラスタとなるので、クラスタのサイズのバラツキが小さくなり、良い分割結果が得られると考える。

ネットリストの階層構造を利用することにより、短い処理時間で良いクラスタが形成でき、配置の品質を落とさずに処理時間が短縮できる。

5. セル幅の異なるゲートアレイへの適用手法

ミニカット法では、セル幅の和が均等になるようにセルの集合を分割する。これは、セルが配置できるように分割するために必要な処理であるが、図5(a)のような場合、セル幅の和が均等になるように分割してしまうと、カットラインと交わる信号線の本数は3となる。しかし、この場合、セル幅の和が均等になるように分割する必要はなく図5(b)のように配置するのが最適である。

本配置プログラムでは、このように不必要なセル幅の和の均等化によって配置結果が悪くなるのを防ぐため、分割を次のような2種類に分け、

- (1)分割しようとする領域が複数のセル列を含み不連続である[図6(a)]。
- (2)分割しようとする領域がセル列を1個だけ含み連続である[図6(b)]。

(2)の場合は、セル幅を全く考慮せずカットラインと交わる信号の本数を減らすことだけを考える。

6. 適用結果

本配置プログラムを当社のゲートアレイの配置に適用した結果を表1に示す。上段は最初からセル単位で配置を行った結果で、下段はクラスタリングを行った場合の結果である。処理時間は配置に要したすべてのCPU時間(15MIPSの計算機使用)であり、仮想配線混雑度とはチップ上に設定したカットラインを横切る仮想配線本数の総和である。クラスタの目標サイズは、最大セル幅の1/2に設定している。

各品種とも、クラスタリングを行うことにより配置の品質を落とさず、処理時間を短縮できた。また、セル数が多いほど処理時間短縮の効果が大きいことが分かる。

7. おわりに

本配置プログラムは、通常、後の配置改善プログラムと共に用いるが、本プログラムのみで充分実用的な結果が得られるケースが多いことが多数の実データによる経験から判明している。

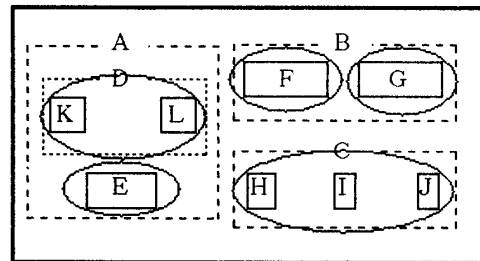
参考文献

(1)M.A.Breuer, "Min-Cut Placement", J. of D. A. and F. T. Computing, Oct. 1977, pp. 343-362  
 (2)B.W.Kernighan, S.Lin, "An Efficient Heuristic Procedure for Partitioning Graphs", Bell System Technical Journal, vol.49, 1970, pp. 291-307

表1 処理時間と仮想配線混雑度

No	セル数	クラス数	処理時間(*)	仮想配線混雑度
1	1315	——	15.92秒	236926
		752	15.62秒	237470
2	1674	——	21.6 秒	124987
		1614	20.4 秒	117107
3	2578	——	64.3 秒	538959
		1687	46.6 秒	495454
4	4562	——	184.8 秒	1380128
		2634	129.7 秒	1277903

(\* : 15MIPSの計算機使用)



□ セル ○ クラスタ  
 目標クラスタサイズを最大セル幅とした場合  
 図4 クラスタリング

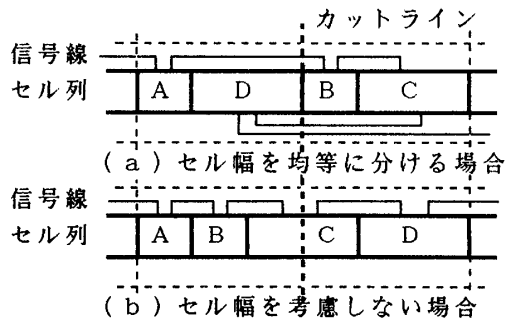
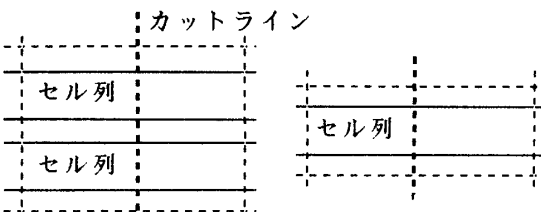


図5 セル幅の考慮



(a) 不連続な場合 (b) 連続な場合  
 図6 分割の場合分け