

寸法制約をもつブロックに対する配置手法

6U-1

出本 浩 大村 道郎 宮尾 淳一 吉田 典可  
 広島 大学

1. まえがき

VLSIレイアウトにおける配置設計では、対象とする矩形ブロックの寸法が不均一である場合、面積最小と仮想配線長最短のいずれか一方でも実現することは困難である。本稿では、 $2 \times 1$ 、 $1 \times 1$ のいずれか(以降、制約 $\langle 2, 1 \rangle$ と呼ぶ)に寸法を制約したブロックをシミュレーテッドアニーリング法(SA法)で配置変更することにより、面積最小を保証し、仮想配線長ができるだけ短い配置を求める手法を提案する。更に、本手法の有効性を実験によって示す。

2. ブロック配置問題

制約 $\langle 2, 1 \rangle$ をもったブロックの集合に対し、配置問題BPを次のように定式化する。[問題BP] 入力として、①制約 $\langle 2, 1 \rangle$ を持つブロックの集合B, ②ブロック間の接続を表すネットリストN, ③配置領域(矩形)の縦横比rが与えられたとき、条件C.1-C.3を満足し、目的関数である仮想配線長Lを最小とするブロック配置を求めよ。ここで、端子は各ブロックの中心にあり、仮想配線長は半周近似によって求める。

(条件) C.1: ブロック間に重なりがない。  
 C.2: 各ブロックは配置領域の境界と平行である。  
 C.3: 配置領域は縦横比rを満足し、かつ、面積が最小である。 □

3. SA法を用いた配置手法

最初に領域の面積を最小とするブロックの配置を行う(フェーズ1)。次に、仮想配線長の最小化を目的とした配置改良を行う(フェーズ2)。フェーズ1では文献[1]に基づくアルゴリズムを用いる。フェーズ2のSA法では、高速化のため図1(a)-(f)に示す6種類の配置変更のみを用いる。配置変更法に関しては6種類で十分であることが分っている[2]。フェーズ1の出力配置は条件C.1-C.3を全て満足する。また、フェーズ2での変更によって、ブロックは重ならず、配置領域を出ないことから、フェーズ2でも条件は全て満足される。

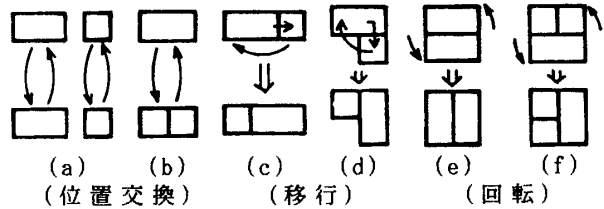


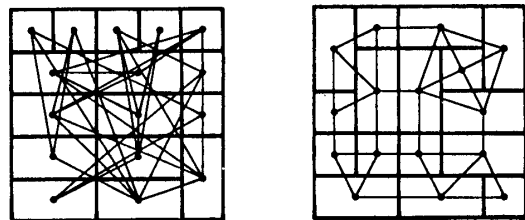
図1 配置変更の種類

4. 評価実験

本手法を、日本・データゼネラル社のECLIPSE MV/4000(0.6MIPS)上でC言語を用いて実現した。目的関数に関する最適解が既知であるテストデータに対して、本手法を適用した結果を表1に示す。表1の目的関数Lavrは、乱数系列を変えて行った15種類の実験結果の平均値である。最適解に対して平均9%増の結果が得られた。図2にデータ1の改良前(フェーズ1の出力)と改良後の配置例を示す。

表1 実験結果

データ番号	ブロック数	ネット数	最適解	目的関数Lavr	CPUtime(m.)
1	16	31	50.5	52.5	1.95
2	30	69	105.5	118.1	35.33
3	69	145	217.5	243.6	697.97



(a) 改良前(L=116.5) (b) 改良後(L=50.5)  
 図2 適用例

5. 今後の課題

今後の課題として、計算時間を短縮するためのアルゴリズムの改良と、寸法制約を緩めたブロックに対する必要、かつ、十分な配置変更法を見出すことが挙げられる。

文献 [1] 榎原, 中野, 中西: "ピースに制約を加えた2次元ビン・パッキング問題", 信学論(A), J69-A, 3, pp.350-358 (1986). [2] 出本 浩: "寸法制約 $\langle 2, 1 \rangle$ のブロックに対する配置変更法", Hiroshima Univ. ECS Lab. Tech. Rep. No.88-16 (1988).

A placement method for blocks with constraints on size and shape in VLSI layout  
 Hiroshi IZUMOTO, Michiroh OHMURA, Jun'ichi MIYAO and Noriyoshi YOSHIDA  
 Hiroshima University